

ISTITUTO NAZIONALE DI FISICA NUCLEARE
Laboratori Nazionali di Frascati

LNF-79/5(R)
15 Gennaio 1979

S. Gentile e E. Polli: PROBLEMI DI SOFTWARE ED
HARDWARE NELLA MESSA ON-LINE DI CAMERE A
FILI SU UN CALCOLATORE PDP 15.

S. Gentile e E. Polli: PROBLEMI DI SOFTWARE ED HARDWARE NELLA MESSA ON-LINE DI CAMERE A FILI SU UN CALCOLATORE PDP 15.

1. - INTRODUZIONE.

In questo lavoro è descritto un sistema per la lettura "on-line", tramite calcolatore PDP 15, di camere a fili proporzionali (MWPC - Multi-Wire Proportional Chamber), che è stato messo a punto presso il gruppo LEALE dei Laboratori Nazionali di Frascati.

Questo sistema, sviluppato da un prototipo precedente⁽¹⁾, effettua la digitalizzazione e l'immagazzinamento nella memoria del calcolatore, tramite "data channel" (DCH), dei segnali provenienti dai fili. Una prima fase dell'elaborazione dell'informazione raccolta dai fili viene effettuata da circuiti collegati direttamente alla camera, da noi indicati nel resto del lavoro col nome di "piastra".

Una ulteriore elaborazione è compiuta in un modulo, detto di "logica decisionale rapida" (LDR), posto nelle vicinanze della camera. E' questo circuito a decidere se scartare un particolare evento o accettarlo; nel qual caso rivela i fili carichi e invia quest'informazione al calcolatore in sala controllo. In tal modo il numero di cavi di collegamento tra calcolatore e zona sperimentale è ridotto a 6 per ogni camera utilizzata.

Altri sistemi di lettura differenti da questo prevedono che i segnali dei fili siano solo amplificati dai circuiti posti in prossimità del rivelatore e che quindi siano direttamente inviati in sala controllo, dove un modulo (generalmente CAMAC) elabora l'informazione e invia i dati al calcolatore. Tenendo presente che generalmente la distanza calcolatore-apparato sperimentale è notevole (nel nostro caso circa 80 m) è evidente il vantaggio del nostro sistema, che minimizza il numero di cavi tra le due zone.

Del tipo precedentemente descritto è il primo sistema di lettura per rivelatori a fili messo in commercio dalla LRS (Lecroix Research System) qualche anno fa. Ma l'utilizzo di rivelatori sempre più grandi, quali quelli attualmente in uso sui fasci del SPS al CERN, ha portato la Lecroix alla progettazione di un nuovo sistema d'acquisizione, messo recentemente in commercio col nome di PCOS II che minimizza il numero di collegamenti tra sala sperimentale e calcolatore.

Questo sistema elabora i dati con una tecnica assai simile, almeno nelle linee generali del progetto, alla nostra. La differenza principale è che mentre utilizzando il PCOS II la lettura ha luogo via CAMAC, nel nostro sistema i segnali sono inviati al calcolatore tramite una interfaccia specifica da noi messa a punto.

Il sistema qui descritto ha inoltre la possibilità di essere programmato, tramite un pannello posto sul calcolatore, per leggere sino a 16 camere con un numero di fili che può andare da un mi

nimo di 8 ad un massimo di 512. La versione qui descritta, utilizzata nel laboratorio LEALE, è prevista per un massimo di 6 camere, ma può essere portata alla massima capacità con semplici modifiche al circuito di LDR.

2. - LOGICA DI ACQUISIZIONE.

Sono state costruite due camere a fili, con tale sistema di lettura, utilizzate sui due rami di uno spettrometro a coppie che fornisce una misura on-line dello spettro energetico del fascio di fotoni monocromatici del LEALE^(2, 3).

Le camere proporzionali hanno un'area di $30 \times 13 \text{ cm}^2$ e sono costituite da tre piani di fili: i due più esterni costituiscono gli elettrodi ad alta tensione; quello centrale, distante 6 m dagli altri, è il piano di lettura.

Gli elettrodi ad alta tensione sono costituiti da fili di rame-berillio del diametro di $100 \mu\text{m}$ con spaziatura di 1 mm, tesi con un peso di 180 gr. Per evitare disuniformità del campo elettrico ai bordi, il primo e l'ultimo filo sono in rame di diametro maggiore ($300 \mu\text{m}$, tesi con un peso di 630 gr). Il piano di lettura è invece costituito di fili di molybdeno dorato di $20 \mu\text{m}$ di diametro distanziati tra loro di 2 mm (peso 31 gr). Anche qui sono stati utilizzati dei fili di guardia, posti direttamente a massa, di rame-berillio (peso 180 gr).

I contatori associati alle camere discriminano le particelle, che hanno avuto origine dalla conversione di un fotone, dal fondo di radiazione; una elettronica rapida NIM darà quindi segnale di consenso. Questi segnali (convertiti da NIM a TTL), insieme all'impulso di macchina, il "GATE LINAC", ed ai segnali di "OR" logico dei fili di ogni camera, sono utilizzati dal modulo LDR per decidere se accettare o rigettare un evento. Sono in questo modulo previsti 4 ingressi per i segnali dei fotomoltiplicatori provenienti dalla logica NIM, 1 ingresso per l'impulso di macchina e 6 per l'OR dei fili di ogni camera (rispettivamente indicati in Fig. 1 come FM, GATE LINAC, OR GEN).

La coincidenza tra questi segnali indica che l'evento è da accettare e viene generato un impulso (LOAD) per memorizzare lo stato dei fili delle camere.

Se è presente l'abilitazione del calcolatore (XFR EN) viene anche generato un impulso (IN EV) per notificare all'interfaccia che può avere inizio la fase di decodifica dei segnali dei fili carichi. Questo impulso abilita il passaggio del segnale di un oscillatore (CLOCK) verso il circuito LDR da cui viene smistato in sequenza alle due camere. L'impulso di LOAD, aveva, in precedenza, caricato un registro a scorrimento ("Shift Register") con lo stato dei fili ed ora l'arrivo del CLOCK consente l'uscita, in modo seriale, di questo stato (SER OUT).

Il modulo di logica decisionale rapida, LDR, individua un filo carico (segnale logico "1" sull'uscita di SER OUT) e genera un segnale chiamato DCH FLAG verso l'interfaccia; questo blocca il CLOCK e manda una richiesta di trasferimento veloce, cioè tramite "data channel" alla IPU (Input/Out Processor Unit).

Mentre un contatore registra il numero di impulsi di CLOCK smistati alla camera così da individuare la posizione del filo carico, un altro contatore identifica a quale camera il filo appartiene.

La IPU, quando è in grado di acquisire i dati, emette un impulso di assenso al trasferimento (IOP 2) che consente la lettura dei due contatori sul I/O BUS (Input/Output Bus). Quest'informazione viene direttamente registrata in memoria in una locazione predisposta dal programma. Questo stesso impulso di IOP 2 opportunamente ritardato per consentire il completamento della lettura (IOP 2 RIT) riabilita il passaggio del CLOCK alle camere.

Quando il numero di fili letti registrato dal contatore eguaglia il numero di fili di una camera, come impostato sul pannello di programmazione (il che corrisponde al fatto che è stata completata la lettura di una camera), il CLOCK viene fermato, il contatore dei fili azzerato; il contatore delle camere incrementato. Quindi il CLOCK riparte e viene smistato dal circuito di LDR alla camera successiva per fare lo "scanning" dei fili.

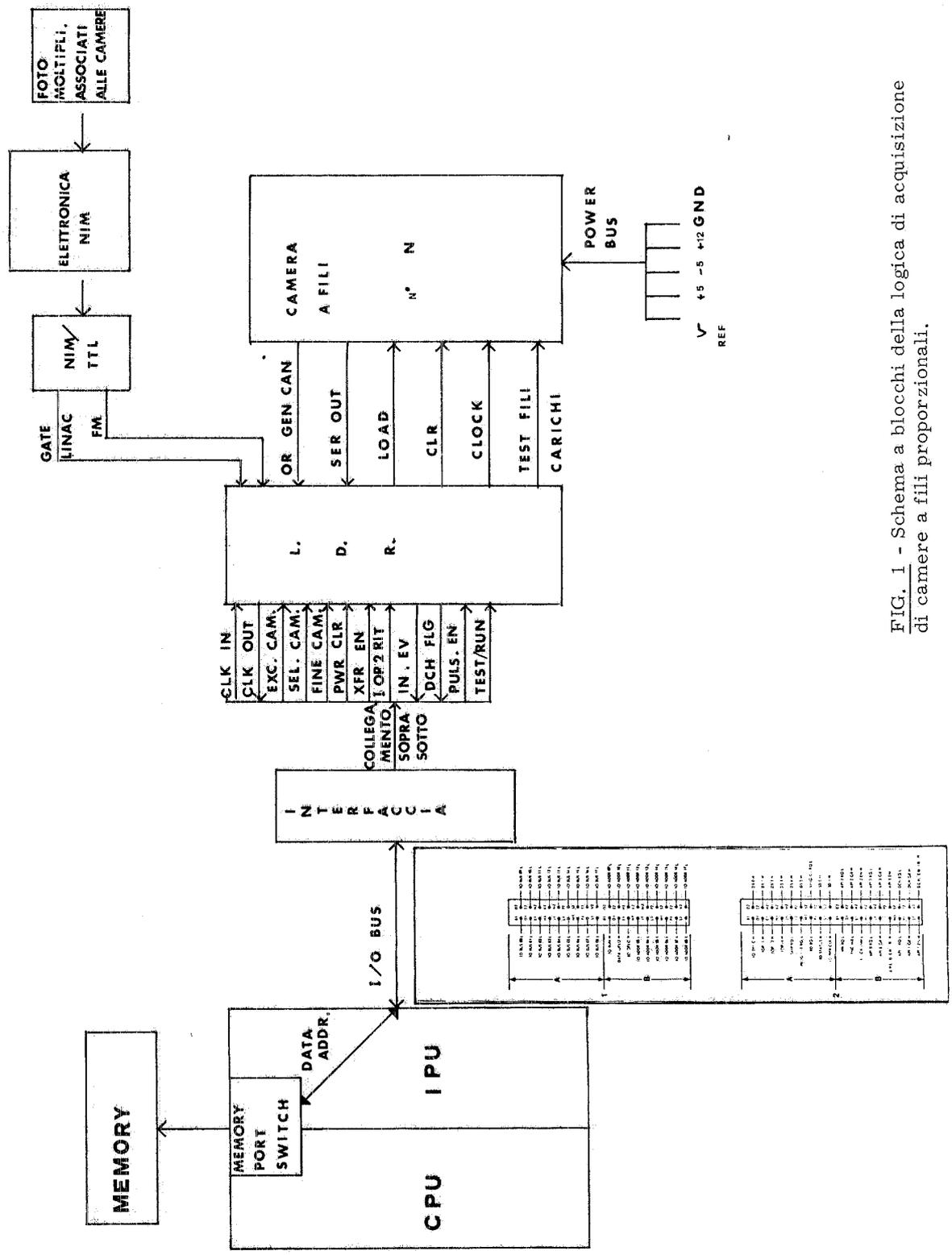


FIG. 1 - Schema a blocchi della logica di acquisizione di camere a fili proporzionali.

Quando anche il numero registrato dal contatore delle camere è tale da uguagliare il numero di rivelatori utilizzati, quale impostato sul pannello di programmazione, cioè lo "scanning" è stato completato; viene inviato un "interrupt" al calcolatore e un impulso di azzeramento (CLR) alle camere; quindi l'acquisizione dei dati si arresta in attesa del prossimo evento.

I dettagli di queste operazioni sono spiegati nei paragrafi seguenti.

3. - PIASTRE.

Come abbiamo già accennato (par. 1) l'informazione fornita dai fili interessati al passaggio della particella è inizialmente elaborata da quella parte di elettronica posta sulla camera, che abbiamo chiamato "piastra". Ognuna di queste contiene la catena di amplificazione, formazione e memorizzazione per un gruppo di 8 fili. La lettura di tutta una camera necessita di 17 di questi elementi avendo escluso il primo e l'ultimo gruppo di 8 fili.

Lo schema di una piastra è riportato in Fig. 2.

Possiamo ai fini della descrizione, suddividere la catena di elaborazione per ogni filo in due parti; la prima parte, analogica, è costituita da un amplificatore del tipo MC 1035, da un discriminatore (SN 72820) e da un formatore (SN 7400). L'impulso proveniente da ogni filo viene raccolto ai capi di una resistenza di $1\text{ K}\Omega$, in modo da ottimizzarne ampiezza e durata e poi viene amplificato. In uscita all'amplificatore a due stadi (NC 1035) l'impulso viene derivato da un Circuito RC. Il segnale derivato costituisce uno dei due ingressi di un amplificatore differenziale (SN 72820) utilizzato come discriminatore; all'altro ingresso è infatti presente una tensione di riferimento V_{REF} , che dà il valore di soglia, oltre la quale il segnale in ingresso dà un impulso in uscita.

Il segnale in uscita dal discriminatore è inviato all'ingresso di un formatore, realizzato con integrati del tipo SN 7400, per ottenere un impulso TTL della durata di 30 ns circa.

Questo segnale costituisce, insieme a quello degli altri 7 fili, corrispondenti alla stessa piastra, l'ingresso di un circuito di OR, realizzato con dei diodi, la cui uscita costituisce il segnale chiamato OR PIASTRA.

In ogni camera i 17 segnali di questo tipo, tanti quante sono le piastre, danno origine, tramite il circuito di Fig. 3, all'OR generale della camera (OR GEN).

Nella seconda parte, digitale, avviene l'elaborazione del segnale: l'impulso del formatore viene allungato da un monostabile la cui durata è calcolata in modo da tener conto del tempo che occorre al segnale di OR GEN per viaggiare lungo i cavi fino al circuito LDR e, se l'evento è buono, ritornare col nome di LOAD per immagazzinare il dato in una memoria (Flip-flop tipo SN 7474) e successivamente in uno shift-register (SN 74156).

La durata dell'impulso in uscita al monostabile è nel nostro caso 700 ns, che risulta più che sufficiente dato che c'è un ritardo tra OR PIASTRA e LOAD (all'ingresso dei flip-flops) di 200 ns circa (corrispondente al tempo di andata e ritorno di un impulso lungo i 30 m di cavo che collegano il rivelatore al modulo e al ritardo accumulato all'interno di questo circuito).

La registrazione di un dato ha luogo se alla fine dell'impulso del monostabile (cioè durante la transizione tra livelli logici "0" \rightarrow "1") è presente il segnale di LOAD.

La successione temporale di questi impulsi è riportata in Fig. 4.

L'efficienza di acquisizione dipende dal "jitter" temporale del segnale del filo carico e da quanto il segnale di LOAD è più lungo di quello del filo. E' però possibile regolare il segnale di LOAD (all'interno del LDR) in modo da ottimizzare l'efficienza, non perdendo eventi per causa del "jitter".

Una volta memorizzato il segnale di un filo carico il monostabile corrispondente è inibito, in modo che non può generare altri impulsi, fino alla fine del ciclo, quando il flip-flop corrispondente allo stesso canale non viene azzerato.

Lo stato dei flip-flops corrispondenti agli 8 canali di una piastra è memorizzato dallo "shift register" (SN 74165) che ad ogni impulso di CLOCK presenta lo stato di uno degli 8 fili sull'uscita

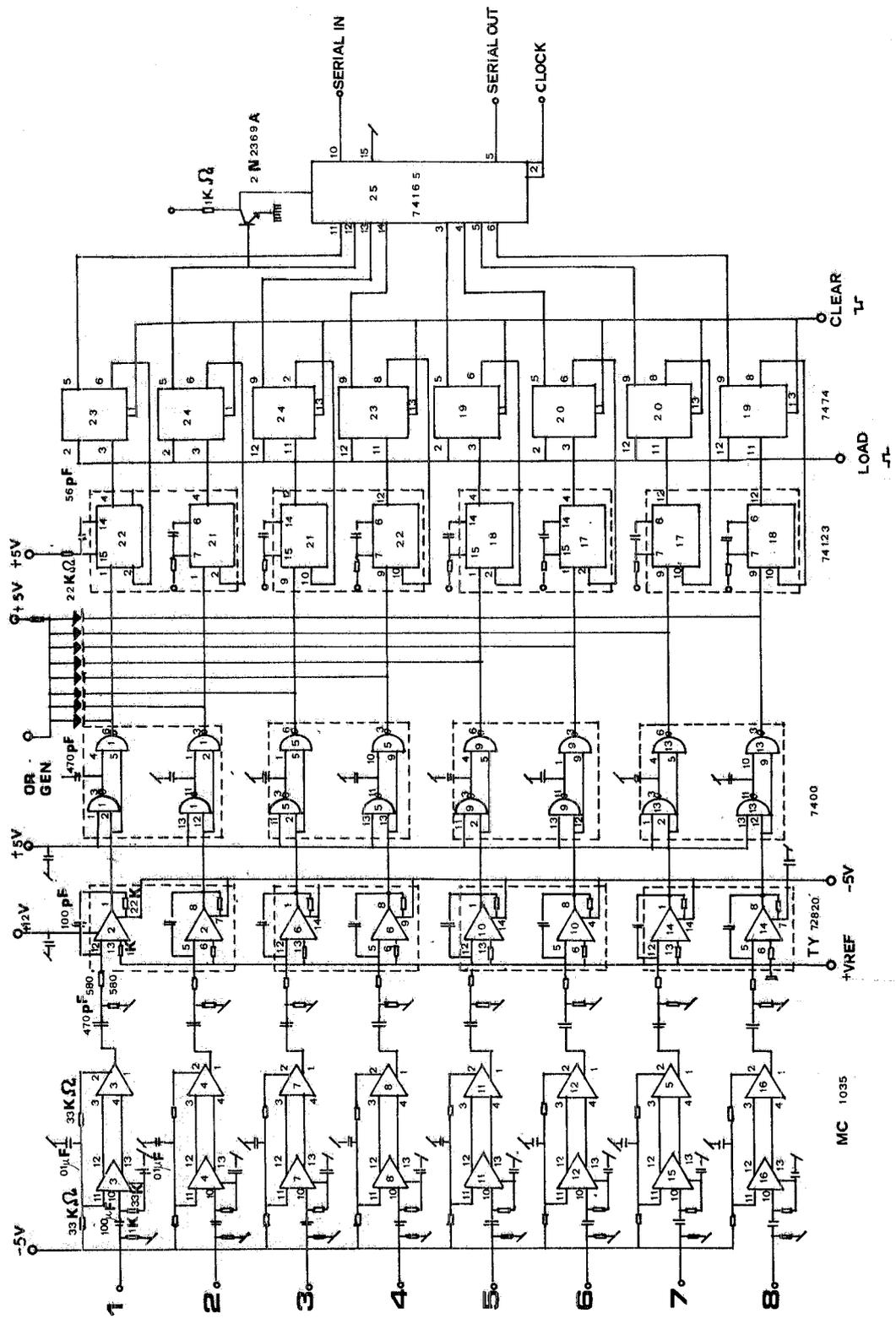


FIG. 2 - Schema di una "piastra".

CIRCUITO DI OR DELLE PIASTRE

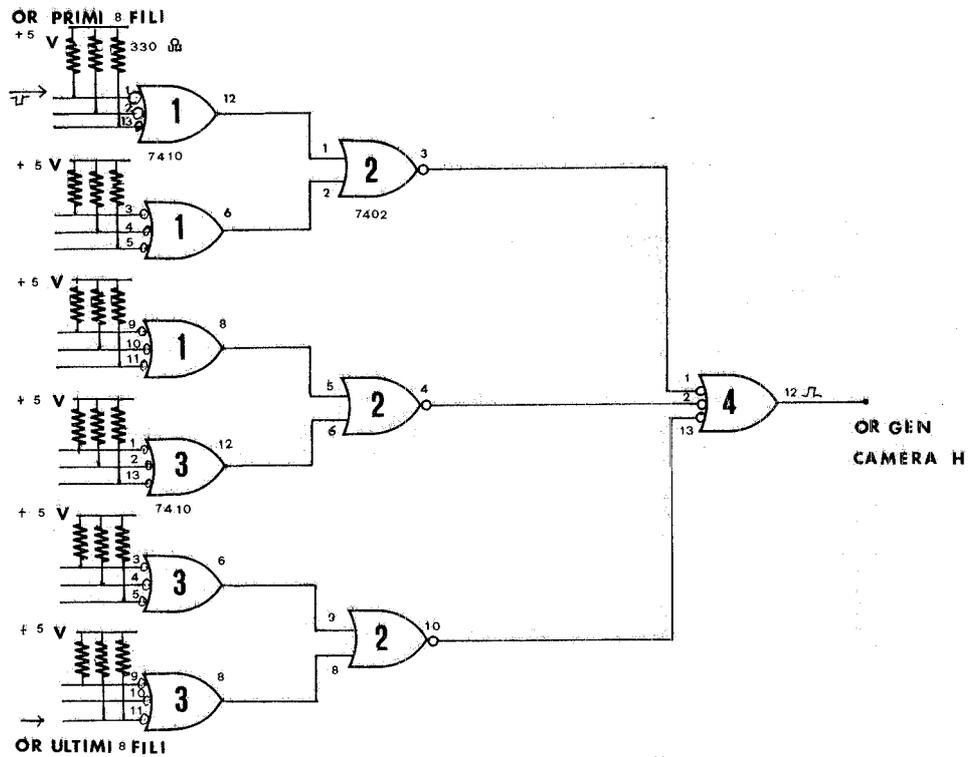


FIG. 3 - Circuito di OR dei segnali provenienti dalle varie piastre.

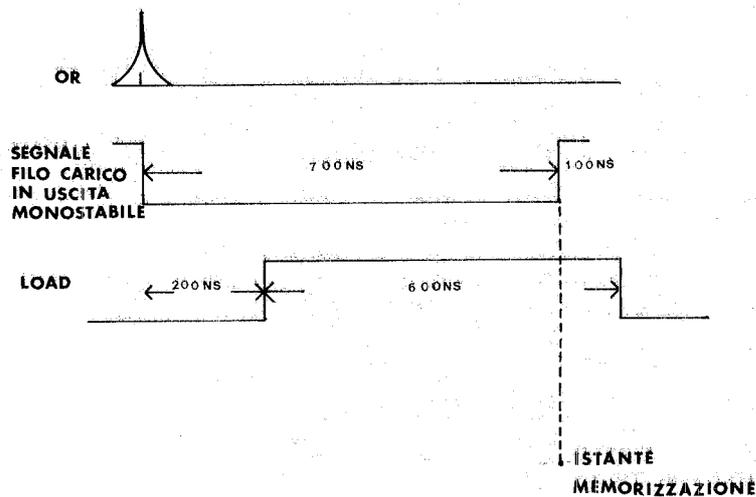


FIG. 4 - Successione temporale dei segnali su una piastra durante la memorizzazione di un dato.

SERIAL OUT della piastra. Questa uscita è quindi collegata all'ingresso seriale SERIAL IN della piastra precedente.

L'uscita seriale SERIAL OUT della prima piastra è collegata al circuito LDR e contiene l'informazione sui fili di tutta la camera.

4. - CIRCUITO DI LOGICA DECISIONALE RAPIDA (LDR).

L'informazione sul passaggio di una particella ionizzante dopo essere stata elaborata dalle piastre, prima di entrare nell'interfaccia col PDP 15 subisce un'ulteriore analisi dal modulo che abbiamo chiamato di logica decisionale rapida (LDR) (v. Fig. 1). Questo circuito è quindi il "trait-d'union" tra interfaccia e camere.

Per poter pilotare con rapidità le piastre e per minimizzare il numero di cavi tra calcolatore e zona sperimentale è conveniente che tale modulo sia il più vicino possibile al rivelatore. In questo modulo si possono distinguere due parti, una di controllo, comprendente un circuito di coincidenza, la quale riceve i segnali provenienti dal calcolatore (Fig. 5A-B) e un'altra in cui sono rivelati i fili carichi provenienti dalle camere (Fig. 6A-B). Ogni segnale in uscita dal modulo è inviato a un circuito di "driver" (SN 75121) necessario per pilotare su un cavo a 50 Ω un impulso TTL, ed ogni segnale in ingresso è inviato a un circuito di "receiver" (SN 75122) per ricevere attraverso un cavo a 50 Ω un'informazione digitale.

In Fig. 5A è riportato lo schema elettronico della prima parte, in cui si decide se l'evento è da considerarsi "buono". Ciò si verifica se i segnali di OR GEN provenienti dalle camere sono in coincidenza sia con altri 4 segnali logici, i quali provengono dall'elettronica dei fotomoltiplicatori, e sia con l'impulso di macchina (GATE LINAC). Questa coincidenza è fatta utilizzando un integrato del tipo NAND a 8 ingressi SN 7430.

Come è stato già detto nel Par. 2, nello spettrometro vengono utilizzate due camere a fili e quindi si ha un impulso in uscita dalla coincidenza all'interno del LDR solo se vengono rivelati contemporaneamente un elettrone ed un positrone, mentre è presente un impulso di macchina.

Le camere non utilizzate possono essere escluse ponendo gli ingressi relativi della coincidenza a livello logico "1" dal pannello di programmazione posto in sala controllo.

Per facilitare la messa in tempo dei segnali delle camere, dei fotomoltiplicatori e del LINAC sono state previste delle uscite di controllo su 50 Ω (indicate con TP sullo schema) per ognuno dei segnali in ingresso e per l'uscita della coincidenza. Alcuni interruttori (S_1 , S_2 , etc.) consentono l'esclusione del rispettivo ingresso dalla coincidenza.

Il segnale in uscita di questa coincidenza, formato dal monostabile seguente (SN 74123) torna col nome di LOAD alle piastre (v. par. 3 e Fig. 2) e contemporaneamente pone a livello logico "1" il flip-flop di acquisizione (FF ACQ) (v. Fig. 5B). Questo flip-flop inibisce il passaggio del GATE LINAC e quindi l'acquisizione dei dati è interrotta fintantoché il flip-flop non torna a livello logico "0".

Se anche il flip-flop di trasferimento (FF TRASF) è a "1", viene inviato un impulso chiamato di inizio evento (IN EV) all'interfaccia, il quale farà partire il CLOCK (v. parr. 2 e 5). Questo flip-flop è posto a livello logico "1" dall'impulso XFREN (Transfer enable) che è originato dal comando (da programma) ENCP (enable proportional chambers). Entrambi i flip-flops sono azzerati dall'OR logico tra i segnali PWR CLR (power clear) e API FLAG. Il primo può essere generato sia da programma, con l'istruzione di azzeramento generale CLRALL sia direttamente dalla CPU con l'accensione del calcolatore o col tasto di RESET da "console".

L'impulso di API FLAG (automatic priority interrupt) rappresenta in generale una richiesta di attenzione (v. par. seguenti) al calcolatore da parte di un periferico, in particolare in questo caso viene generato quando la scansione delle camere è stata completata.

L'OR di questi due segnali dà origine all'impulso di CLEAR inviato alle piastre per l'azzeramento delle memorie (v. Fig. 2).

Esaminiamo ora altra sezione (Fig. 6B), quella in cui viene rivelata la presenza di fili carichi. In questa il segnale di CLOCK proveniente dall'interfaccia è smistato alle varie camere tra

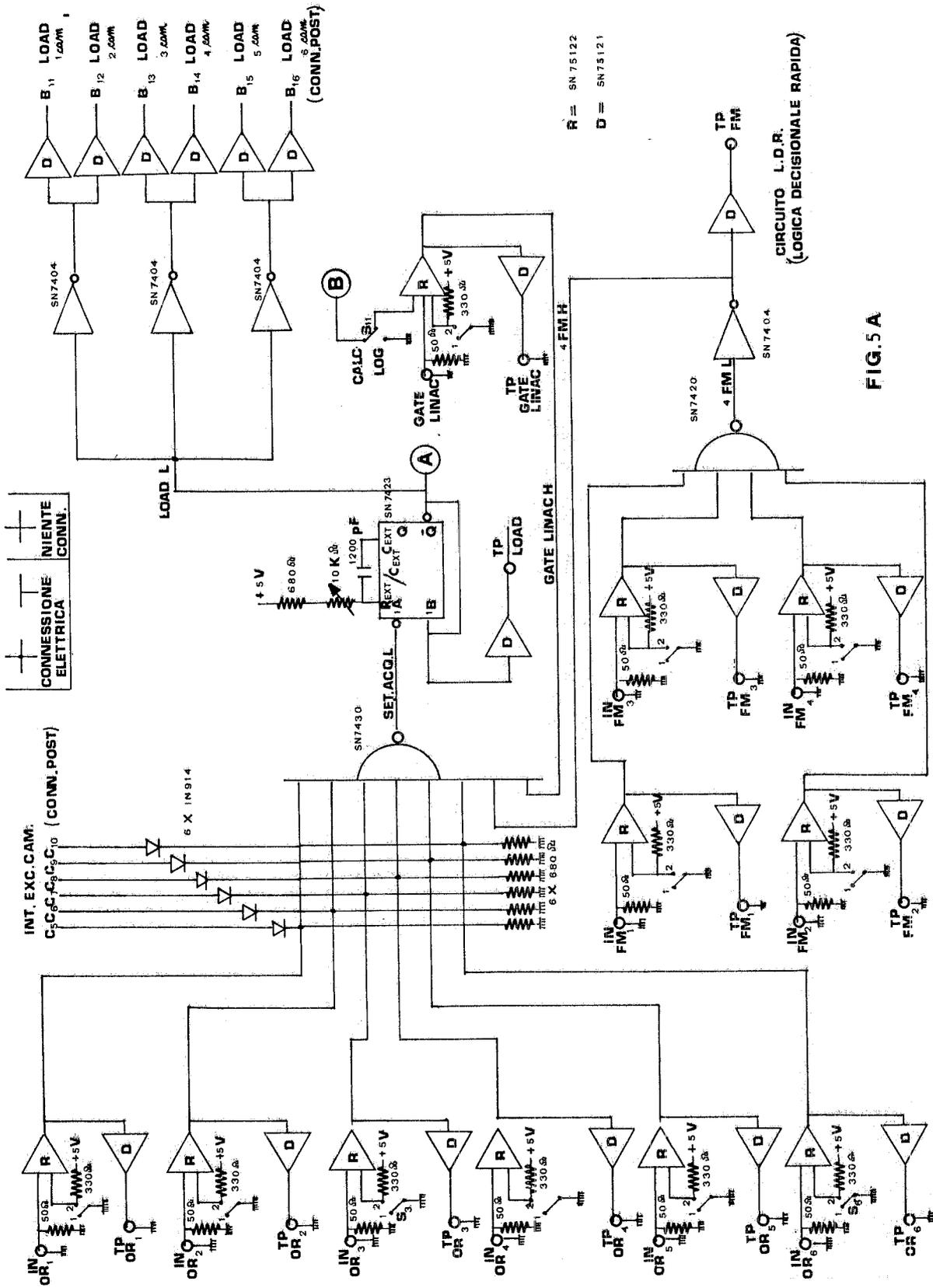
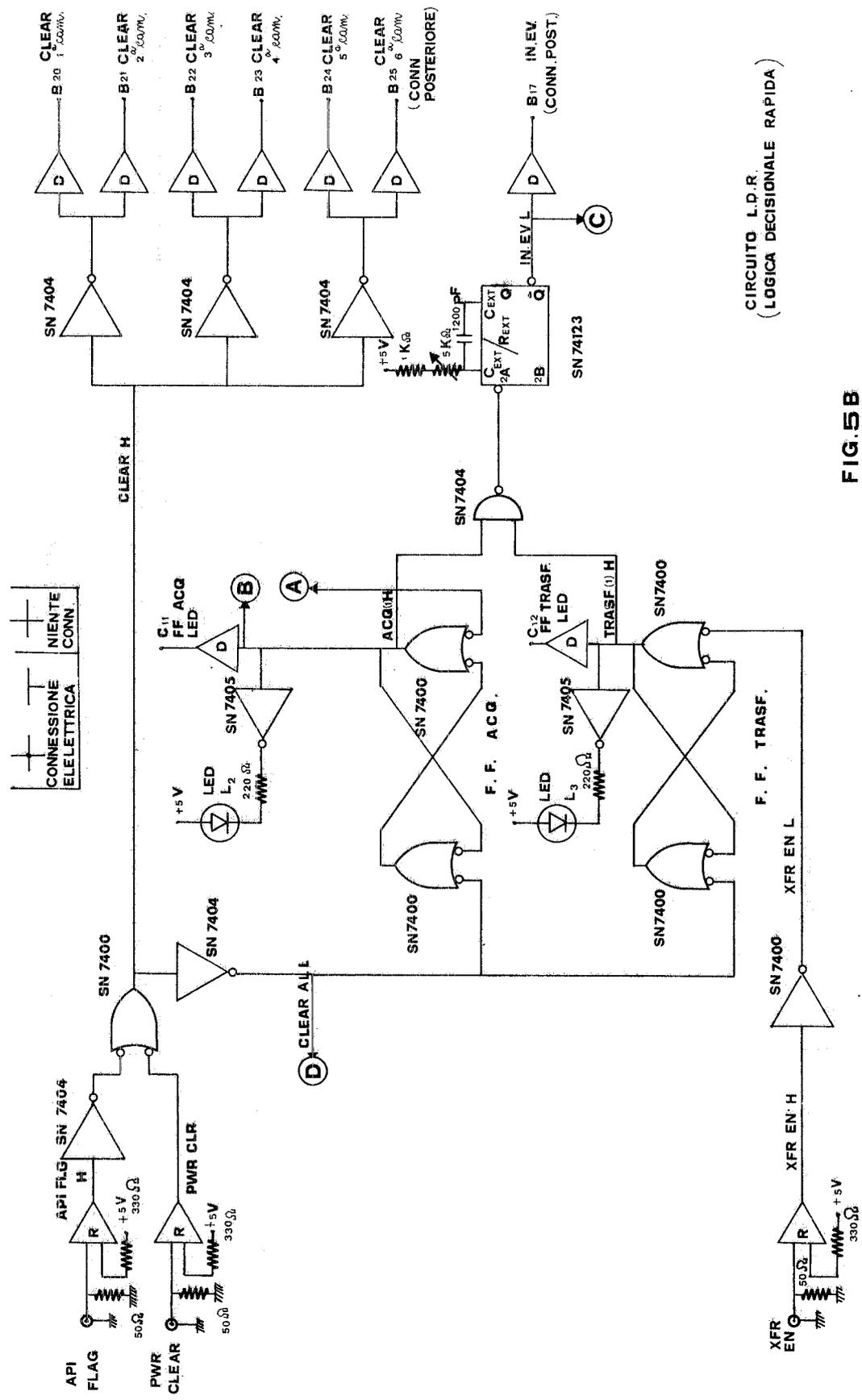


FIG. 5A



CIRCUITO L.D.R.
(LOGICA DECISIONALE RAPIDA)

FIG.5B

R = SN 75122
D = SN 75121

FIG. 5 - Circuito di logica decisionale rapida (prima parte).

mite un demultiplexer (SN 74156); inoltre un multiplexer (SN 74151) riceve le uscite seriali di ogni camera (SERIAL OUT). Sia il multiplexer che il demultiplexer selezionano la camera ricevendo, negli ingressi A, B, C il contenuto del contatore delle camere situato nell'interfaccia (v. par. 5).

In questo modo, ogni camera in sequenza riceve il segnale di CLOCK e fa uscire in modo seriale lo stato dei fili.

Il passaggio del CLOCK (v. Fig. 6A), sia al multiplexer ed al demultiplexer nel LDR, che ai contatori nell'interfaccia per la registrazione del numero di camere e di fili esaminati, viene regolato dal flip-flop di scansione (FF SCAN).

Il segnale denominato IN EV, pone questo flip-flop a livello logico "1" all'inizio della scansione. Il passaggio del CLOCK proveniente dall'interfaccia è così abilitato nel LDR. Questo segnale di CLOCK, caratterizzato da una frequenza di 2,5 MHz, segue due vie: con una torna nell'interfaccia, col nome di CK OUT, in modo che i suoi impulsi sono conteggiati dal contatore dei fili; con l'altra va nell'interno dell'LDR. Nell'interno del LDR il segnale è smistato dal "demultiplexer" alla prima camera; contemporaneamente, dopo un circuito formatore, va a costituire l'AND logico con l'uscita del "multiplexer".

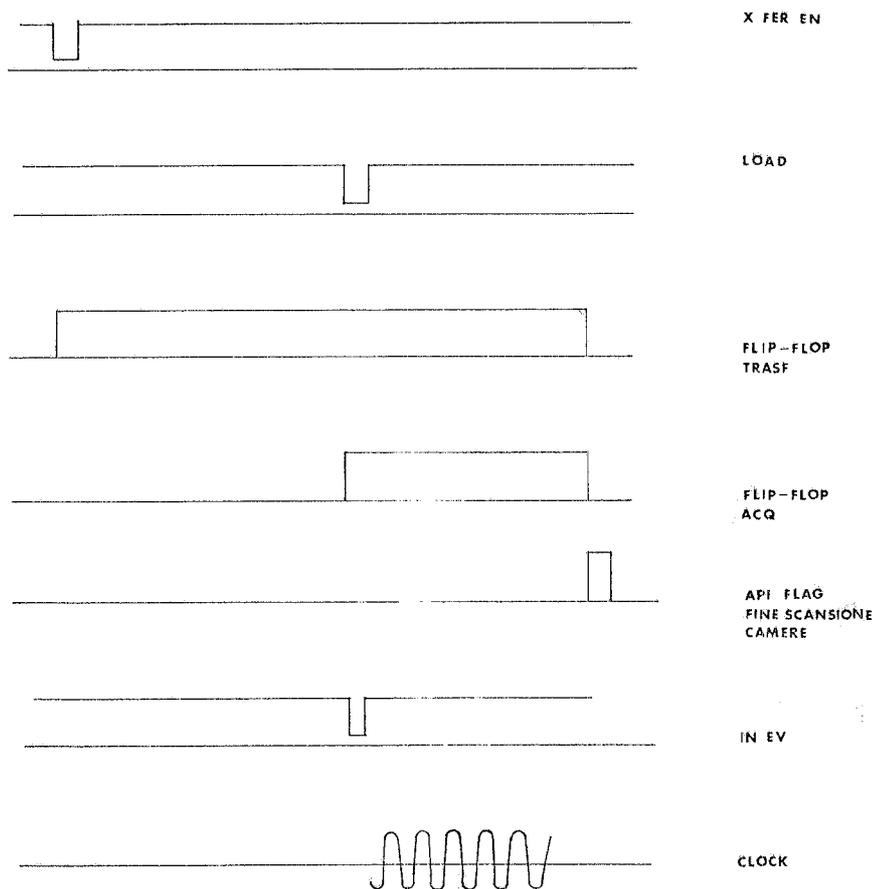


FIG. 7 - Successione temporale (non in scala) di vari impulsi coinvolti nella acquisizione.

Supponiamo che nella camera in esame l'n-esimo filo sia carico: dopo n impulsi di CLOCK il segnale logico dell'n-esimo filo è presente in uscita al "multiplexer"; si ha così un impulso in uscita al NAND di Fig. 6B. Questo segnale (DCH FLAG), da un lato viene mandato all'interfaccia per avvisare la IPU che è richiesto un ciclo di DCH (data channel) cioè trasferimento veloce di dati tra terminale e memoria; dall'altro pone a livello logico "0" il flip-flop di scanning, interrompendo il passaggio del CLOCK e quindi la scansione della camera.

Dopo un certo tempo, la IPU, quando dà l'assenso al trasferimento veloce, invia un impulso (IOP2) che viene utilizzato nell'interfaccia per la lettura dei contatori dei fili e delle camere; questo segnale, opportunamente ritardato per consentire il termine delle operazioni di lettura, viene inviato al circuito LDR che pone a livello logico "1" il flip-flop di scansione e riabilita il proseguimento della scansione della camera. Questo ciclo si ripete ad ogni filo carico.

L'interfaccia inoltre emette un impulso di fine camera, quando si accorge che il numero di fili letti è uguale a quello programmato da pannello corrispondente al numero di fili di una camera. Questo segnale di fine camera genera nel modulo LDR (Fig. 6A) due impulsi: uno sul fronte di salita, il quale pone a "0" il flip-flop di scansione ed uno sul fronte di discesa, il quale lo mette nuovamente a "1". Contemporaneamente l'interfaccia incrementa il contatore delle camere in modo che, quando il CLOCK può di nuovo passare, venga smistato alla camera successiva e dal multiplexer esca il SERIAL OUT ad essa relativo. Si passa così ad esaminare l'informazione della seconda camera.

Tutto questo si ripete fino a che il contatore delle camere uguaglia il numero programmato; a questo punto, esaminata anche l'ultima camera, viene generato il segnale di API FLAG, il quale, nel circuito LDR, genera un impulso di CLEAR (v. Fig. 5) che azzerà definitivamente il flip flop di scansione. Il ciclo è a questo punto terminato.

5. - STRUTTURA DEI PERIFERICI DEL PDP 15.

Prima di descrivere l'interfaccia, occorre dare un accenno alla struttura che devono avere i periferici del PDP 15 per essere conformi alle regole fissate dalla casa costruttrice (Digital Equipment Corporation)⁽⁴⁾.

Nel PDP 15 tutti i periferici sono collegati alla unità di input/output (IPU) tramite un unico cavo, chiamato I/O BUS. La IPU - perciò preposta al controllo tra i periferici e la CPU (central processor unit) o la memoria (Fig. 8).

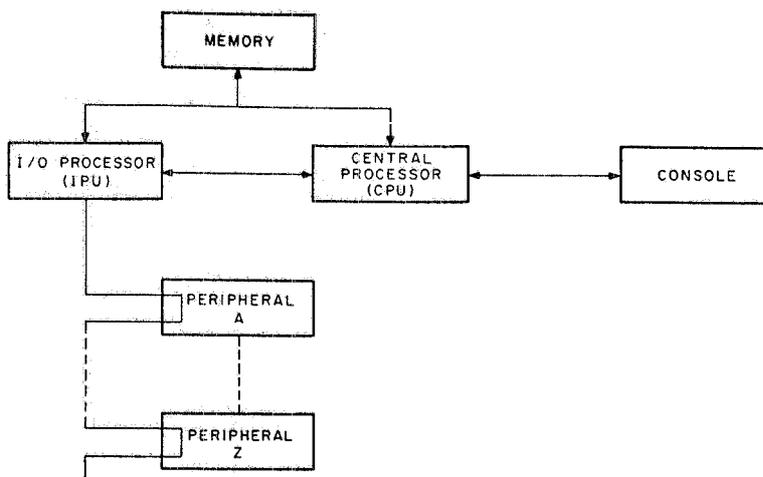


FIG. 8 - Schema a blocchi del collegamento tra periferici, CPU e memoria.

Il trasferimento dell'informazione avviene da o verso i vari periferici, utilizzando parole a 18 bits chiamate IOT (input/output transfer), la cui struttura è mostrata in Fig. 9. Ogni periferico risponde ad un certo "set" di queste istruzioni. In ognuna di queste i primi 5 bits (da 0 a 5) contengono il codice operativo 70₈ che individua l'istruzione con una IOT, cioè con un trasferimento

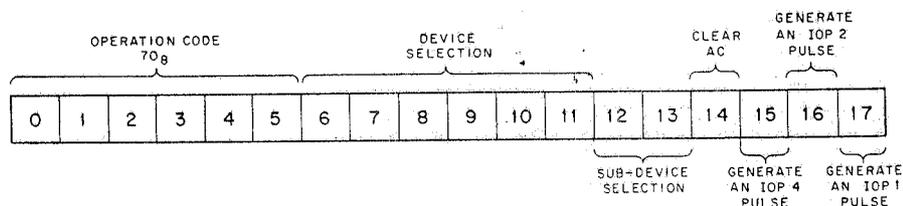


FIG. 9 - Struttura di una istruzione di IOT.

da 0 verso un periferico. A quale periferico è indirizzata l'istruzione viene individuato da 6 bits successivi (dal 6 al 11). Sono così possibili fino a 64 periferici logici (ma in realtà ad ogni periferico fisico, in generale, corrisponde più di un codice); altri due bits (il 12 e 13) consentono un'ulteriore selezione del periferico o di una parte di esso. Il bit 14 poi viene usato per azzerare l'accumulatore prima di ogni trasferimento di dati dal periferico all'accumulatore. Infine, per individuare la funzione alla quale il periferico selezionato deve rispondere sono utilizzati gli ultimi 3 bits, che specificano su quale delle 3 linee del I/O BUS, utilizzabili allo scopo, debba essere inviato un impulso chiamato IOP (input/output pulse); questi 3 segnali sono chiamati IOP 1, IOP 2, IOP 4, dalla posizione che hanno nella istruzione di IOT i rispettivi bits.

Esistono delle convenzioni su questi impulsi da rispettare, quando si desidera, come nel nostro caso, collegare un periferico non standard:

- Il segnale di IOP 1 viene utilizzato di solito in una istruzione di "skip" su una "flag", cioè salta l'istruzione successiva del programma se è verificata una certa condizione: quale ad esempio se l'indicatore (flag) dello stato del periferico indica che questo è occupato. In ogni caso, l'impulso IOP 1 può essere utilizzato solo come comando o per variare un registro, ma non per leggere il contenuto di un periferico.
- Il segnale di IOP 2 in genere serve per trasferire dati dal periferico al calcolatore o per azzerare un registro; non è utilizzabile per una istruzione di "skip".
- L'impulso, infine, di IOP 4 di solito serve per trasferire i dati dal calcolatore al periferico; non può essere utilizzato né per istruzioni di lettura né per quelle di "skip".

Nelle camere proporzionali, a cui abbiamo attribuito come codice di selezione del periferico il 14₈, sono state utilizzate le seguenti istruzioni di IOT ed i corrispondenti mnemonici:

ENCP = 701441	Abilita le camere. Come abbiamo visto nel par. 4 pone a livello logico "1" il flip-flop di trasferimento nel modulo LDR, in modo che ogni OR GEN proveniente dalle camere, se corrisponde ad un evento "buono", inizia la scansione delle camere.
SK FLCP = 701401	Salta una istruzione se la I/O FLO FLAG (v. avanti) è sullo stato logico "1".
R COOR = 701412	Legge il contenuto dei contatori dei fili e delle camere.
CL FLCP = 701422	Azzerata la API FLAG e la I/O OFLO FLAG (input-output overflow).
ROSTCP = 701452	Legge lo stato del terminale: la I/O OFLO FLAG è letta nel bit 17 dell'accumulatore.
CLALL = 701462	Azzerata nell'interfaccia; i contatori (camere e fili), tutti i flip-flops, e le "flags".
LDPC = 701404	Utilizzato solo per diagnostica. Se si è disposta l'interfaccia in condizioni

di "test", ponendo a "1" il bit 5 di un particolare registro al suo interno, il comando LDCP invia contemporaneamente un impulso su tutti gli amplificatori dei fili della camera. In questo modo sono letti, se si è predisposta una sufficiente area in memoria, tutti i fili della camera e questo costituisce il TEST on-line della catena elettronica di cui parleremo diffusamente più avanti.

6. - INTERFACCIA.

L'interfaccia trasferisce i dati utilizzando il DCH (data channel) direttamente dal periferico alla memoria alla frequenza di 250 Hz che è la massima consentita dal calcolatore. Per questo tipo di trasferimento occorre, da programma, predisporre due locazioni di memoria consecutiva; una contenente il numero (negativo) di parole (di 18 bits) da trasferire e l'altra contenente l'indirizzo nella memoria dove deve essere memorizzata la prima parola letta dal periferico. Queste due locazioni sono chiamate rispettivamente WC (word count) e CA (current address); nel caso delle camere proporzionali hanno il valore WC = 46g e CA = 47g.

Ad ogni trasferimento la IPU incrementa il contenuto di queste due locazioni e non appena il contenuto della WC è zero, cioè sono state trasferite tutte le parole previste, la IPU emette un impulso. Tale impulso, nell'interfaccia, pone a livello "1" il flip-flop I/O OFLO FLAG e se è in corso un ciclo di scansione, questo viene bloccato e l'interfaccia disabilitata. Per avvisare il calcolatore di questa condizione di errore corrispondente al tentativo di trasferire un numero di dati superiore al numero di locazioni riservate, si è utilizzato il sistema di interruzione PI (programm interrupt): la I/O OFLO FLAG invia sull'I/O BUS una richiesta di interruzione lungo una linea chiamata PI REQ. Per segnalare invece la fine del ciclo di scansione è utilizzato l'altro sistema di interruzione API (automatic priority interrupt). La differenza tra i due sistemi di interruzione è sostanzialmente la seguente: nel PI ogni periferico invia la sua richiesta su una linea comune e viene individuato dal programma; nell'API, invece, le linee disponibili per la richiesta sono 4, corrispondenti a diverse priorità, e ad una di queste è collegato il periferico. Quest'ultimo insieme alla richiesta invia un indirizzo, chiamato API TRAP ADDRESS, dell'I/O BUS.

Ogni qualvolta il calcolatore riceve da un terminale una richiesta di API, nella locazione di memoria corrispondente (API TRAP ADDRESS) troverà l'indirizzo del programma per la lettura dati. Per le camere a fili è stata utilizzata come API TRAP ADDRESS la locazione 46g.

In tutti i periferici del PDP 15, il colloquio, cioè lo scambio di impulsi tra periferico e calcolatore, viene regolato da due moduli "FLIP CHIP", forniti dalla DEC: il multiplexer M 104 utilizzato per generare e memorizzare le richieste di API e DCH; ed il selettore del periferico M 103, il quale decodifica il codice assegnato al terminale e consente il passaggio degli impulsi IOP 1, IOP 2, IOP 4.

Entrambi questi moduli sono stati utilizzati nella realizzazione dell'interfaccia per le camere proporzionali.

Lo schema del modulo M 104, progettato per il controllo dei periferici del PDP 15 è riportato in Fig. 10. In Fig. 11 è riportata la sequenza temporale dei vari impulsi nel modulo. La sequenza dei segnali utilizzati nel colloquio periferico-calcolatore, durante un trasferimento che utilizza il DCH è riportata in Fig. 12.

Il modulo accetta una richiesta dai circuiti del periferico, sull'ingresso chiamato FLAG(1)H e la sincronizza con un impulso I/O SYNCH inviato per questo scopo dalla IPU. Il flip-flop REQ viene posto allo stato logico "1" e la richiesta di attenzione viene inviata tramite l'I/O BUS (DCH RQL) alla IPU. Quest'ultima, non appena è pronta al trasferimento, risponde con un impulso di GRANT e il flip-flop ENA è posto a livello "1". Il flip-flop ENA è usato per inviare un indirizzo sulle linee dell'I/O BUS appositamente previste allo scopo (I/O ADDR line) (v. Fig. 1): nel nostro caso l'indirizzo della locazione WC, per il trasferimento DCH o il TRAP ADDRESS per l'API.

Nel modulo usato per il data-channel, l'impulso di GRANT, inviato dal calcolatore in risposta alla richiesta, genera un segnale di CLEAR FLAG. L'OR logico di questo segnale e del co-

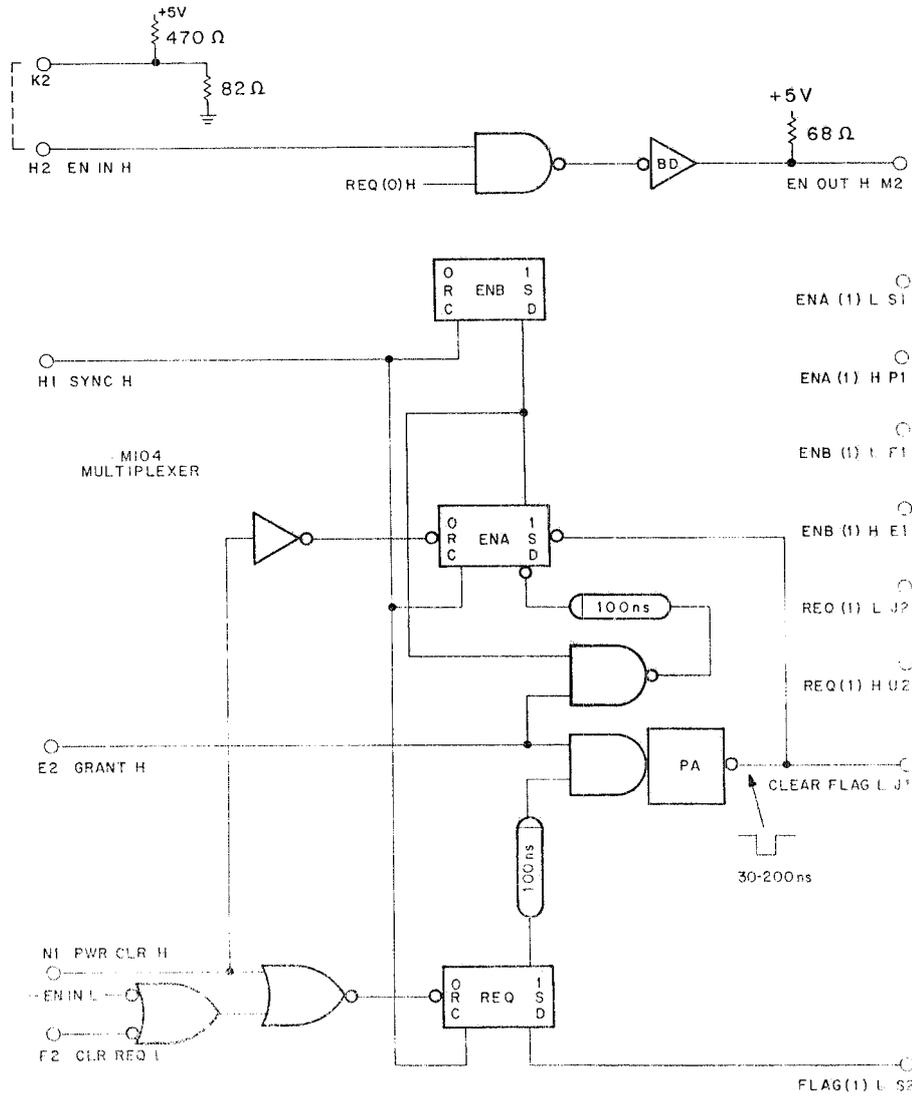


FIG. 10 - Schema modulo M104, per il controllo periferici-PDP 15.

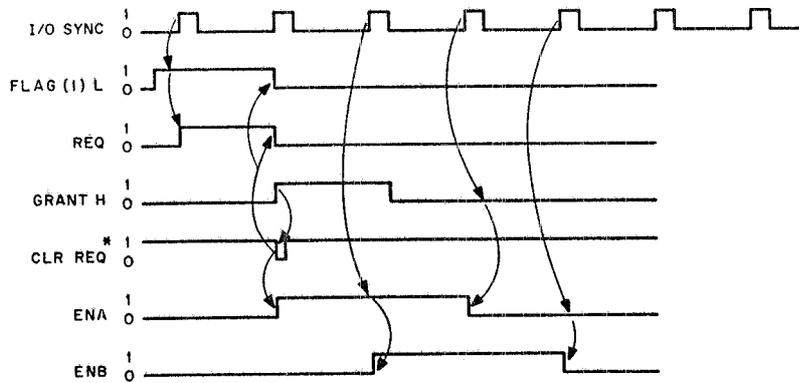


FIG. 11 - Sequenza temporale dei vari impulsi nel modulo M104.

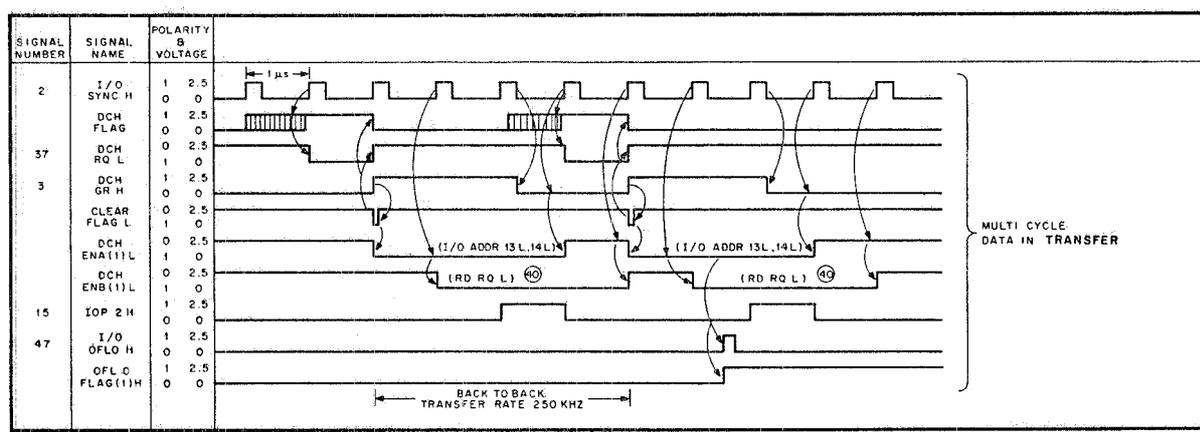


FIG. 12 - Sequenza segnali utilizzati nel colloquio periferico-calcolatore durante un trasferimento, che utilizza il DCH.

mando CLR ALL (v. Fig. 13) azzerà il flip-flop della DCH FLAG (v. Fig. 14) e inoltre, tornando al modulo M104 pone a livello "0" il flip-flop REQ. L'API FLAG, invece, può essere azzerata da programma con le istruzioni CLR ALL e CL FLCP o dall'impulso di PWR CLR. Al successivo impulso di sincronismo, il flip-flop ENB è portato a livello logico "1". Questo segnale può essere utilizzato all'interno del periferico per diversi scopi. Nel nostro caso è usato nel DCH per specificare la direzione di trasferimento, essendo stato connesso alla linea RDRQ L (read request) dell'I/O BUS; ha anche la funzione di abilitare il passaggio dell'impulso di IOP 2 (ingresso V2 del M103, v. Fig. 13). I successivi impulsi di I/O SYNC azzerano ENA e ENB in sequenza: il ciclo è così concluso.

Particolare attenzione va posta ai segnali di EN IN H ed EN OUT (v. Fig. 10 in alto), in quanto questa linea collegando serialmente i periferici (EN OUT di uno costituisce EN IN per il successivo) ne fissa le priorità sulle richieste. Inizialmente EN IN è a livello "1", cioè il calcolatore abilita tutti i periferici, ma quando un'invia la richiesta di attenzione ponendo il flip-flop REQ a "1", EN OUT va a "0". Ciò significa che i periferici successivi trovano la linea EN IN a massa (livello "0"). Il flip-flop REQ viene mantenuto a massa dal segnale EN IN. In questo modo ogni periferico che vuole comunicare con il calcolatore impedisce ai successivi (rispetto alla IPU) di fare altrettanto.

Delle 4 priorità disponibili per l'API, l'interfaccia delle camere proporzionali usa la più elevata, cioè la 0, dovendo trattare dati in tempo reale.

I segnali di IOP 1, IOP 2, IOP 4, una volta che il loro ingresso nell'interfaccia è stato abilitato dal selezionatore del periferico M103, vengono combinati con gli impulsi corrispondenti ai bits SD 01 e SD 02 (sottoindirizzo periferico) e formano i vari segnali di comando cioè IOT 7414 XX (v. Fig. 13).

In questo modo con l'impulso IOP 1 si può generare il comando di abilitazione delle camere ENCP, il quale (v. Fig. 15) unito con OR logico con l'analogo comando da pannello, viene inviato al modulo LDR col nome XFEREN (v. Par. 4 e Fig. 5B). A questo punto, nel LDR non appena un evento è guidicato "buono" viene generato un impulso di INEV. Tale impulso nel modulo M405 dell'interfaccia (Fig. 16), chiamato "clock" principale, abilita il passaggio del segnale dell'oscillatore a quarzo (frequenza 2.5 MHz), in maniera analoga a quanto avviene nel LDR. Il "clock" viene ritardato di due impulsi dai flip-flop, j-k, di Fig. 16 e poi è inviato al modulo LDR. Nel LDR ad ogni segnale di filo carico viene inviato all'interfaccia un segnale DCH REQ (indicato come SET DCH FLAG H (in Fig. 14). Questo impulso da un lato pone a "1" la DCH FLAG e inizia così un ciclo di DCH, come è stato precedentemente detto, dall'altro azzerà il flip-flop del modulo del CLOCK (Fig. 16). Dopo un certo periodo la IPU risponde col segnale di lettura, chiamato IOP 2, coincidente con DCHENB (IOP 2 PWR STR L in Fig. 15), il quale è utilizzato per inviare sull'I/O BUS il contenuto dei contatori delle camere e dei fili.

M103
B6

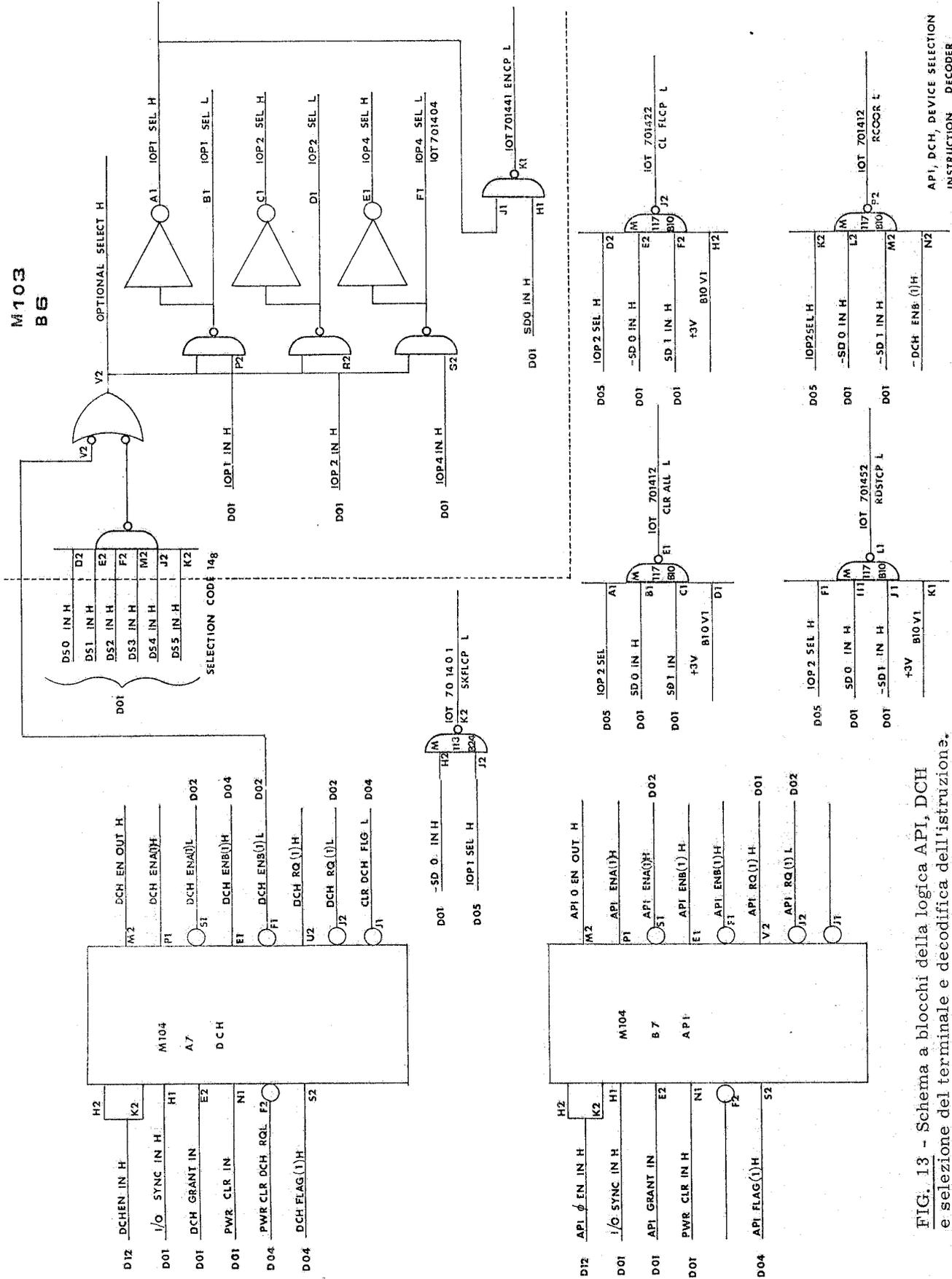


FIG. 13 - Schema a blocchi della logica API, DCH e selezione del terminale e decodifica dell'istruzione.

API, DCH, DEVICE SELECTION
INSTRUCTION DECODER

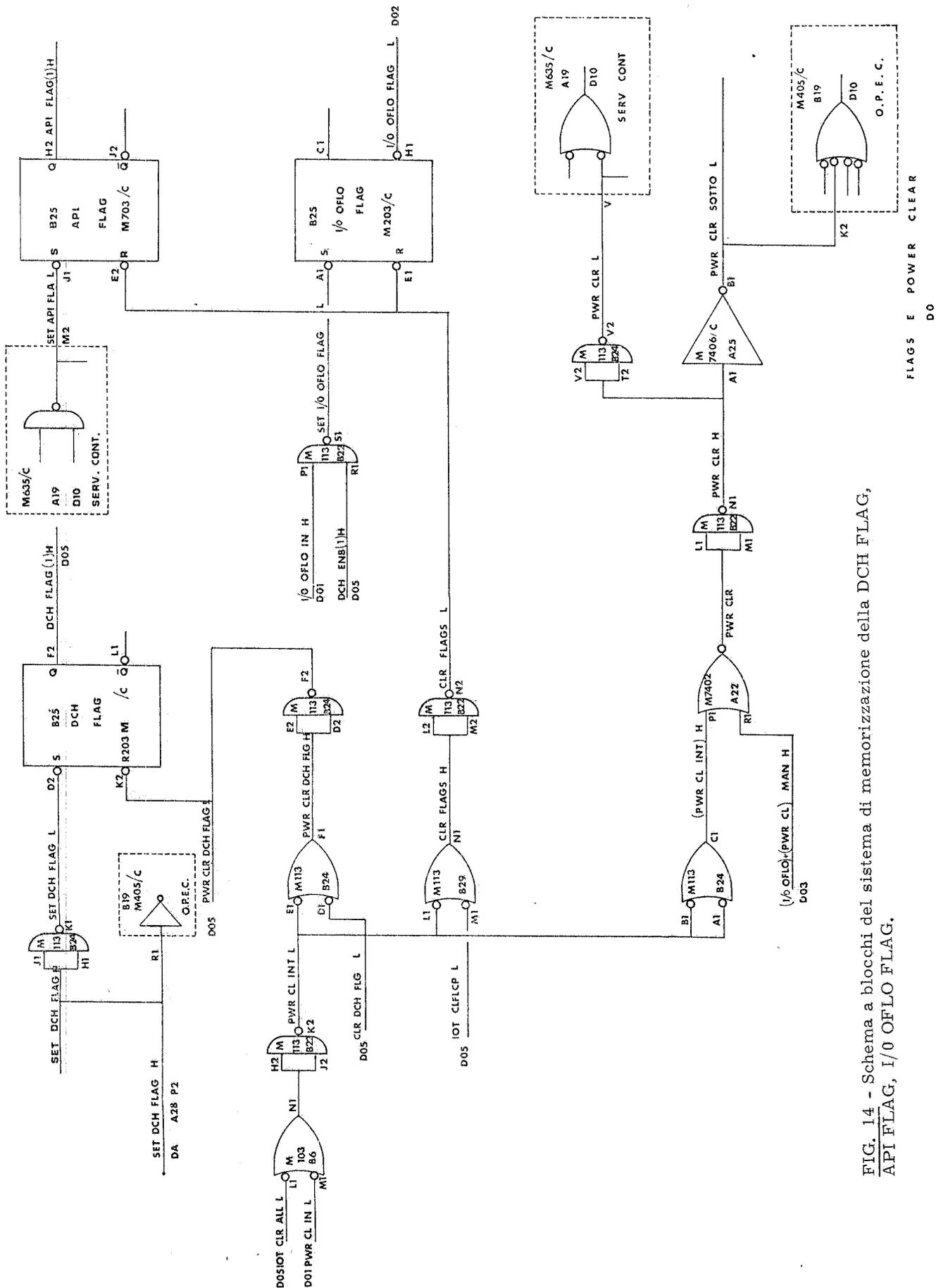


FIG. 14 - Schema a blocchi del sistema di memorizzazione della DCH FLAG, API FLAG, I/O OFLO FLAG.

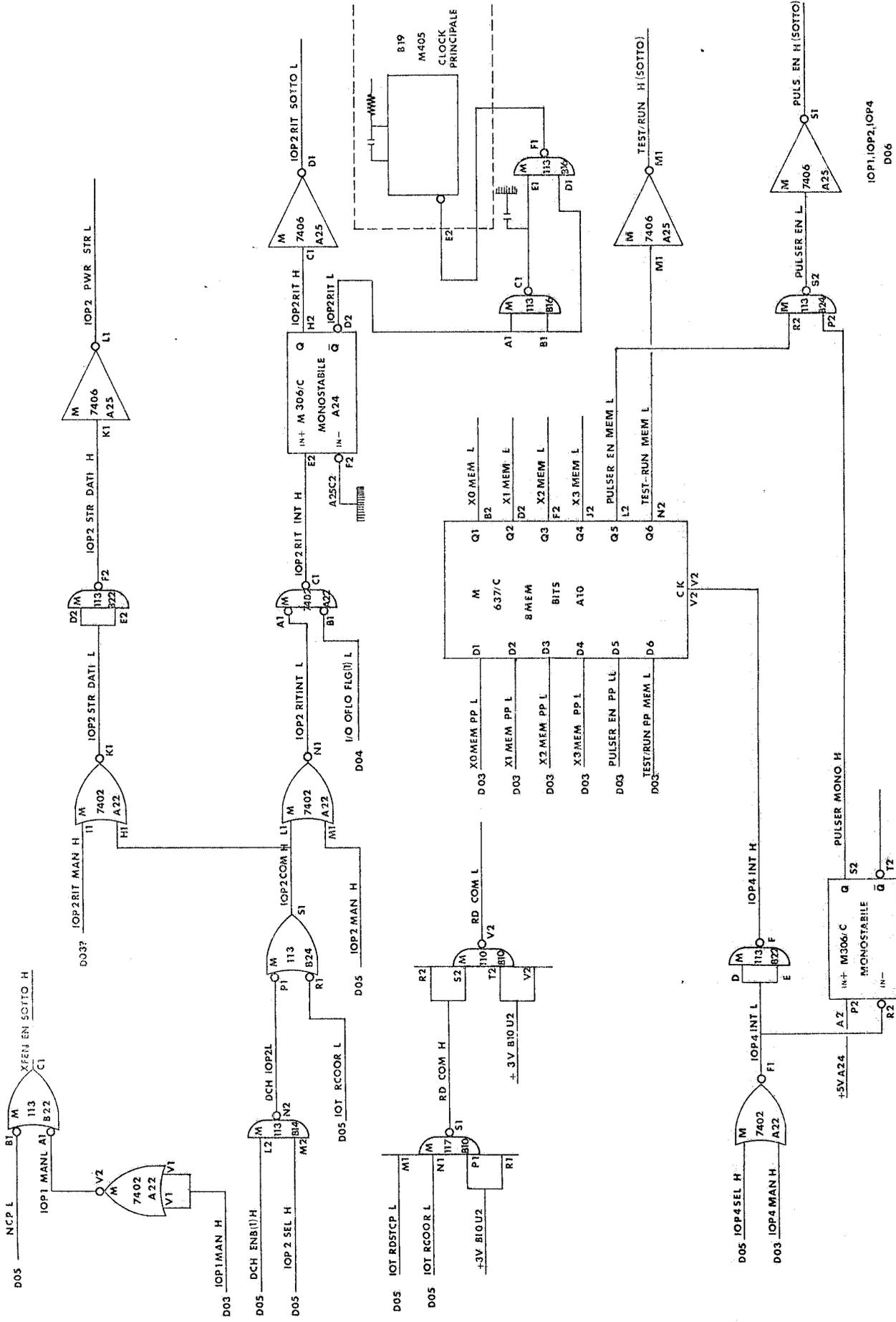


FIG. 15 - Impulsi IOP 1, IOP 2, IOP 4.

Ritardando l'IOP 2 con un monostabile ed un formatore (che dà un impulso solo in corrispondenza alla fine del segnale allungato dal monostabile) è generato l'IOP 2 RIT L che riabilita il passaggio del clock nel modulo M 405 e nel LDR.

Quando sono stati trasferiti tutti i dati previsti (locazione WC azzerata) in un ciclo di DCH, la IPU, come abbiamo visto, genera un impulso di I/O OFLO, che, giunto nell'interfaccia, pone a livello logico "1" il flip-flop I/O OFLO FLAG (Fig. 14) e inibisce il passaggio dell'IOP 2 RIT L, impedendo così che riparta il "clock". Questo segnale di I/O OFLO FLAG L genera una richiesta di PI sull'I/O BUS (in Fig. 1 PI RQL) ed eventualmente anche una di "skip", qualora si utilizzi la istruzione SKFLCP (skip on proportional chamber flag).

In Fig. 17 è riportato lo schema a blocchi del contatore dei fili; ne esiste un altro analogo per le camere. Questo circuito (per i fili) conteggia gli impulsi di CLOCK di ritorno dal LDR, ognuno dei quali corrisponde alla scansione di un filo. La sua uscita, come si può osservare, è collegata ad uno degli ingressi di un circuito di comparazione, che la confronta con lo stato degli interruttori nel pannello di programmazione. Quando i due numeri sono uguali, cioè è stata eseguita la scansione di tutta la camera, l'uscita A = B è allo stato logico "1".

Questo segnale va al modulo M 635 (v. Fig. 18), chiamato "servizi ai contatori", e dopo essere stato formato da un monostabile assolve molteplici funzioni. Innanzitutto azzerà il contatore dei fili e incrementa quello delle camere, cioè li predispone per la scansione di un secondo rivelatore. Poi va al modulo del "clock" principale e del LDR; in entrambi azzerà il flip-flop di scansione FF SCAN con il fronte di salita e con quello di discesa lo mette nuovamente a livello logico "1". In questo modo, quando il CLOCK è nuovamente abilitato a passare, può essere smistato alla camera successiva, dato che nel frattempo il contatore delle camere è stato incrementato.

Questa sequenza si ripete fintanto che anche il contenuto del contatore delle camere uguaglia il numero impostato sul pannello di programmazione, cioè è stata completata la scansione di tutti i rivelatori. Viene così generato il segnale chiamato A = B CAMERE H. Se insieme a questo segnale è presente anche quello, che abbiamo indicato come A = B fili H, cioè è stata completata anche la scansione dell'ultima camera, si genera l'impulso di (SET) API FLAG L.

Questo segnale viene inviato al circuito LDR (Fig. 5B) per l'azzeramento di tutti i flip-flop e pone l'API FLAG a livello "1". Questa è una richiesta di interruzione sulla linea API Ø, la cui sequenza temporale è simile a quella osservata per il DCH. L'interfaccia è, a questo punto, disabilitata ed occorre una istruzione di ENCP per leggere dei nuovi dati. Prima di ciò è comunque necessario da "software" azzerare l'API FLAG, con l'istruzione di CLFLCP o CLRALL.

Il formato dei dati depositati in memoria è il seguente: bit 9-17 numero del filo; bit 5-8 numero della camera.

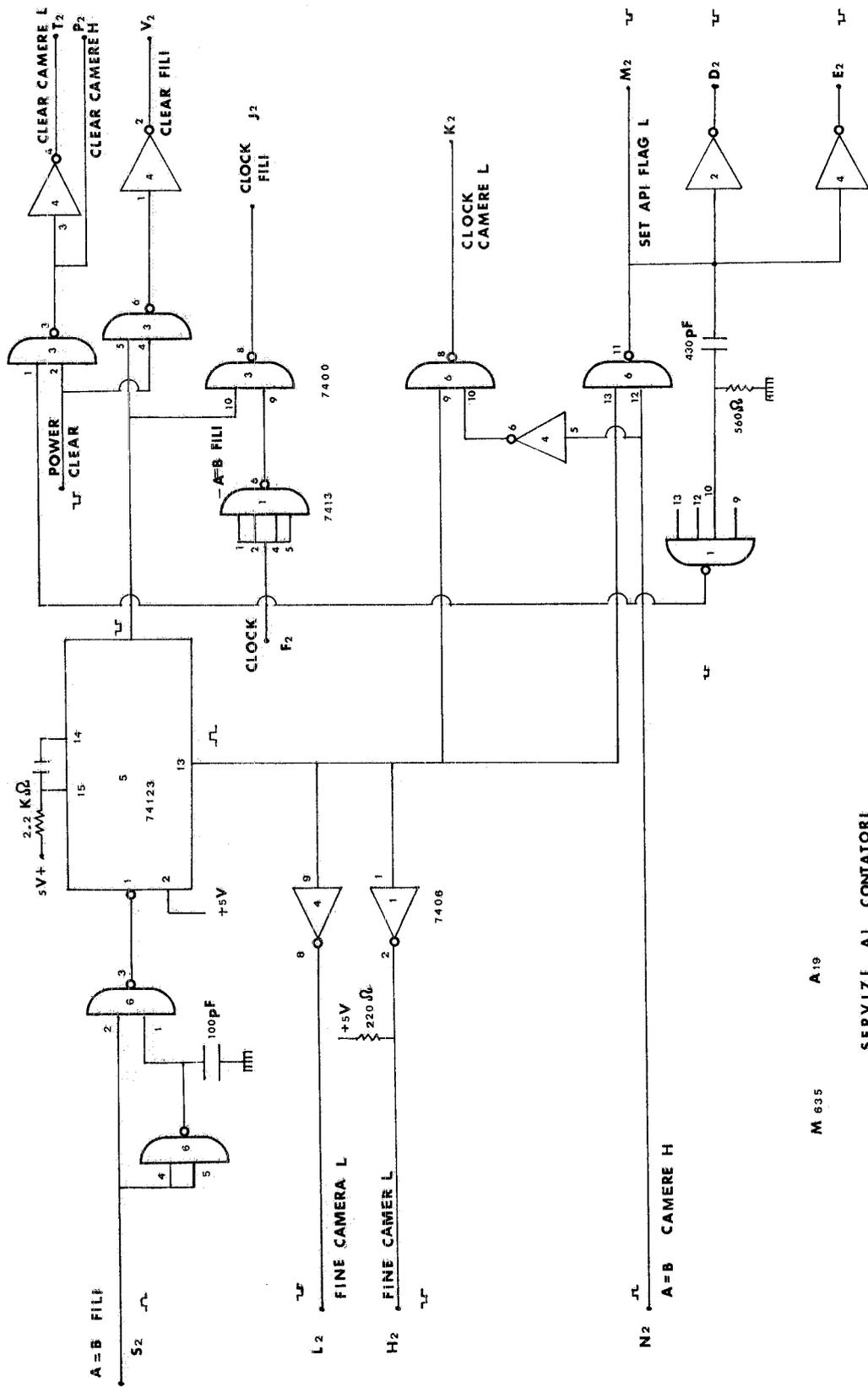
La Fig. 19 e seguenti sono fotografie riprese in laboratorio durante i "tests" e danno una precisa idea della sequenza logica e temporale degli impulsi lungo tutta la catena elettronica. Queste sono state riprese utilizzando due sole piastre, una per camera, e simulando con un impulsatore il segnale dato su un filo dal passaggio di una particella carica. Il tempo di lettura delle camere può essere facilmente valutato. Essendo la frequenza del CLOCK 2.5 MHz, ogni 0.4 µs è letto un filo. Pertanto, in assenza di fili carichi la scansione di N_c camere, ciascuna con N_F fili, ha luogo in $0.4 \times N_c \times N_F$ µs. Per la lettura di un filo carico occorrono 5 µs all'incirca, determinati dall'intervallo di tempo intercorso tra la richiesta di DCH dell'interfaccia e l'impulso di IOP 2 da parte del calcolatore e dalla durata dell'IOP 2 RIT. Quindi per n_{ch} fili carichi occorre un tempo di lettura di $n_{ch} \times 5$ µs. A questo, infine, si deve aggiungere il tempo (~ 2 µs), in cui la scansione è bloccata, durante il trasferimento del CLOCK da una camera all'altra; per N_c rivelatori questo intervallo sarà $N_c \times 2$ µs.

Riassumendo, il tempo in cui la scansione di tutte le camere sarà conclusa è dato da:

$$N_c \times N_F \times 0.4 + 5 \times n_{ch} + 2 \times N_c \text{ } \mu s$$

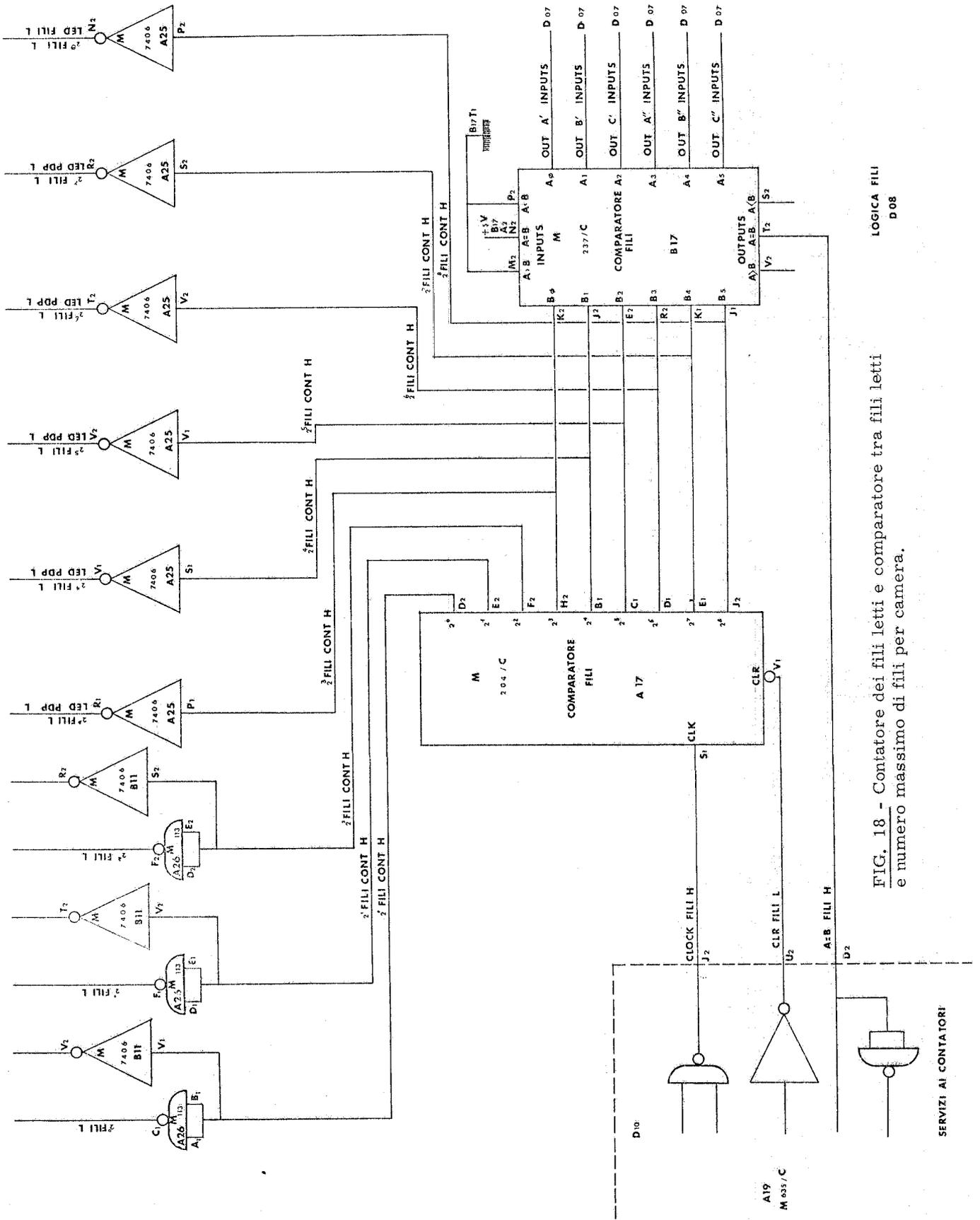
dove: N_c = n. camere; N_F = n. fili (per ogni camera) da leggere come impostato sul pannello di programmazione; n_{ch} = n. fili carichi.

Nel nostro caso, $N_F = 128$ e $N_c = 2$, se consideriamo un numero massimo di fili carichi di 5 per camera, cioè $n_{ch} = 10$, abbiamo un tempo di scansione pari a 156 µs.



M 635 A 19
SERVIZI AI CONTATORI

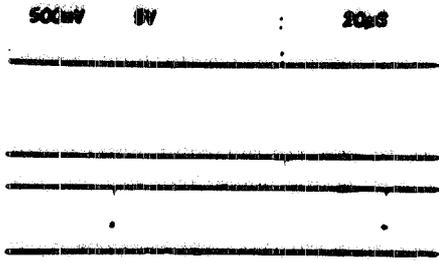
FIG. 17 - Schema a blocchi per gli impulsi di ingresso ai contatori.



LOGICA FILI
D08

FIG. 18 - Contatore dei fili letti e comparatore tra fili letti e numero massimo di fili per camera.

SERVIZI AI CONTATORI



TRANSFER ENABLE (x FR EN) Fig. 5B

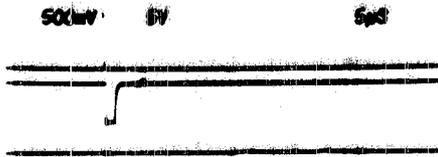
OR GEN Fig. 2

LOAD Fig. 2

CLOCK Fig. 2

200mV 100ns

FIG. 19



OR GEN Fig. 2

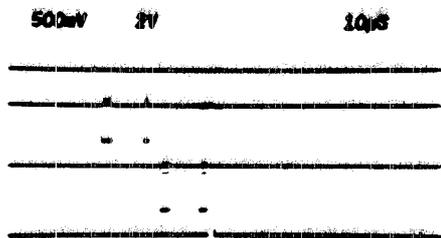
LOAD Fig. 2

CLOCK Fig. 2

200mV 200ns

SERIAL OUT (corrispondente a filo n. 5) Fig. 2

FIG. 20



OR GEN (2^a camera) Fig. 2

CLOCK (1^a camera - segnale corrispondente filo n. 6) Fig. 2

CLOCK (2^a camera - segn. filo n. 5) Fig. 2

CLEAR (Il primo impulso di clear è dovuto alla fine della scansione delle camere, il secondo impulso deriva dalla istruzione CLALL posta all'inizio del programma d'acquisizione) Fig. 2

500mV 500ns

FIG. 21

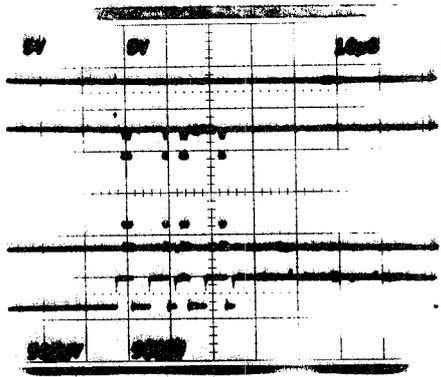


FIG. 22

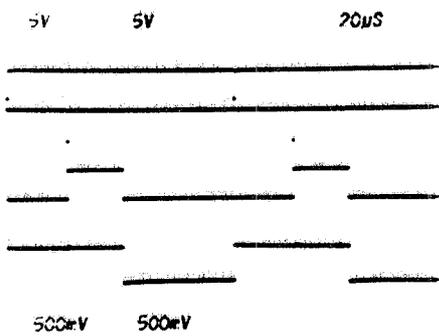


Fig. 23

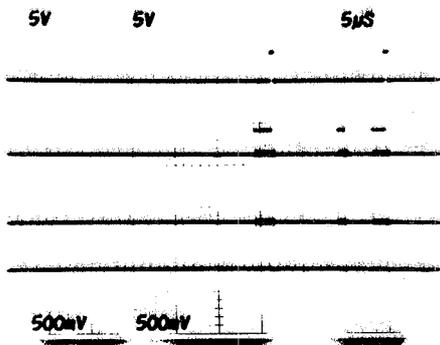


Fig. 24

IN EV L Fig. 5B

CP IN Fig. 6A

CP OUT Fig. 6A

SCANN(1)H Fig. 6A

TRANSFER ENABLE (x FER EN L) Fig. 5B

LOAD L Fig. 5A

ACQ(1)H Fig. 5B

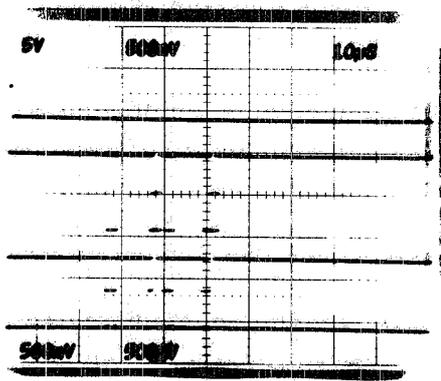
TRASF(1)H Fig. 5B

SERIAL OUT Fig. 2

CP OUT Fig. 6A

CLOCK Fig. 2

DCH FLAG L Fig. 6B



EN CP SOTTO H
FINE CAMERA L

Fig. 15

Fig. 17

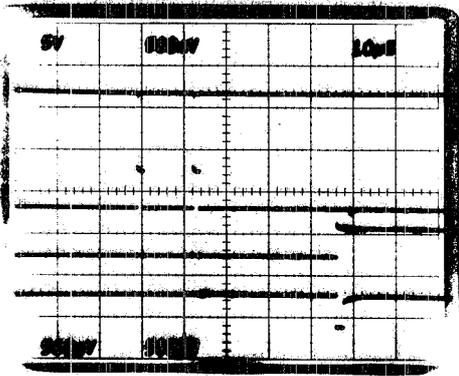
CLOCK FILI H

Fig. 17

MAIN CLOCK

Fig. 16

FIG. 25



SET DCH FLAG L

Fig. 14

DCH FLAG(1)H

Fig. 14

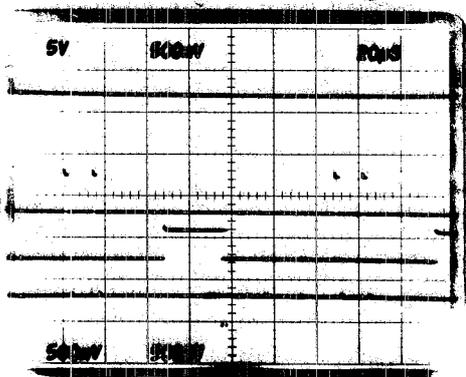
API FLAG(1)H

Fig. 14

SET API FLAG (L)

Fig. 14

FIG. 26



CCR DCH FLG

Fig. 14

DCH FLG(1)H

Fig. 14

API FLG(1)H

Fig. 14

IOT CL FLCP L

Fig. 14

FIG. 27

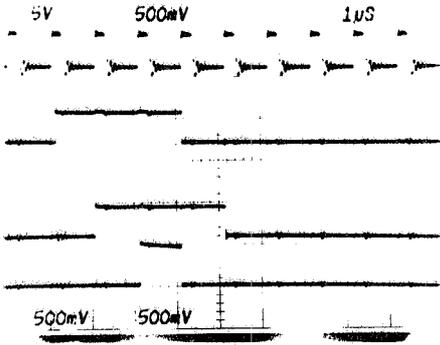


FIG. 28

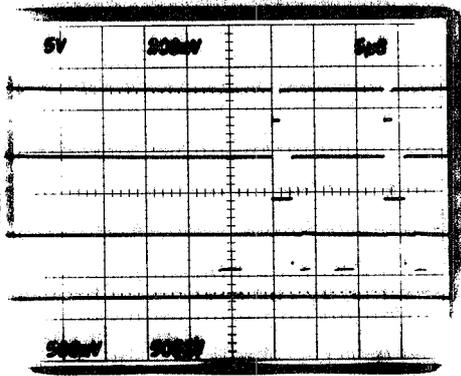


FIG. 29

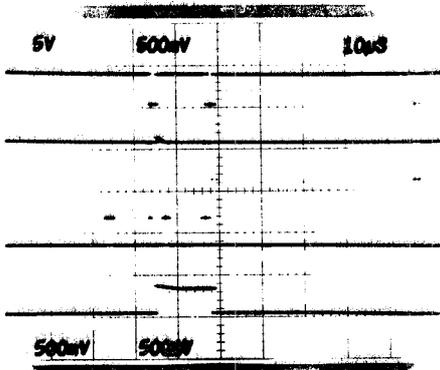


FIG. 30

I/O SYNC H Fig. 13

DCH ENA(1)H Fig. 13

DCH ENB(1)H Fig. 13

IOP 2 SEL H Fig. 13

DCH IOP 2 L Fig. 15

IOP 2 RIT L Fig. 15

RST CLOCK L Fig. 15

MAIN CLOCK Fig. 16

CLR FILI L Fig. 17

CLR CAMERE L Fig. 17

CLOCK IN Fig. 17

A=B CAMERE Fig. 17

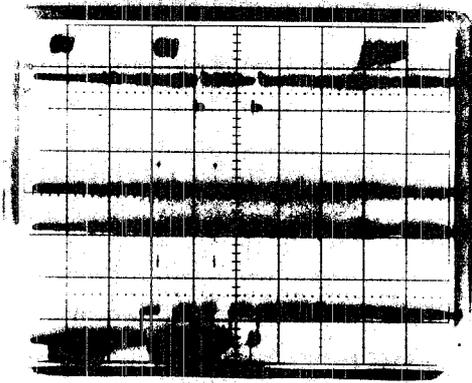


FIG. 31

FINE CAMERE L

Fig. 6A

DCH FLAG H

Fig. 6B

DCH FLAG L

Fig. 6A

SCAN(1)H

Fig. 6A

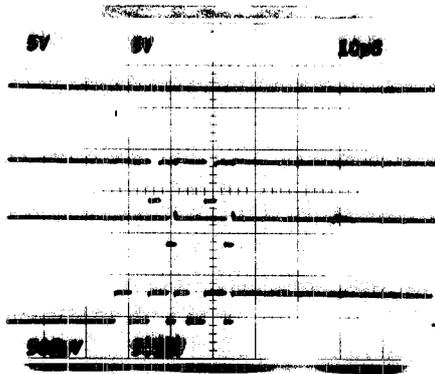


FIG. 32

IN EV L

Fig. 5B

IOP 2 RIT L

Fig. 6A

FINE CAM L

Fig. 6A

SCANN(1)H

Fig. 6C

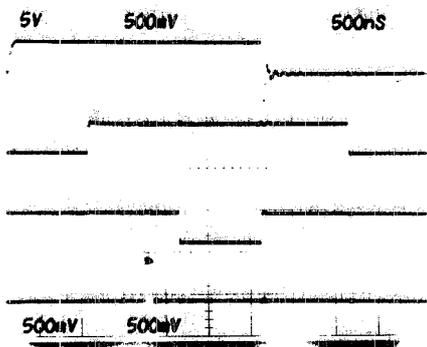


FIG. 33

DCH ENA(1)H

Fig. 13

DCH ENB(1)H

Fig. 13

DCH IOP 2 L

Fig. 15

I/O OFLO H

Fig. 14

7. - PANNELLO DI PROGRAMMAZIONE.

Tramite questo pannello, situato in sala controllo, è possibile, prima di iniziare l'acquisizione dati, dare delle informazioni necessarie al trasferimento e durante i "tests" simulare alcuni comandi generalmente dati da programma.

Su questo pannello sono collegati gli interruttori che consentono, come si è visto nel paragrafo precedente, di fissare il numero di camere ed in ciascuna il numero di fili da leggere. Questo ultimo in ogni camera può variare da un minimo di 8 (limite inferiore, corrispondente ad una piastra) a 512. Alcuni interruttori consentono di selezionare il numero di fili separatamente per ognuna delle 6 camere attualmente previste. Semplici modifiche consentono di estendere il sistema fino ad un massimo di 16.

In questo pannello è inoltre previsto l'ingresso per l'impulso di macchina GATE LINAC, che è possibile inibire tramite un interruttore. E' analogamente possibile anche escludere le camere non utilizzate.

Esiste, inoltre, un gruppo di 6 tasti per simulare impulsi del calcolatore quali: IOP 1 (simula la ENCP), IOP 2 (simula la lettura sull'I/O BUS), IOP 4 (carica una memoria interna), IOP 2 RIT (fa partire il CLOCK), I/O OFLO e PWR CLR (azzerano i contatori e tutti i flip-flop, tranne le "flags"). E' inoltre prevista la possibilità di caricare, tramite dei commutatori, una memoria interna all'interfaccia. Il "bit" 5 di questa memoria a livello logico "1", corrisponde allo stato di "test".

Lo stato di tutti gli interruttori del pannello è visualizzabile tramite degli indicatori luminosi, come anche lo stato del CLOCK e dei flip-flops di acquisizione, "scanning" e trasferimento.

8. - PROGRAMMA DI ACQUISIZIONE.

Per effettuare le prove di funzionamento dell'interfaccia sono stati messi a punto vari programmi; dal più semplice che consente di inviare un comando alla volta, per provare la risposta dell'interfaccia al comando, al più completo, riportato in Appendice, il quale predispone il trasferimento dei dati in memoria e, a comando, stampa sulla "teletype" le coordinate ed il numero dei fili letti. Questo programma costituisce il nucleo di ciò che viene chiamato "handler" (o "driver"), cioè il programma che, rispondendo a semplici comandi di READ o WRITE (ovviamente tramite un opportuno codice in linguaggio "assembler", dipendente dal sistema operativo), esegue tutto l'"input-output" trasferendo i dati da o al programma che li richiede.

9. - CONCLUSIONI.

Il sistema di acquisizione è stato provato con una sorgente di Sr collimata; ponendo la camera tra due contatori a scintillazione il segnale dei quali è stato inviato ad una coincidenza. L'uscita della coincidenza è stata collegata ad un ingresso del modulo LDR, mentre gli altri ingressi, ciascuno a quello previsto per il GATE LINAC sono stati esclusi.

L'efficienza complessiva è risultata pari al 95%. La miscela gassosa utilizzata è quella nota col nome di "magica"⁽⁵⁾ (0,5 freon 13B1, 24,5 isobutano, 75% argon (+ eventualmente 4% metil)). Alimentazione delle camere: 5000 Volt.

Tutti i fili hanno fornito in queste condizioni una risposta soddisfacente. La molteplicità dei fili interessati al passaggio di una particella incidente con un angolo $\theta \leq 3^\circ$ (trascurando lo "scattering" nel primo fotomoltiplicatore) rispetto alle due zone del campo elettrico è risultata pari a 1,2.

RINGRAZIAMENTI.

Gli autori desiderano ringraziare lo Staff del LEALE e in particolare i Sigg. M. Albicocco e W. Pesci per la qualificata assistenza prestata.

BIBLIOGRAFIA.

- (1) - E. Apostolopoulos, Tesi di laurea, Università di Pisa (1973).
- (2) - G. P. Capitani, E. De Sanctis, S. Pasquini e A. R. Reolon, Frascati Report LNF-78/2 (1978).
- (3) - S. Pasquini e A. R. Reolon, Frascati Report LNF-77/34 (1977).
- (4) - Digital Equipment Corporation, PDP-15 Manuals.
- (5) - Rice and Evans, Spark, Streamer, Proportional and Drift Chambers (Richelieu, 1974).

APPENDICE.

.TITLE CPDCH2 SI AUTOCORREGGE DA UN CAL, SCRIVE SU TTY
 .EJECT

.ABS
 CLFLCP=701422
 SKFLCP=701401
 ENCF=701441
 CLALL=701462
 RDSTCP=701452
 RCUOR=701412
 IOP4=701404
 TLS=700406
 TCF=700402
 TSF=700401
 WC=34
 CA=35
 /

.LOC 1
 DAC SAVAC
 SKFLCP
 JMP *
 JMS APICH
 LAC SAVAC#
 ION
 JMP* 0

.LOC 20
 0
 JMS RPRSTN
 DBR
 JMP* 20

.LOC 40
 .REPT 6,1
 JMP *
 JMS APICH
 .REPT 31,1
 JMP *
 .EJECT

APICH 0
 IOF
 DAC SAVAC
 LAS
 SMA
 JMP OUT
 LAC NUMPAR
 TCA
 TAD WC
 DAC N.PAR#
 TCA
 SNA
 LAW -1
 DAC MN.PAR#
 JMS ACAPO

LAC N.PAR
 JMS SCRIVI
 LAC (52
 JMS PRINT
 JMS ACAPO
 LAC INDCOR
 IAC
 DAC BUF#
 LAW -10
 DAC CNT#
 AGN1 LAC* BUF
 JMS SCRIVI
 ISZ BUF
 ISZ MN.PAR
 SKP
 JMP OUT
 ISZ CNT
 JMP AGN1
 JMS ACAPO
 JMP AGN
 OUT JMS RESET
 LAW -1
 DAC SWCH#
 OUT1 CLFLCP
 LAC SAVAC
 ION
 DBR
 JMP* APICH
 /
 RPRSTN 0
 DAC SAVAC
 LAC 20
 TAD (-1
 DAC 20
 XOR (100
 DAC SV#
 LAC* SV
 DAC* 20
 LAC SAVAC
 JMP* RPRSTN

/
 RESET 0
 LAC NUMPAR
 DAC WC
 LAC INDCOR
 IAC CA
 JMP* RESET
 .EJECT

START	.LOC	200		
	CAF			
	JMS	RESET	JMS	PRINT
	LAC	(400000)	LAC	(12
	ISA		JMS	PRINT
	ION		JMP*	ACAPO
QUI	CLALL		/	
	DZM	SWCH	PRINT	0
	ENCP			TLS
	LAS			TSF
	AND	(377777)		JMP
	SNA			,-1
	JMP	DOUT		TCF
	TCA			JMP*
QUI1	IAC			PRINT
	SZA			.EJECT
	JMP	QUI1		
DOUT	LAC	SWCH		
	SZA			
	JMP	QUI		
	JMP	DOUT		
/			.LOC	300
NUMPAR	-100		CAF	
INDCOR	777		JMS	RESET
/			LAC	(400000)
SCRIVI	0		ISA	
	DAC	SV#	ION	
	LAC	(SNA	CLALL	
	DAC	ANCORA+1	DZM	SWCH
	LAW	-5	ENCP	
	DAC	CNT1#	LAS	
	LAC	SV	AND	(377777)
	LMR		SNA	
ANCORA	LLS	1003	JMP	DOUT
	SNA		TCA	
	JMP	SPAZIO	IAC	
	TAD	(60	SZA	
	DAC	TMP#	JMP	QUI1
	LAC	(SKP	LAC	SWCH
	DAC	ANCORA+1	SZA	
	LAC	TMP	JMP	QUI
	SKP		JMP	DOUT
SPAZIO	LAC	(40	/	
	JMS	PRINT		.END
	ISZ	CNT1#		
	JMP	ANCORA		
	LLS	1003		
	TAD	60		
	JMS	PRINT		
	LAC	(40		
	JMS	PRINT		
	JMP*	SCRIVI		
/				
ACAPO	0			
	LAC	(15		