

# ISTITUTO NAZIONALE DI FISICA NUCLEARE

Sezione di Napoli

---

INFN/TC-95/15  
22 Marzo 1995

M.G. Alviggi, R. De Asmundis, M. Di Pietro, L. Parascandolo, P. Parascandolo,  
D. Piccolo:

**LA SCHEDA VME DI EVENT BUNCH FINDER PER IL TRIGGER DI  
MUONI DELL'ESPERIMENTO L3**

**LA SCHEDA VME DI EVENT BUNCH FINDER PER IL TRIGGER DI MUONI DELL' ESPERIMENTO L3**

M.G. Alviggi <sup>1-2</sup>, R. De Asmundis <sup>1</sup>, M. Di Pietro <sup>1</sup>, L. Parascandolo<sup>1</sup>, P. Parascandolo <sup>1</sup>,  
D. Piccolo <sup>1-2</sup>

<sup>1</sup>) INFN -Sezione di Napoli, Mostra d'Oltremare, Pad 19-20, 80125 Napoli, Italy

<sup>2</sup>) Dipartimento di Scienze Fisiche, Università di Napoli "Federico II", Napoli, Italy

**Abstract**

This note describes a VME module based on precise digitally programmable delay generators to select event bunch number for the forward muon trigger of the L3 experiment.

**1. - INTRODUZIONE**

La ricerca del bosone di Higgs e le verifiche del modello standard legate alla produzione di W<sup>+</sup> W<sup>-</sup> saranno possibili grazie all'innalzamento dell'energia della macchina LEP a 190 GeV ed all'aumento della luminosità ottenibile con fasci a 4 + 4 bunches.

La frequenza di incrocio dei fasci resta sempre a 44KHz ma con una struttura di 4 sottoincrocio a pacchetto distanziati tra di loro di circa 250nsec. Negli apparati sperimentali perciò ci si aspettano eventi osservabili al primo secondo terzo o quarto dei sottopacchetti di cui si compone ciascun bunch. Questa struttura é definita "bunch trains 4 X 4".

Per la rivelazione dei muoni nell'esperimento L3 sono stati aggiunti 3 piani di camere a drift ed un complesso di magneti toroidali che permettono il raggiungimento di un angolo di rivelazione minimo di 22° rispetto all'asse del fascio in entrambe le direzioni. Per angoli compresi tra 22° e 34°, il trigger dei muoni in avanti è generato da una coppia di piani di RPC (resistive plate counters) perchè questi, oltre ad una buona risposta temporale hanno una risoluzione spaziale (strisce di lettura di 3cm) sufficiente a identificare particelle provenienti dal punto di intersezione dei fasci.

Il rivelatore di muoni copre una superficie di circa 300m<sup>2</sup> e consta di 192 RPC: 6144 strip in totale. L'elettronica associata al rivelatore si occupa della soppressione degli zeri e dell'encoding mentre la scheda di track finder identifica le tracce valide provenienti dal vertice.

La nuova modalità di funzionamento della macchina richiede di sincronizzarsi non solo con l'incrocio a 44KHz (segnale di beam gate), ma anche con i singoli sottopacchetti del bunch train.

E' stato necessario pertanto sviluppare un modulo che in funzionamento "bunch train mode" producesse, a partire dal segnale di beam gate della macchina, una sequenza di sincronismo di quattro cicli esattamente negli istanti in cui ci si attende l'incrocio delle singole componenti del bunch.

Durata e periodo di questo treno di impulsi sono programmabili via VME [Ref. 1]. Questo treno di quattro impulsi é messo in "AND" con le coincidenze veloci ottenute dai due piani di RPC appartenenti allo stesso settore (ottante). In caso di risposta valida di questa coincidenza tripla, il modulo fornisce in uscita un segnale di strobe che "fotografa" la configurazione di strip scattate negli RPC ed un codice digitale che individua il bunch su cui si è verificata la coincidenza.

Via VME é possibile impostare le diverse modalità di funzionamento del modulo: modo test, modo sincrono con fascio e modo sincrono con coincidenza della coppia di piani di RPC.

## 2. - IL GENERATORE PROGRAMMABILE DI RITARDO AD9500

Un generatore programmabile di ritardo digitale è un dispositivo che ritarda il fronte di un segnale di trigger di un tempo programmabile.

Nel caso dell'AD9500 [Ref. 2] il ritardo prodotto é la somma di un ritardo interno minimo  $t_{pd}$  dell'ordine dei 6ns. e di un ritardo programmabile controllato oltre che da una parola digitale di 8 bit anche da  $R_{ext}$  e da  $C_{ext}$  che consentono di variare il range di programmabilità da  $t_{pd} + 2.5ns.$  fino a  $t_{pd} + 10\mu s.$  ed oltre.

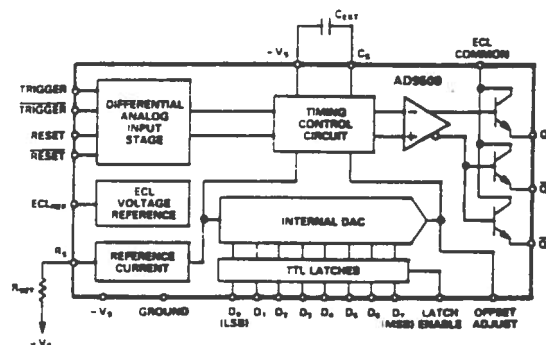


FIG. 1 - Schema a blocchi AD9500

In questo modulo, trigger e reset del dispositivo sono comandati in modo single ended invece che differenziale. In particolare si comanda con segnali ECL della famiglia 10K dall'ingresso /TRIGGER mentre l'ingresso TRIGGER é connesso all'uscita di riferimento ECLref insieme con l'ingresso di RESET. Introducendo una capacità sull'uscita /Qr e connettendola all'ingresso di /RESET si ottiene un funzionamento quasi da monostabile lasciando libere le uscite Q e /Q per altri usi.

Il codice digitale di controllo del ritardo: D0 - D7 (D0 = LSB e D7 = MSB) ed il segnale di latch enable sono impostabili come livelli TTL.

Il jitter, inteso come la variazione del ritardo prodotto dal dispositivo per successivi impulsi di trigger, dipende ovviamente dal valore full scale del ritardo.

Per un valore full scale del ritardo di 100ns. il valore tipico del jitter è 0.4ns. mentre sulla scala di 1µs. il jitter è dell'ordine di 1ns.

Poichè l'AD9500 (Fig.1) usa una configurazione - rampa - comparatore - DAC, con la rampa prodotta da un generatore di corrente costante, è evidente che un qualsiasi rumore specialmente nell'intorno della soglia del comparatore interno, introduce del jitter non desiderato.

Il goal progettuale è stato perciò quello di ridurre al minimo il noise prodotto su scheda per ottenere prestazioni adeguate dal circuito che comunque doveva prelevare le alimentazioni all'interno di un crate VME (basato su alimentatori di tipo switching).

### 3. - SCHEMA A BLOCCHI BUNCH TRAIN GENERATOR.

Il segnale NIM di beam gate viene dapprima traslato a livelli ECL e poi inviato al "bunch train generator" che consta di due generatori digitali di ritardo AD9500 impostabili via VME, di due monostabili MC10198 (M1 ed M2), oltre ad un flip-flop set reset RSFF e un contatore binario a 3 bit realizzato con due MC10131.

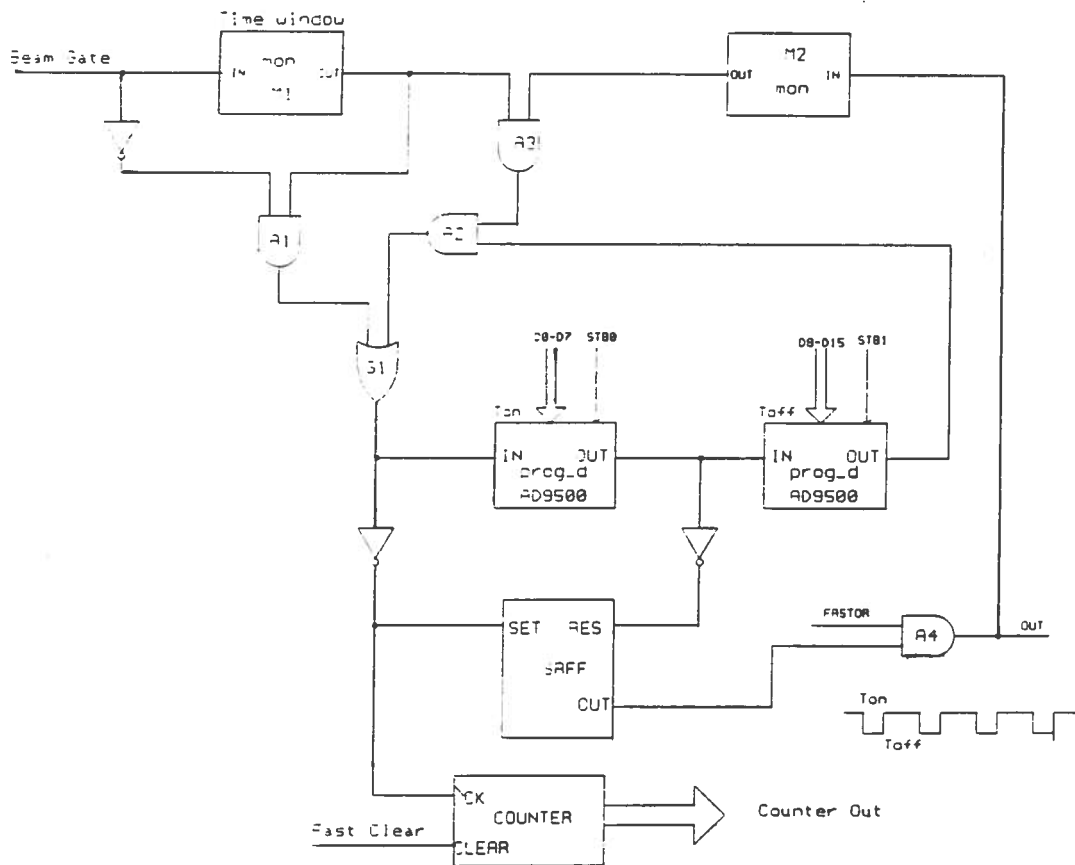


FIG. 2 - Bunch train generator

Sulla transizione high to low del segnale di beam gate viene settato il SRFF, fatto avanzare il contatore e fatto partire il primo dei due AD9500, che regola il tempo  $t_{on}$ , la cui uscita fa da trigger per il secondo AD9500 (che controlla il tempo  $t_{off}$ ) ed al tempo stesso resetta l'RSFF (MC10131).

L'uscita del secondo AD9500 tramite l'AND A2 e l'OR G1, fa ripartire il primo AD9500 realizzando così una struttura ad anello e quindi un oscillatore che si stoppa o perché si è avuta una coincidenza con l'ingresso di fast OR connesso al gate A4 (e in questo caso viene bloccato il percorso dall'uscita del secondo AD9500 verso il primo AD9500 tramite il monostabile M2 e la porta A3) o perché si esce dalla finestra temporale fissata dal monostabile M1 tramite la porta A3.

Nel caso sulla porta A4 vi sia una coincidenza tra uno dei bunch ed il segnale di fast OR, il segnale di uscita viene traslato a livelli NIM ed inviato al sistema di acquisizione che provvederà altresì alla lettura del contatore per appurare su quale dei quattro impulsi si è verificata la coincidenza. Il segnale di fast clear viene generato dalla macchina sempre prima dell'invio del successivo segnale di beam gate.

Nel grafico seguente viene indicata la curva di risposta dell'AD9500 in funzione del ritardo impostato.

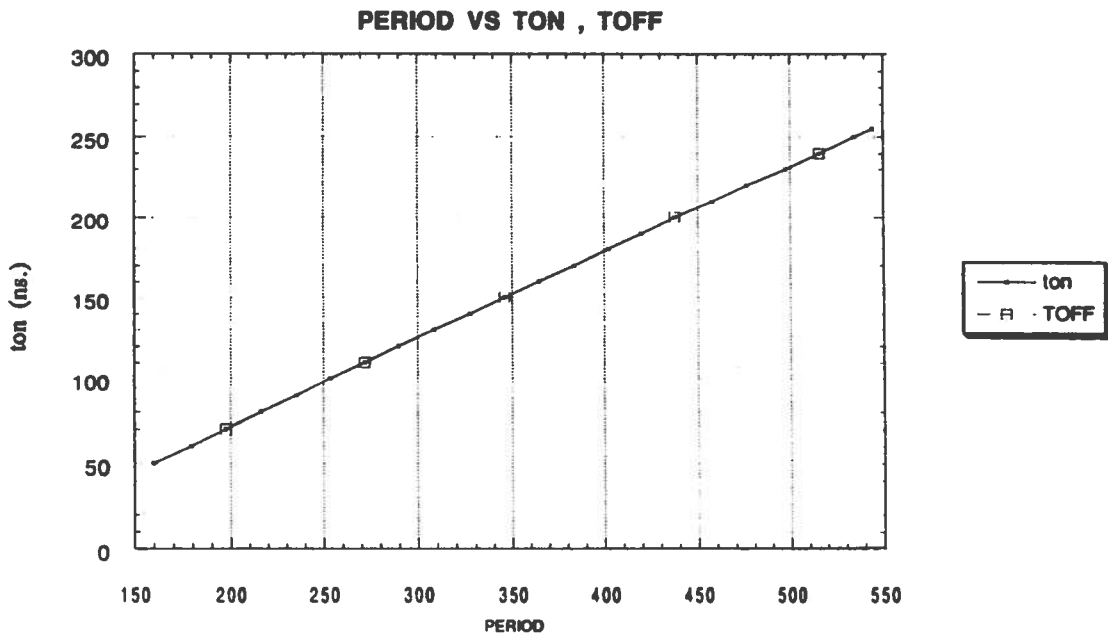


FIG. 3 - Curva di risposta dell' AD9500

#### 4. - INTERFACCIA VME E TABELLA COMANDI

La decodifica dell'indirizzo VME è realizzata in due 74LS521 che ricevono in ingresso gli indirizzi A23-A15 ed in parte in una 16V8 che tratta gli indirizzi A7-A3 oltre agli "address modifiers" AM5-AM0.

A mezzo di un ponticello su un ingresso della 16V8 [Ref. 3] si sceglie la modalità di risposta della scheda (user o supervisor tramite il ponticello PRIV).

Il segnale PLD così prodotto in uscita dalla 16V8 fa da gate al master clock per la Xilinx [Ref. 4] e ciò allo scopo di ridurre il noise su scheda. Difatti, poiché il segnale PLD è prodotto solo quando la scheda è indirizzata, la Xilinx rimane per lungo tempo "idle" diventando attiva solo nell'intervallo tra l'address strobe valido (segnale AS) e la generazione di DTACK.

Grazie a questo meccanismo si è ridotto di molto il noise generato su scheda e si è potuto contenere, nel funzionamento "bunch train mode", il jitter sul quarto impulso a 3.4 ns.

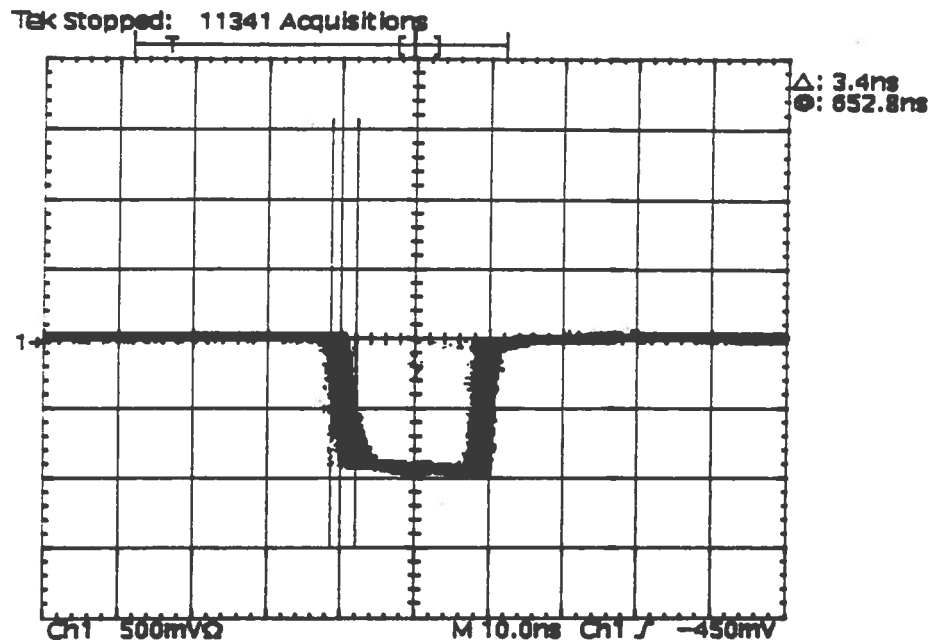


FIG. 4 – Jitter sul quarto impulso in funzionamento bunch train

La tabella comandi è anch'essa impostabile via VME e consente di trasmettere in uscita il segnale A (modo sincrono con fascio frequenza 44KHz), il segnale B (che consente di testare il funzionamento dell'apparato in assenza di fascio: test mode) o il segnale C (segnale di fast or). E' possibile selezionare le funzioni (A OR B), ((A OR B) AND C), o anche la funzione "bunch train" (A AND C).

I comandi vengono impostati scrivendo in un registro interno della Xilinx (bit L0-L2 in uscita dalla FPGA Fig.5) che vengono prima traslati a livelli ECL e poi inviati al decoder delle funzioni realizzato in un MC10161.

I tempi  $t_{on}$  e  $t_{off}$  vengono programmati scrivendo in due registri interni della FPGA (bit di uscita D00 - D17) e poi dando i due strobe STB0 ed STB1.

Il tranceiver 74LS645 è comandato dai due segnali DIR per indicare la direzione dei dati in scrittura o lettura dalla FPGA ed ENI che invece è prodotto ogni volta che la scheda è correttamente indirizzata.

I segnali LW, DS0, DS1, IACK, AS e WR sono trattati direttamente nella XC3020 il cui top level schematic è in Fig. 5. Oltre alla impostazione della tabella comandi, il chip assicura la corretta gestione del protocollo del bus VME.

Lo schema completo del modulo è indicato in figura 6.

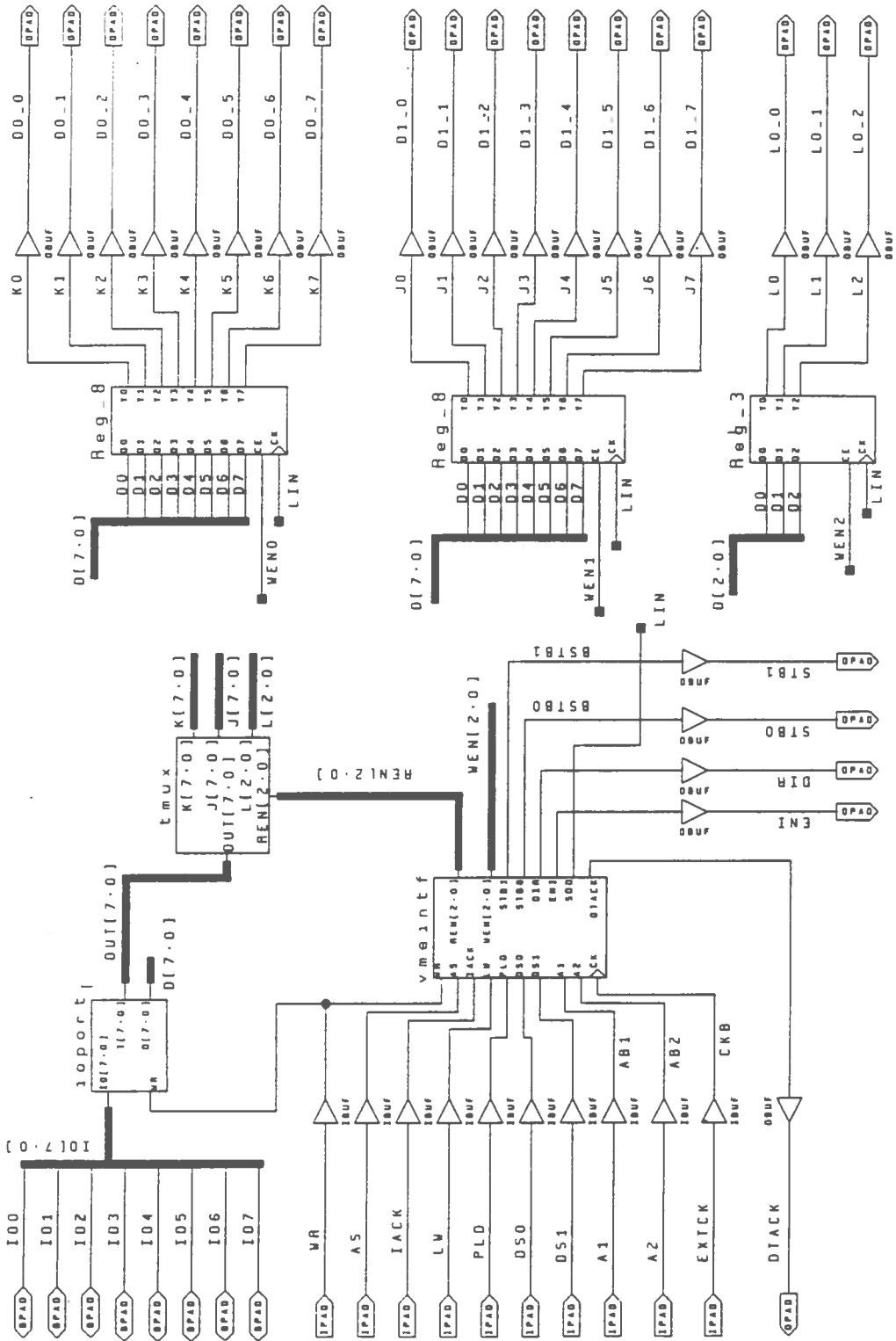


FIG. 5 - Top level schematic FPGA

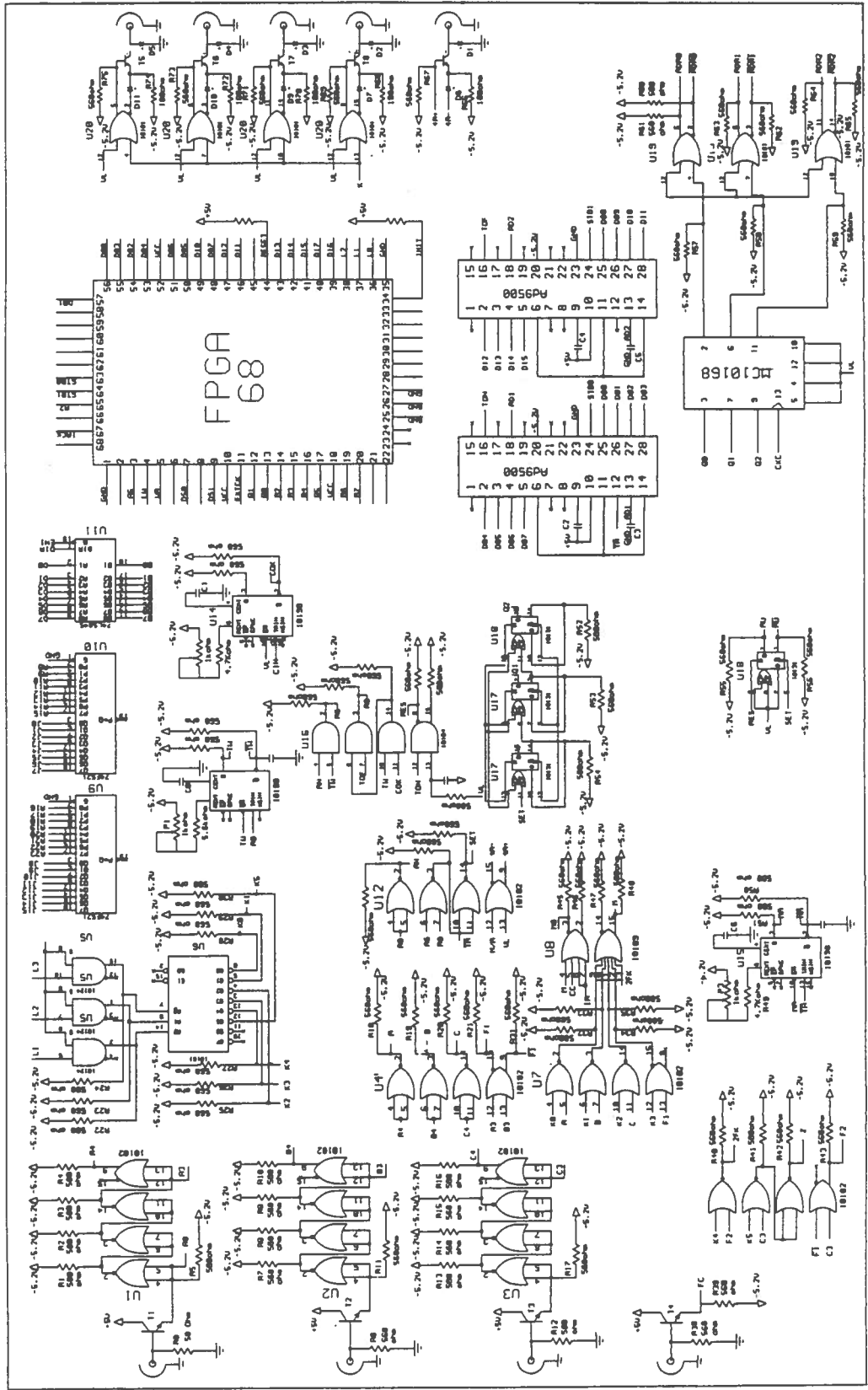


FIG. 6 - Event Bunch Finder



**REFERENZE**

- [1] The VME bus specification, ANSI/IEEE STD1014, 1987
- [2] Analog Devices, Special Linear Reference Manual, 1992
- [3] AMD, Pal Devices Data Book, 1993
- [4] Xilinx, The Programmable Gate Array Data Book, 1993