

# ISTITUTO NAZIONALE DI FISICA NUCLEARE

Sezione di Napoli

---

**INFN/TC-94/11**  
**14 Giugno 1994**

A. Aloisio, A. Bove, F. Cevenini, L. Parascandolo, P. Parascandolo, S. Patricelli:

**LA SCHEDA ZERO SUPPRESSOR PER IL TRIGGER DI MUONI CON  
RPC DELL'ESPERIMENTO L3**

**INEN/TC-94/11**  
14 Giugno 1994

**LA SCHEDA ZERO SUPPRESSOR PER IL TRIGGER DI MUONI CON RPC  
DELL'ESPERIMENTO L3.**

A.Aloisio<sup>1-2</sup>, A.Bove<sup>1-2</sup>, F. Cevenini<sup>1-2</sup>, L.Parascandolo<sup>1</sup>, P.Parascandolo<sup>1</sup>, S.Patricelli<sup>1-2</sup>

<sup>1</sup> INFN - Sezione di Napoli, Mostra d'Oltremare, Pad. 19-20, 80125 Napoli, Italy

<sup>2</sup> Dipartimento di Scienze Fisiche, Università di Napoli "Federico II", Napoli, Italy

**ABSTRACT**

We report on the construction of the Z-Supp card for the L3 experiment. The board, housed in a VME crate, has been already mass-produced and is now being installed at the CERN laboratory in Geneva.

## 1. - INTRODUZIONE

Il programma LEP già approvato innalzerà l'energia della macchina a 190 GeV e darà ai fisici sia l'opportunità di verificare il modello standard della produzione di  $W^+ W^-$  sia la possibilità di ricercare il bosone di Higgs fino alla massa di 90 GeV. Per questo motivo, l'esperimento L3 ha esteso la copertura angolare per la rivelazione dei muoni abbassando il minimo angolo di rivelazione da  $43^\circ$  a  $22^\circ$  in entrambe le direzioni.

Per ciascuna di queste regioni, la rivelazione dei muoni è stata ottenuta aggiungendo tre piani di camere a drift di precisione ed un magnete toroidale.

Nella regione con  $\Theta$  compreso tra  $43^\circ$  e  $36^\circ$  i muoni sono rivelati nella zona cilindrica del rivelatore e da camere situate all'interno del magnete. Nella regione con  $\Theta$  compreso tra  $36^\circ$  e  $22^\circ$  il momento dei muoni è misurato da uno spettrometro realizzato con camere a drift e qui il sistema di trigger di muoni è fornito da un rivelatore separato che è anche essenziale per la selezione dei raggi cosmici.

Si è scelto di usare gli RPC (Resistive Plate Counters) per la loro buona risposta temporale, il basso costo e la facile producibilità su larga scala. In questi rivelatori la distanza tra i piani è 2 mm e la differenza di potenziale è 4kV/mm. Gli elettroni liberi generati dalle particelle ionizzanti fanno partire una scarica a valanga che si trasforma in una scarica a streamer tra i due piani. Il pickup degli impulsi è di tipo capacitivo ed è reso possibile da elettrodi resistivi per alta tensione trasparenti agli impulsi generati nel gas. Viene usato un piano di strip di alluminio larghe 29 mm e spaziate di 2 mm. La carica indotta è all'incirca 100pC e i tempi di salita e durata dell'impulso sono all'incirca di 2 ns e 10 ns rispettivamente. Gli impulsi indotti sulle strip di lettura sono discriminati ed amplificati da transistor ad elevata banda passante la cui uscita pilota direttamente dei formatori TTL.

Nel sistema di rivelazione dei muoni dell'esperimento L3 sono presenti 192 RPC per un totale di 6144 strip di lettura.

I segnali degli RPC sono prima posti in OR con i corrispondenti segnali dei layer opposti [Ref.1] e poi, suddivisi in gruppi di 96, sono inviati alla scheda Z-Supp che svolge la funzione di soppressione degli zeri e di encoder fornendo in uscita l'informazione relativa alla posizione dell'hit all'interno della parola di 96 bit. L'uscita verso il "track-finder" successivo avviene attraverso un bus dedicato ed è costituita da n parole da 8 bit, una per ciascun hit.

Il dispositivo "track-finder" è anch'esso una scheda VME A24-D16 6U che riceve in ingresso i dati di due schede di Z-Supp (denominate X ed Y) ed effettua la ricerca, tramite un opportuno algoritmo, delle coincidenze spaziali fra le coordinate che ha ricevuto e fornisce un segnale di trigger al resto dell'elettronica.

La scheda Z-Supp fa largo uso di FPGA e GAL [Ref. 2] [Ref.3] ed è molto flessibile in quanto, via backplane VME, è possibile sia applicare un pattern di test per verificare il funzionamento della scheda sia mascherare uno o più canali d'ingresso se necessario.

## 2. LO SCHEMA A BLOCCHI

I segnali differenziali d'ingresso provenienti dagli RPC che durano 150 - 200 nsec. sono dapprima inviati ad un banco di line receivers 75173 [Ref.4] e poi trattati in gruppi di 16 all'interno di 6 FPGA (zsupp#0 - zsupp#5) XC3020 (125 MHz) della Xilinx [Ref. 5]. Lo strobe  $Ck_D$  immagazzina i 96 canali all'interno delle 6 FPGA di zsupp per la successiva analisi. L'elaborazione si basa su di un algoritmo seriale che in  $1\mu\text{sec}$  fornisce in uscita la (o le) posizioni su cui si è verificato un hit (ovvero: gli indirizzi geografici dei canali del rivelatore interessati all'evento).

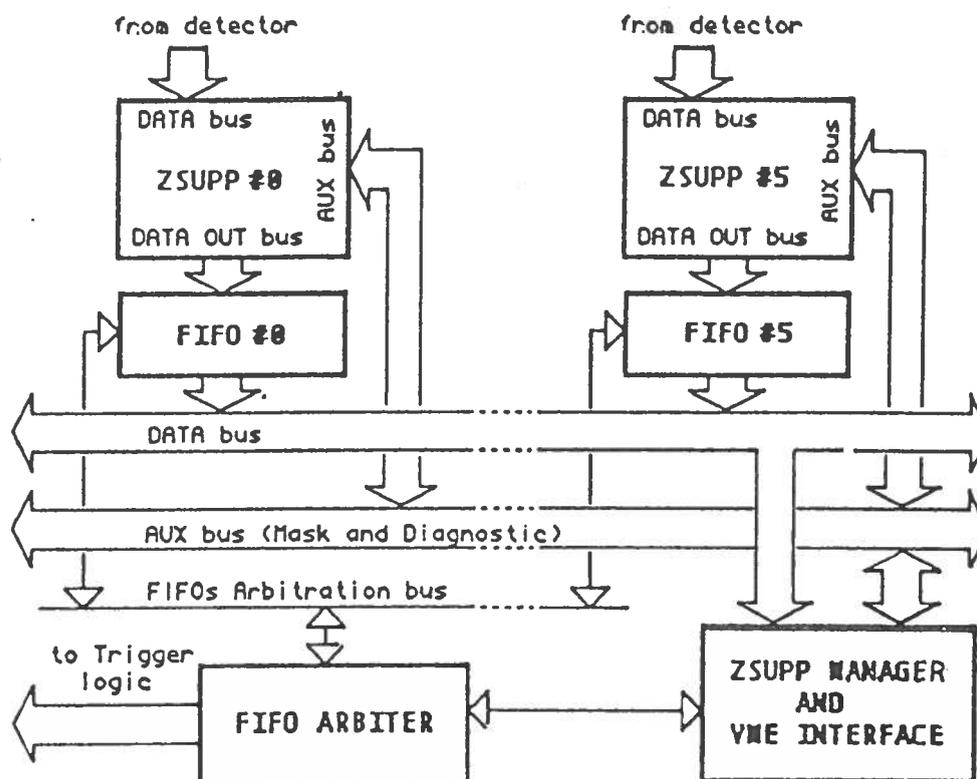


FIG. 1 - Schema a blocchi.

I dati in uscita dalle FPGA man mano che si rendono disponibili, sono immagazzinati in un banco di 6 FIFO, una per ciascuna FPGA (6 chip IDT 7200L-15) [Ref. 6] così che dopo  $1\mu\text{sec}$ , nel caso le FIFO siano state lette dal "track finder", le FPGA sono pronte per una successiva acquisizione. Nel caso di hit singolo sui 16 ingressi afferenti ad una FPGA avremo una sola parola di 4 bit (da 0 ad F in esadecimale) in uscita da questa; mentre, nel caso di multihit avremo più parole in uscita che dovranno essere immagazzinate nella corrispondente FIFO. Affinché il "track finder" possa riconoscere in modo univoco la posizione dell'hit nel gruppo dei 96 canali d'ingresso, a ciascuna FPGA viene assegnato un indirizzo geografico di tre bit. L'ottavo bit d'ingresso alle FIFO, il bit D7 può esser posto con un jumper o a massa

all'alimentazione per fare la ricostruzione destra sinistra al "track finder". L' arbiter realizzato in una GAL 20RA10 risolve le conflittualità sul bus delle FIFO ed assieme al controllore zman realizzato in una Xilinx XC3020 si occupa del protocollo della trasmissione dei dati o verso il VME o verso il " track finder". Il controllore zman gestisce le diverse modalità d'uso della scheda (trigger, host o test) e dà i necessari segnali di controllo sia alle 6 FPGA di Zsupp che alle successive FIFO. Inoltre, via VME, zman può sia disabilitare uno o più canali d'ingresso (Ch0 - Ch95) a mezzo di una apposita maschera (M0-M15) comune alle 6 le FPGA di zsupp, sia applicare dei pattern di test per verificare la funzionalità della scheda.

### 3. LA FPGA DI ZUPP

Il top level schematic della FPGA é rappresentato in figura 2.

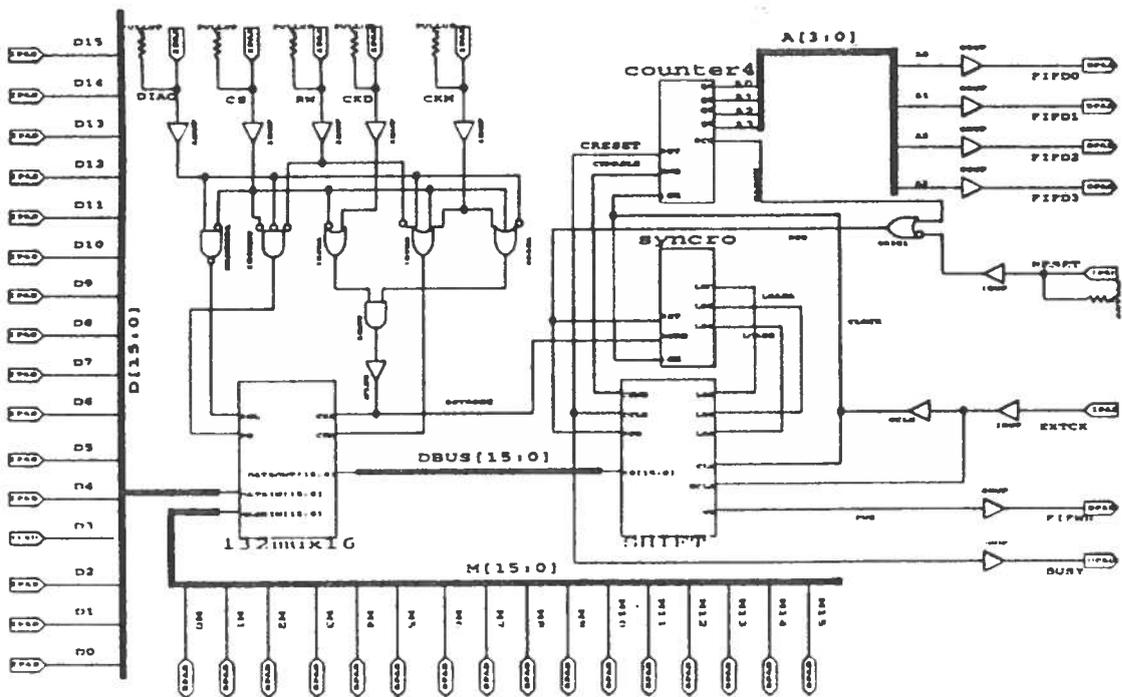


FIG. 2 - La FPGA z-supp.

Il bus d'ingresso D[15:0] (fig.2), pilotato dalle uscite dei line receivers, è mascherabile bit a bit dal bus delle maschere M[15:0] che é bidirezionale e può essere impostato sia in scrittura che in lettura a seconda dello stato dei segnali di controllo RW e SEL. I due clock ai registri a 16 bit interni al blocco t32mux16 (fig.4.a), un multiplexer 2:1 a 32 ingressi e 16 uscite, sono  $Ck_D$  per i dati e  $Ck_M$  per le maschere e sono comuni a tutte e 6 le FPGA mentre il segnale  $Cs$  è individuale e serve per fare operazioni di scrittura e lettura sul bus delle maschere. Lo schema è fatto in modo gerarchico. Nella figura 3 viene presentato lo schema dei due blocchi più rilevanti t32mux16 e shift.

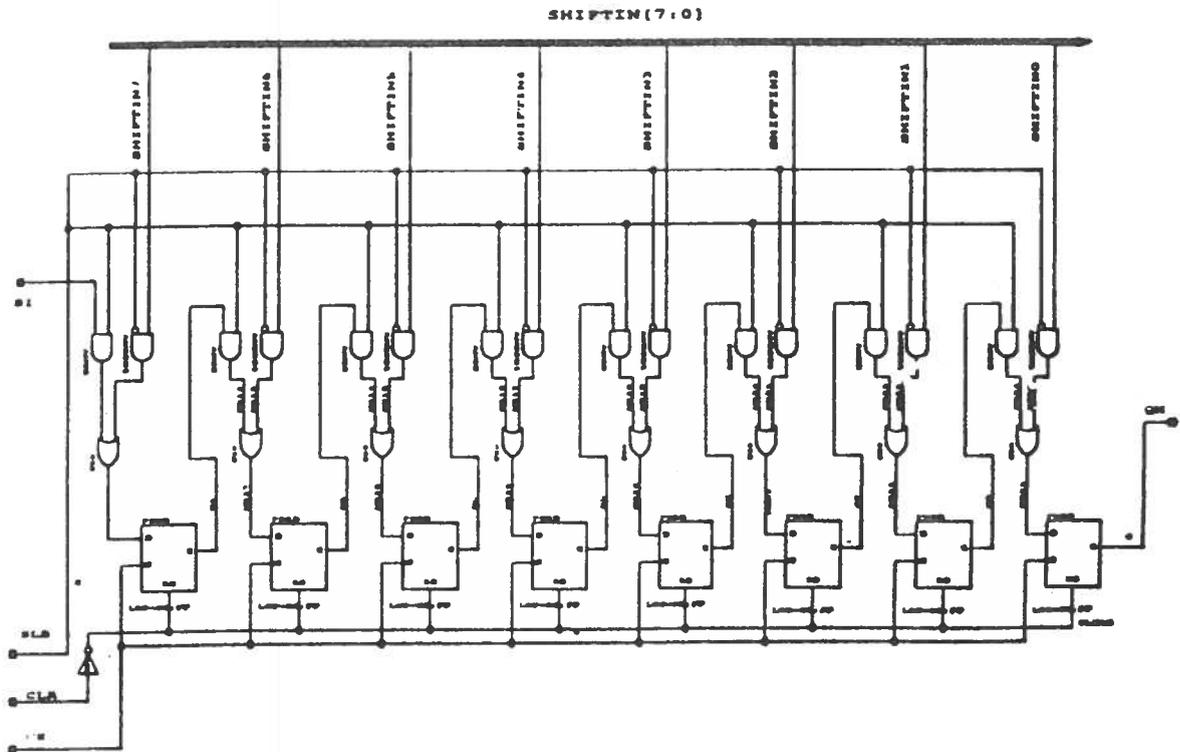
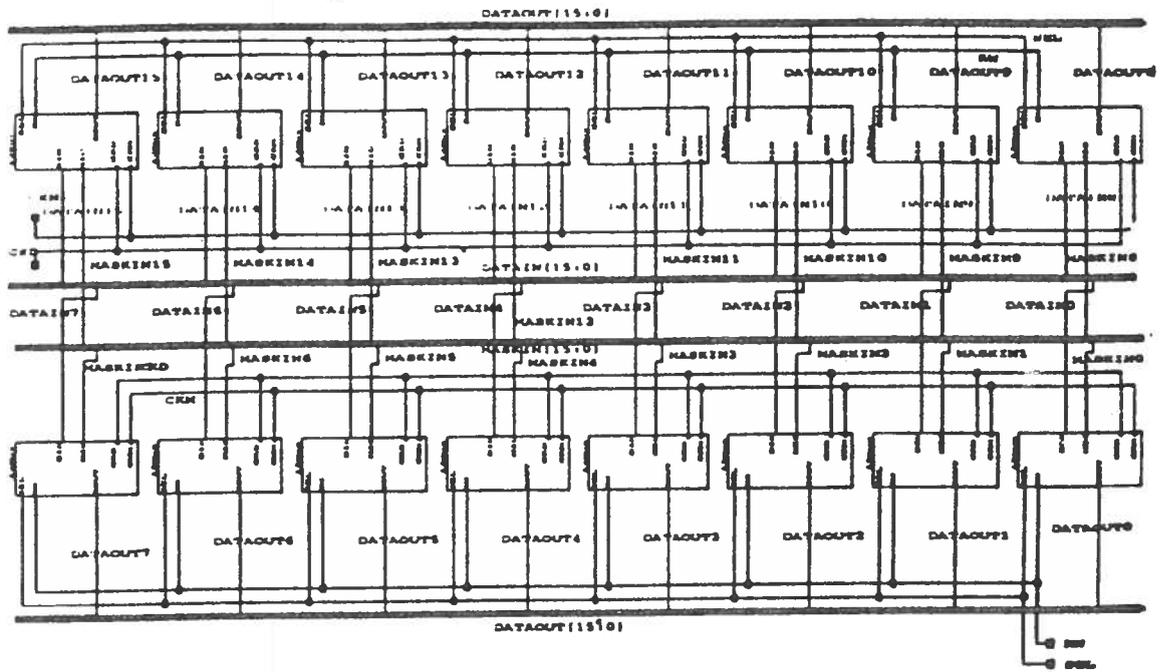


FIG. 3 - Schema di t32mux16 e Shift.

Il bus di uscita da  $t32mux16$  è  $DBUS [15:0]$  che viene caricato in un registro a scorrimento interno al blocco shift (Fig.4.b) dal segnale  $LOAD$  ottenuto all'interno del blocco syncro sincronizzando il segnale di strobe  $Ck_D$  con il master clock a 20MHz generato con un oscillatore a quarzo ed unico per tutta la scheda.

Il segnale  $LOAD$  setta un flip flop la cui uscita  $C_{enB}$  abilita al conteggio un contatore a 4 bit (A0-A3) interno al blocco counter4 (un 74163), mentre il segnale di overflow del contatore (Carry), provvede al reset così che per ogni trigger il contatore conta da 0 fino ad F.

All'interno del blocco shift ciascuno dei 16 impulsi di clock causerà lo scorrimento verso destra del pattern d'ingresso così che il bit più significativo del registro FIFWR sarà 0 o 1 a seconda che in quella posizione nel pattern D0 - D15 vi sia stato un hit non mascherato.

Il segnale FIFWR é il segnale per la scrittura nella successiva FIFO del pattern FIFD0 - FIFD3.

La simulazione successiva raggruppa i segnali più significativi della FPGA *zsupp*.

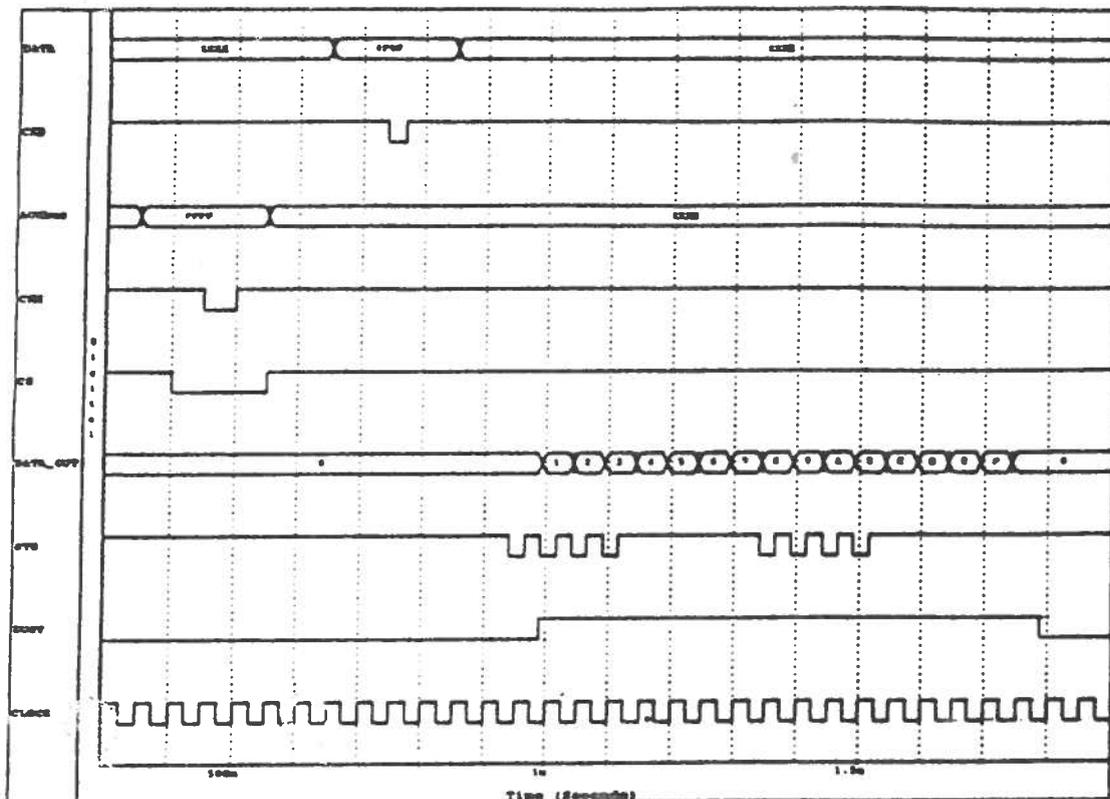


FIG. 4 – Timing simulation.

#### 4. IL BANCO DI FIFO

Vengono usate 6 FIFO della Integrated Device Technology, (IDT 7200L-15) che usano un'architettura dual port (256 locazioni di 9 bit). Il bit d'ingresso D8 è posto a massa mentre l'uscita Q8 non viene utilizzata. Le uscite delle FPGA ( FIFD0 -FIFD3, fig.10) sono connesse ai bit d'ingresso D0 - D3 di ciascuna FIFO, mentre i bit D4 - D6 danno l'indirizzo geografico della FPGA. Delle 4 flag disponibili come uscita dal componente, la sola flag usata è l'empty flag EF che quando low (FIFO vuota) inibisce ulteriori operazioni di read.

L'ingresso di reset (RS) alla FIFO serve a portare i puntatori di read e di write alla prima locazione ed è generato dal controllore zman per ciascuna FIFO.

I segnali di lettura delle FIFO sono invece prodotti dall'arbiter. I dati in uscita dalle FIFO costituiscono il bus ADDR<0:7> e possono esser inviati sia al "track finder" (bus di uscita DATO<1:8>), tramite un registro ad 8 bit 74F374 allorché la scheda lavora in acquisizione dati, sia al VME a mezzo del tranciever 74LS645 (bus di uscita DB<0:7>), fornendo i necessari segnali di abilitazione DIR ed En<sub>Z</sub> allorché la scheda lavora in diagnostica.

#### 5. IL CONTROLLORE ZMAN

Tutte le operazioni sulla scheda Z-supp sono controllate dalla FPGA zman (figura 5) via 4 bus ed un gruppo di segnali di controllo.

Le funzioni implementate da zman sono impostabili via VME attraverso il bus bidirezionale IO<0:5>. Per il controllo delle 6 FPGA di Zsupp, zman ha disponibili 3 bus: RST<0:5> per i pin di reset, CS<5:0> per i pin di chip select e RW <0:5> per i pin di read/write.

Il controllo della modalità di funzionamento della scheda è affidato ai segnali CSR\_1, CSR\_2, CSR\_3.

Il primo segnale è connesso agli ingressi SEL delle 6 FPGA zsupp e, disabilitando il DBUS di queste, consente di fare operazioni sulle maschere (di scrittura o lettura); CSR\_2 è invece connesso all'arbiter e serve a porre la scheda in acquisizione o in diagnostica mentre CSR\_3 blocca la trasmissione del clock Ck<sub>D</sub> alle FPGA di zsupp e consente di usare la scheda in acquisizione singola allo scopo di effettuare dei test. L'ingresso CSR\_4 informa il controllore sull'attività in corso nelle FIFO perchè su quest'ingresso è presente l'OR degli EF (empty FIFO) in uscita dalla GAL di z-stat (una 22V10). Sull'altro ingresso (CSR\_5) è presente l'OR dei pin di busy delle FPGA (zsupp#0 - zsupp#5), sempre generato dalla 22V10 di z-stat così che il controllore zman è sia informato dell'attività in corso nelle FPGA di zsupp, sia sull'attività in corso nelle FIFO (via CSR\_4).

Sul bus VME la scheda lavora in modalità memory mapped. Ogni qualvolta la scheda viene indirizzata, zman gestisce il protocollo di trasmissione ed in particolare, genera i segnali DIR (utilizzato su scheda per stabilire la direzione del flusso dei dati), DTACK ed i tre enable En<sub>Z</sub>, En<sub>M</sub>, En<sub>F</sub>.



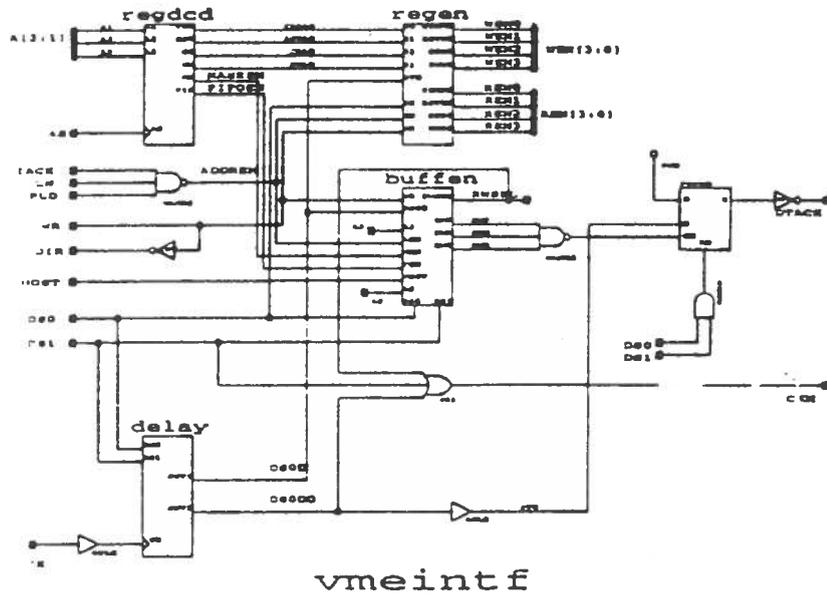
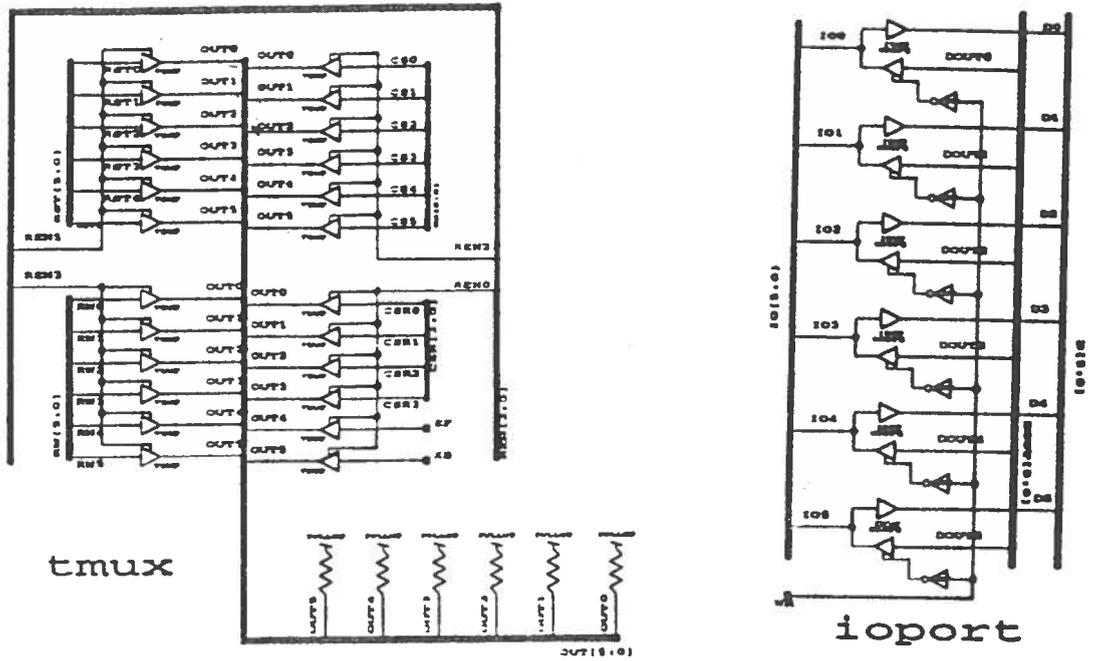


FIG. 6 - Tmux, Ioport, Vmeintf.

E' possibile leggere sul VME lo stato dei bus RW[5:0], RST[5:0], CS[5:0] e quello dei bit CSR\_4 e CSR\_5 controllando i segnali di abilitazione per la lettura REN[5:0] del blocco tmux costituito da 22 Buffer Tree-state (fig.6). Rwwreg che genera i segnali RW [0: 5] per le FPGA di zsupp, é costituito da un registro a 3 bit D0-D2 seguito da un decoder a 3 ingressi e 6 uscite di modo da evitare conflittualità tra le 6 FPGA allorquando si fanno dei test sulla scheda consentendo di fare operazioni di scrittura e lettura in una sola di queste. Rstreg é costituito da un registro a 6 bit le cui uscite sono poste in AND con il segnale RST (ingresso di reset di zman). Il bus RST[0:5] controlla i 6 segnali di reset mentre i segnali CS[5:0] in uscita da csreg costituiscono i chip select alle 6 FPGA.

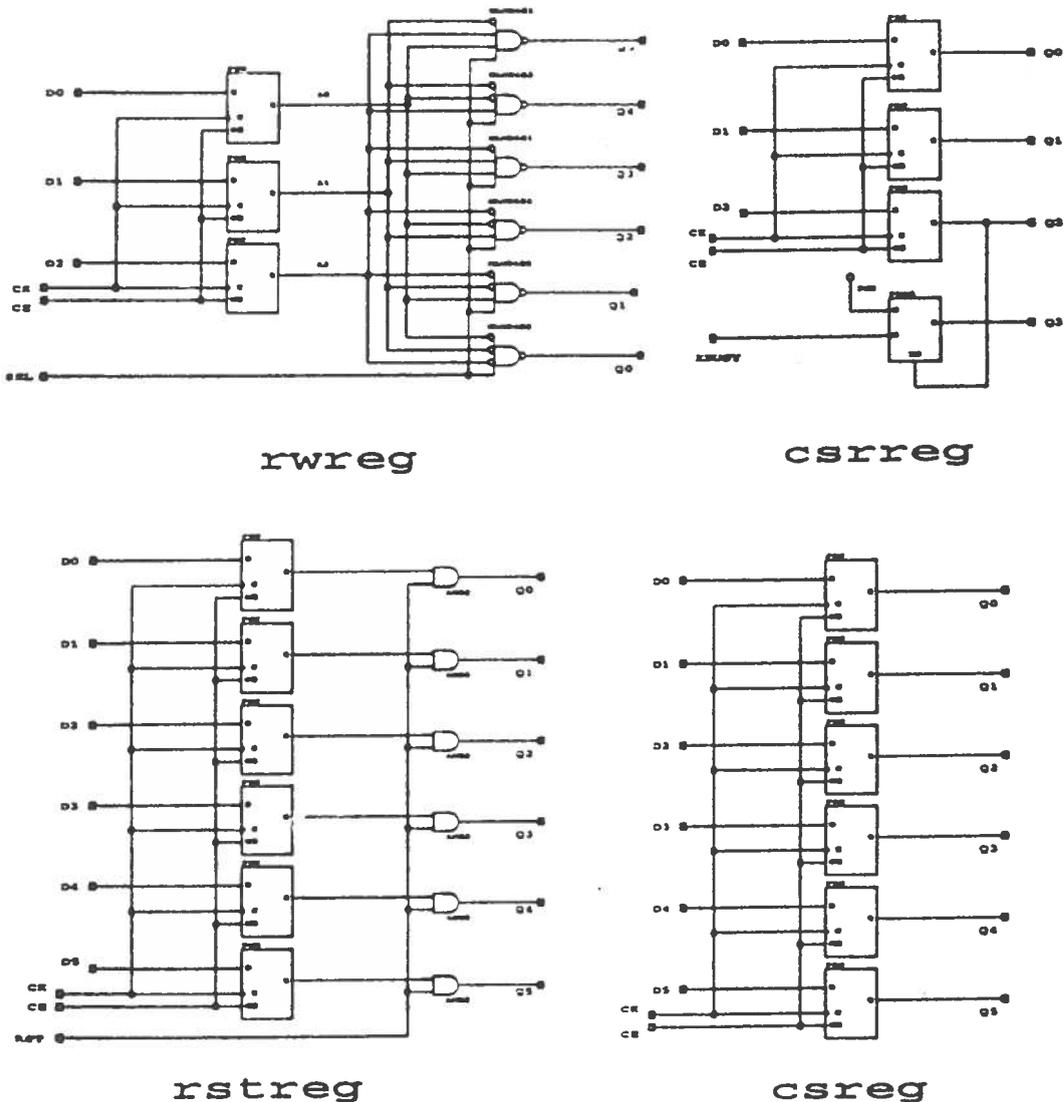


FIG. 7 - Rwwreg, csrreg, rstreg, csreg.

Il blocco csrreg é un registro all'interno del quale sono presenti 4 flip flop. Il terzo flip-flop mette la scheda in modalit  single shot perch  la sua uscita Q2, comandata dall'ingresso D2, sgancia il reset del quarto flip flop (figura 7) cos  che il segnale Ck<sub>D</sub> pu  settare il bit Q3 (CSR\_3). Vmeintf   il cuore di zman.

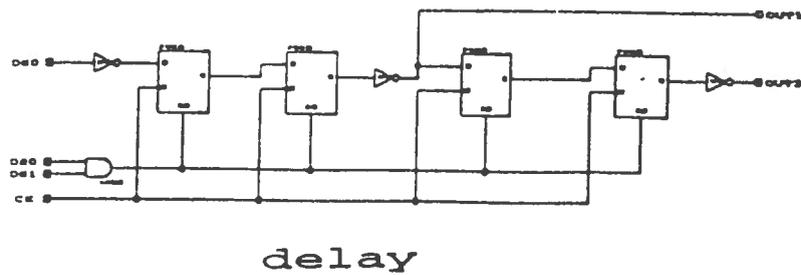
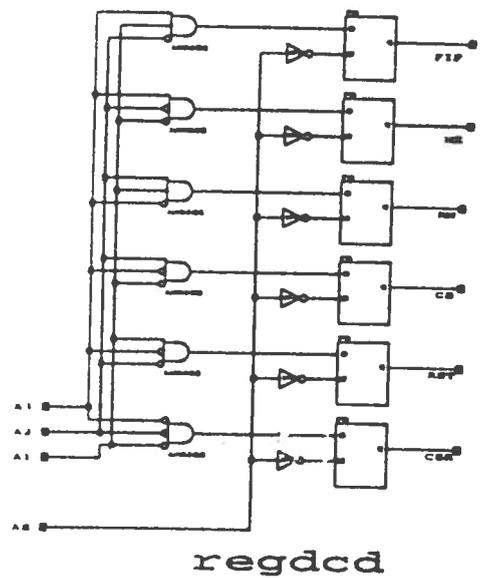
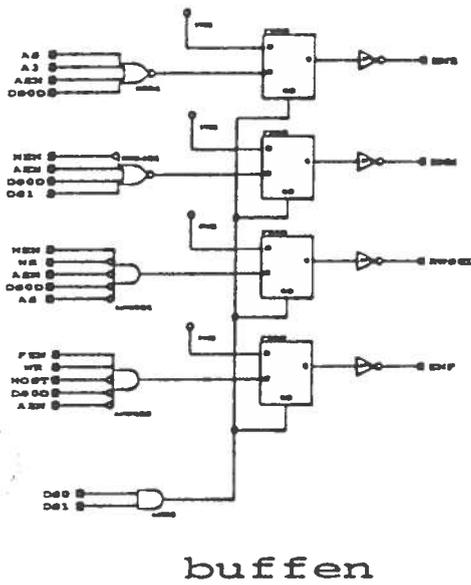
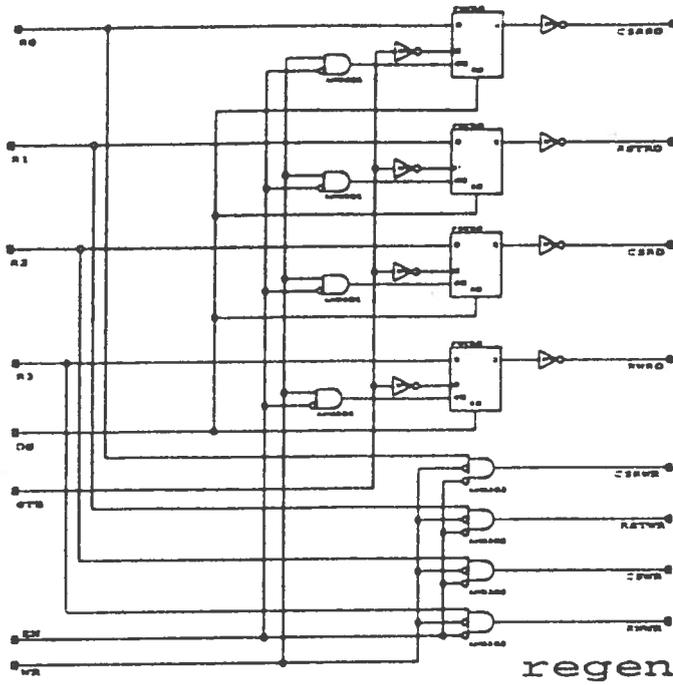


FIG. 8 - Buffen, regen, delay, regdcd.

Al suo interno sono presenti: **regdcd**, **regen**, **buffen** e **delay** (fig.8). **Regdcd** è il registro comandi della scheda ed è realizzato con un decoder che decodifica i tre bit di indirizzo (A1-A3) e presenta 7 uscite decodificate ad un registro a 7 bit il cui clock è il segnale AS (Address strobe del VME). Quindi i tre bit di indirizzo A1 - A3 definiscono l'operazione da effettuare sulla scheda.

**Z-supp** è indirizzata correttamente quando **IACK**, **LW** e **PLD** sono high.

Il segnale **PLD** è generato su scheda dalla decodifica di **A<23:7>** e di **AM<5:0>** in una GAL 16V8 (**z-addr**). Se i suddetti segnali sono high, **ADDREN** è low e quindi **regen** è abilitato a produrre i segnali **WEN [3:0]** di abilitazione alla scrittura e **REN [3:0]** di abilitazione alla lettura a seconda dello stato di **WR**. Il segnale **MASKEN** abilita operazioni sulle maschere mentre il segnale **FIFEN** abilita operazioni sulle FIFO.

Il blocco **delay** realizzato con uno shift register a 4 bit, è un circuito di ritardo che riceve in ingresso i segnali **DS0** e **DS1** provenienti dal VME e con l'ausilio del clock a 20 MHz generato su scheda **EXTCK**, produce due segnali ritardati **DS0D** e **DS0DD** che curano la temporizzazione dei segnali.

**Buffen** è costituito da una logica di decodifica seguito da un registro a 4 bit. **En<sub>Z</sub>** è prodotto allorquando **ADDREN**, **AEN**, **A3**, **AS**, **DS0D** sono tutti low. **En<sub>M</sub>** è prodotto allorquando **MASKEN** e **MEM** sono high ed invece sono low **AEN**, **DS0D**, e **DS1**. Il segnale **RWSEL** richiede **MEM** high e **WR**, **AEN**, **DS0D**, **AS** tutti low. **En<sub>F</sub>** richiede **FEN** e **WR** High, ed **Host**, **DS0D** ed **AEN** low.

Il segnale **DTACK** è prodotto ogni qualvolta viene effettuata una operazione su scheda che generi uno degli enable **En<sub>F</sub>**, **En<sub>M</sub>**, **En<sub>Z</sub>**.

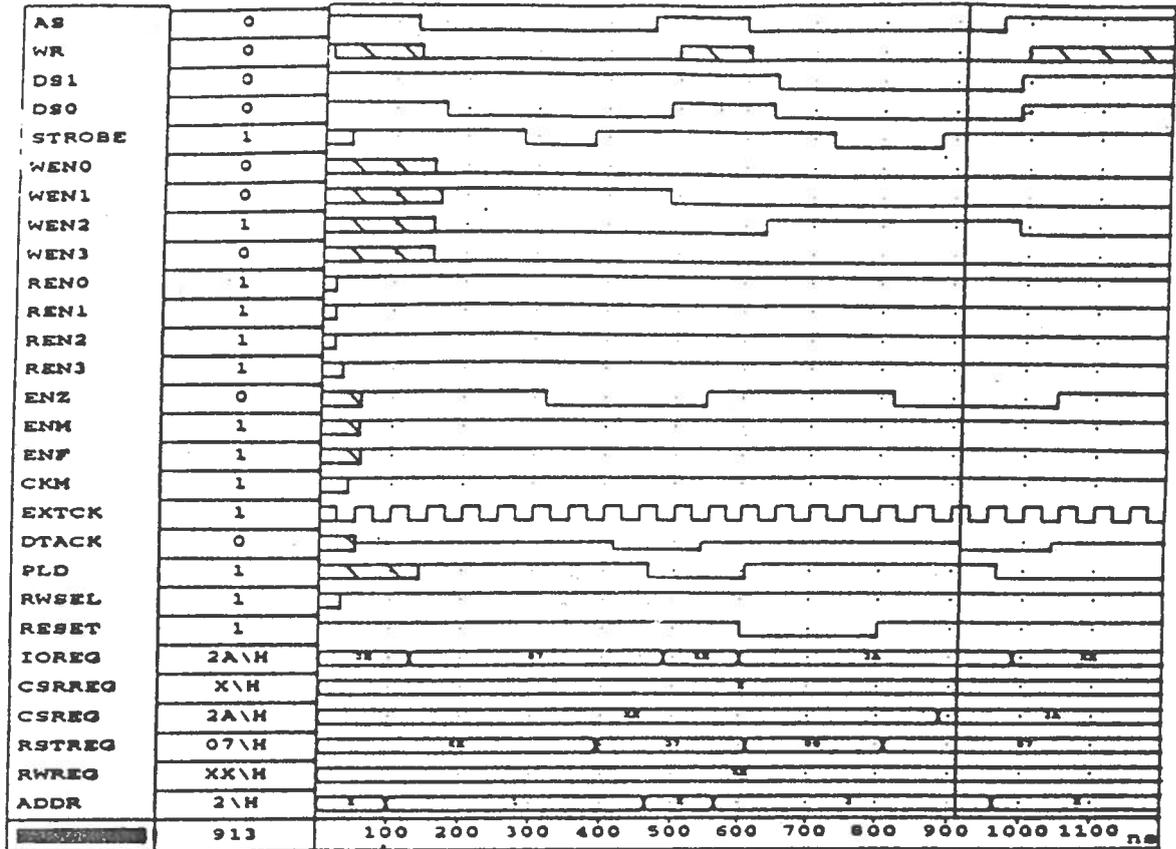
## 6 - LA SIMULAZIONE FUNZIONALE.

Prima di produrre la PROM di configurazione (1736A) di **zman** sono state effettuate molte simulazioni. La simulazione successiva visualizza una scrittura in **rstreg** e poi in **csreg**.

**EXTCK** è il clock esterno a 20MHz. Il VME inizia le operazioni sulla scheda a 130nsec pilotando **AS** low. Le linee **IACK** ed **LW** sono poste high per tutta la durata della simulazione. **PLD**, che rappresenta la decodifica completa dell'indirizzo (**A23 - A4**, **AM5 - AM0**) va high a 140nsec perché essendo presentato l'address a 100 nsec (valore 1H) si valuta il delay dei decoder esterni alla FPGA in 40nsec (due 74F521 e la GAL 16V8 di **z-addr**).

Il segnale **DS0** viene posto low a 170nsec. Poiché il reset ai 4 flip-flop del blocco **delay** è attivo alto, **DS0** abilita lo shift. Sono richiesti 3 impulsi di clock e cioè almeno 100 - 150 nsec. (il jitter è dovuto al fatto che **DS0** ed **EXTCK** sono asincroni tra di loro) affinché il segnale **DSDD** e quindi **STROBE** vada low (figura 8).

Il segnale **WR** inizialmente high viene posto low a 135 nsec. (VME in scrittura su **zman**). **IOREG** che a 130 nsec assume il valore 7H, sarà trasferito nel registro **RST[5:0]** di **zman** in quanto il valore dell'address impostato è 1H.



**FIG. 9 - Scrittura in rstreg e csreg.**

Affinché ciò sia possibile è però necessario che  $En_z$  sia low di modo che il tranceiver 74LS625 posto sul bus VME (via DIR ed  $En_z$ ) venga abilitato a lasciar passare i dati dal bus VME verso zman.

Buffen produce  $En_z$ . Il NOR a 4 ingressi del primo flip flop già a 150 nsec. ha i segnali AS, A3 ed AEn tutti low. Appena il segnale DS0D (ultimo a raggiungere un livello basso) va low, viene prodotto  $En_z$  che resta low fino a che DS0 non torna high.

Il fronte di salita del segnale STROBE produce DTACK e scrive i dati nel registro rstreg.

## 5. L'IMPLEMENTAZIONE SU XC3020

L'architettura interna dei dispositivi Xilinx è simile a quella dei gate array, con la significativa differenza però che i pin di IO ed il routing sono controllati da una RAM statica presente sul chip. Internamente, la XC3020 consiste di un array di 8 X 8 blocchi logici configurabili (CLB) e da 64 blocchi perimetrali di input output (IOB).

Le CLB possono funzionare in diverse modalità di cui quella più comune è da doppio generatore di funzioni a 4 bit con doppio registro di uscita. All'interno del chip sono disponibili due buffer ad elevato fan-out per la distribuzione dei clock, un pin di reset ed un pin di power down. La configurazione delle CLB, le interconnessioni tra le CLB e tra queste e le IOB vengono

stabilite dal programma d'interconnessione che all'accensione viene caricato da una PROM esterna XC1736A direttamente in un gruppo di celle di memoria della LCA. E' stato utilizzato il CAD Powerview 5.1.1 della Viewlogic. Dopo aver effettuato la simulazione funzionale, il pacchetto XMAKE, manager di un gruppo di programmi che senza richiedere alcun intervento all'utente, processa il circuito, lo ottimizza e provvede a stabilire il layout, cioè ad assegnare ed a configurare le CLB e le IOB, produce la LCA. LCA2XNF estrae la netlist della LCA prodotta consentendo di effettuare un timing check delle prestazioni del componente a mezzo del simulatore Viewsim che ora, in risposta ad un file di stimoli descritto dall'utente, può utilizzare i ritardi fisici della LCA generata.

## LO SCHEMA COMPLESSIVO

Lo schema complessivo é presentato in fig.10 e fig.11. In fig.10 sono presenti i line receivers 75173 relativi ai canali Ch0 - Ch31, due FPGA XC3020 (XC#0 e XC#1), e le FIFO 7200 ad essi afferenti. La FPGA marcata XC#0 serve i canali Ch<0:15> ed é quella master per quanto riguarda la configurazione. Al suo ingresso di reset MRST é applicato il segnale XINIT, mentre invece i reset delle FPGA : XC#1-XC#5 sono pilotati dal segnale SRST.

La figura 11 mostra come da bus VME sia possibile leggere e scrivere le maschere sulle FPGA abilitando i due tranceiver contrassegnati con  $En_{ML}$  ed  $En_{MM}$  (due 74LS245) a mezzo dei segnali DIR ed  $En_M$ .

Parte della decodifica dell'indirizzo é effettuata in due comparatori 74F521. Questi da un lato ricevono gli indirizzi A<23:8> e dall'altro ricevono le uscite di 16 jumper di modo che sia possibile cambiare l'indirizzamento della scheda. La GAL di z-addr una 16V8 provvede non solo a decodificare ulteriormente l'indirizzo (trattando gli address A4 - A7), ma fa rispondere la scheda se gli address modifiers AM<5:0> sono pari ad 3EH e 3DH se priv è high ed agli address 3EH, 3DH, 3AH, 39H se priv è low.

Gli ingressi IO<5:0> della FPGA zman sono connessi ad un tranceiver 74LS645 collegato con il bus VME a cui sono anche connessi i segnali AS, IACK, LW, DS0, DS1 ed A1-A3. Zman produce sia il clock per le maschere  $Ck_M$  che il segnale DIR che indica la direzione dei dati (da o verso il VME). La trasmissione dei dati verso il "track-finder" avviene 8 bit alla volta sul bus ausiliario DATO <1:8> che é pilotato da un registro 74F374 al cui ingresso é applicato il bus di uscita dell' FIFO ADDR<0:7>.

L'attività di controllore sul bus ADDR<0:7> é svolta da zarb una GAL 20RA10 della Lattice la cui macrocella consente sia uscite combinatorie sia uscite "registered" ed inoltre consente di avere un preset ed un reset asincrono per ciascuna macrocella. Zarb riceve in ingresso gli Empty Fifo (EF#0 - EF#5) delle FIFO e svolge la funzione di priority encoder (il most significant bit é EF#0 mentre il least é EF#5) assegnando il controllo del bus corrispondentemente. Lo stato degli ingressi viene testato ad ogni ciclo di clock e alla FIFO che ha priorità più elevata e che ha dati da trasmettere viene assegnato il controllo del bus a mezzo dei segnali di enable FRD<5:0>.

Il clock ai registri interni dell'arbitrer é EXTCK o ENF a seconda dello stato di SEL a cui é applicato CSR\_1. Se la scheda deve acquisire dei dati SEL=1. Se la scheda deve fare dei test SEL=0; il clock ai registri é  $En_F$  generato da zman. Il reset é il segnale delay .

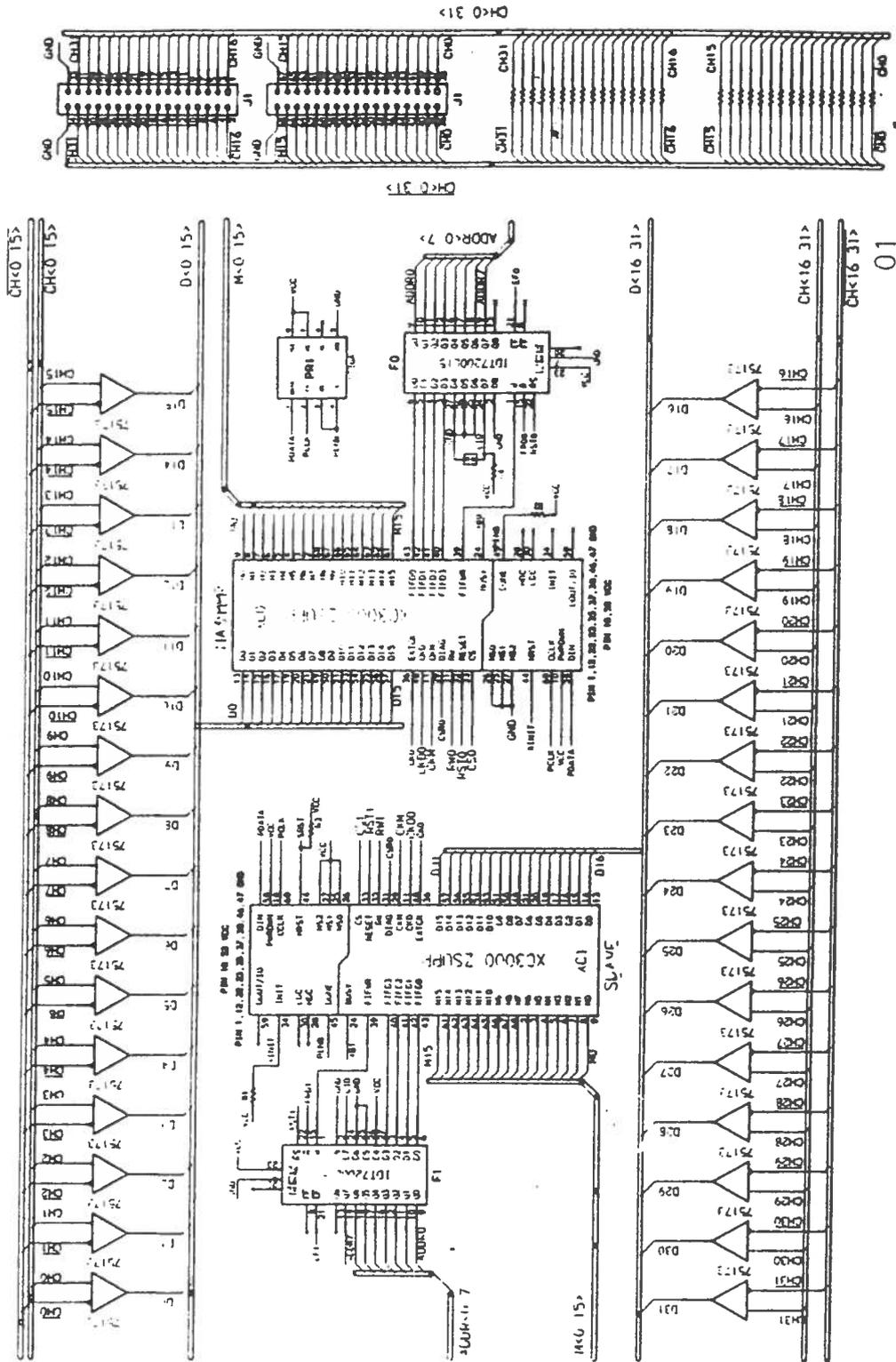
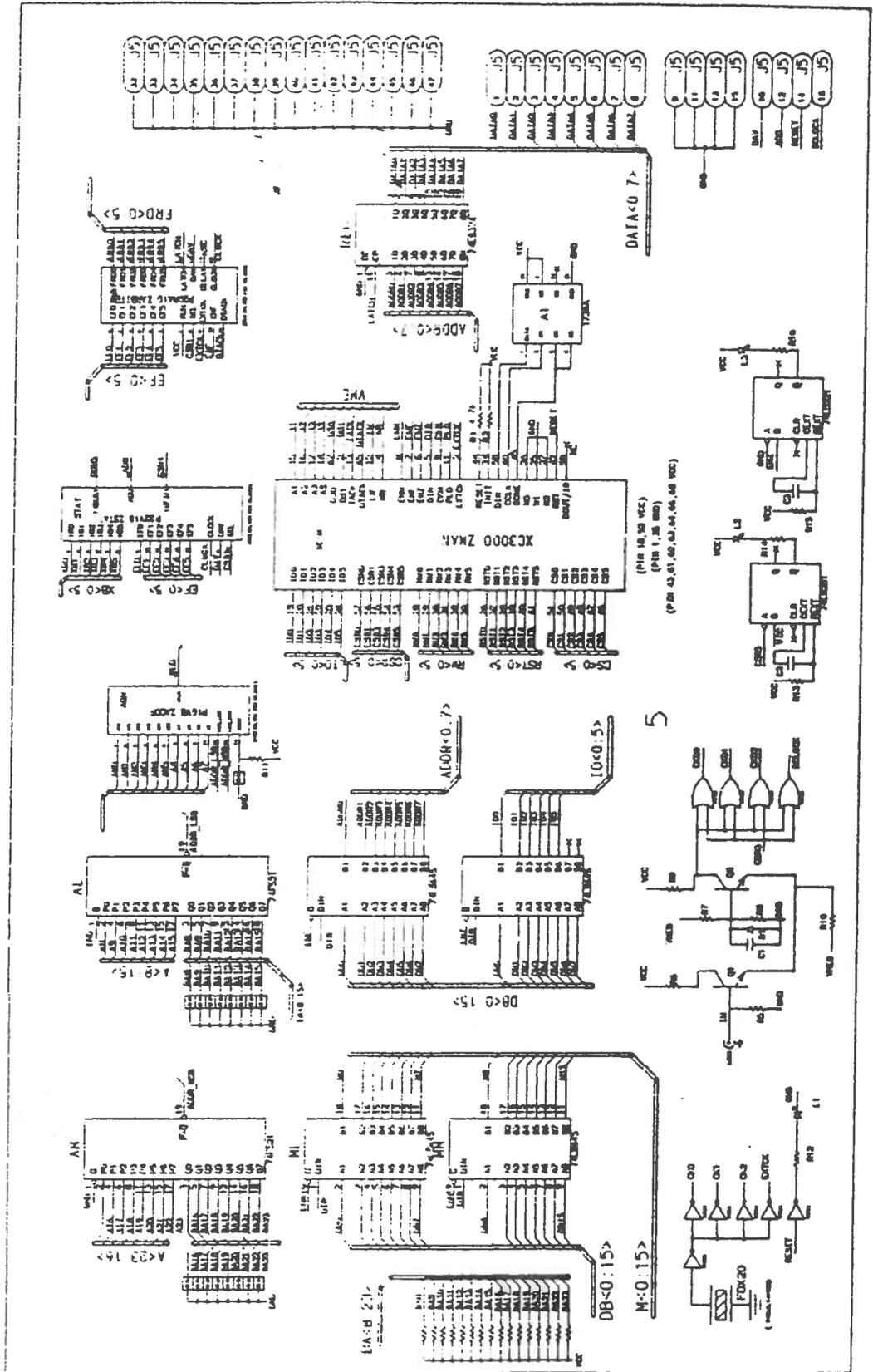


FIG.10 - Ch0 - Ch15.



## 6. IL LAYOUT DEL CIRCUITO STAMPATO

Il circuito stampato è stato realizzato su 4 strati, di cui uno (interno) è un ground plane. Sul pannello frontale, oltre ai tre connettori ciascuno dei quali serve 32 canali differenziali, è presente anche il connettore LEMO dello strobe. Il banco dei line receivers è affiancato ai connettori. I due segnali differenziali afferenti a ciascun canale d'ingresso viaggiano sovrapposti ed adattati sulla impedenza caratteristica dei cavi d'ingresso  $120\Omega$  e vengono terminati sugli ingressi dei receivers.

I clock alle 6 FPGA di zsupp sono stati trattati con particolare cura evitando cross-talk ed il percorso del segnale di strobe è stato equalizzato entro 100psec. Superiormente alle FPGA si trova il banco di memoria FIFO mentre, nell' area adiacente i connettori DIN si è alloggiata la logica di gestione del protocollo VME, il controllore zman e la GAL di zarb.

Si è evitato un layer di alimentazione usando tre bus bar che attraversano la piastra parallelamente per tutta la larghezza : una al di sopra dei receivers, una al di sopra delle FPGA, una al di sopra delle memorie FIFO.

## REFERENZE

- [1] A. Aloisio et al. "The RPC trigger system for the L3 Forward Backward Muon Detector" L3 internal note January 1993.
- [2] Lattice, GAL Data Book, 1991.
- [3] AMD, PAL Device Data Book and Design Guide, 1993.
- [4] Texas, The Interface Circuits Data Book, 1991.
- [5] Xilinx, The programmable Gate Array Data Book, 1992.
- [6] IDT High Performance CMOS, 1992.