

ISTITUTO NAZIONALE DI FISICA NUCLEARE

SEZIONE di NAPOLI

INFN/TC-92/28
11 Dicembre 1992

A. Aloisio, D. della Volpe, P. Parascandalo:

GENERATORE DI SINCRONISMI PER TELECAMERA IN FPGA

GENERATORE DI SINCRONISMI PER TELECAMERA IN FPGA

A.Aloisio¹⁻², D. della Volpe², P. Parascandolo²

¹ Dip. di Scienze Fisiche, Università di Napoli

² Istituto Nazionale di Fisica Nucleare, Sez. di Napoli

ABSTRACT

We describe the implementation into an LCA of all the logic necessary to drive horizontal and vertical synchronism of a camera based on CCD sensor.

1. - INTRODUZIONE

I continui progressi che si sono registrati nella tecnologia dei semiconduttori hanno reso possibile l'utilizzo di dispositivi ASIC di grande densità (2-20 K gates) che possono essere configurati direttamente dall'utilizzatore finale.

Questa nota descrive l'implementazione in una Xilinx XC3000 Logic Cell Array (LCA) [1] di un circuito che genera i sincronismi orizzontali e verticali per una telecamera basata su di un sensore CCD.

I dispositivi ASIC della Xilinx possono implementare blocchi significativi di logica ed hanno il grande vantaggio della riprogrammabilità.

La XC3000 realizza tutte le funzioni digitali necessarie a generare i sincronismi e sostituisce un precedente circuito che impiegava 13 componenti della serie 74LS [2] per la stessa funzione.

2.- IL CIRCUITO DI SINCRONISMO

Per il controllo del fascio di Lisa [3] viene impiegato un gruppo di telecamere che deve acquisire l'immagine del fascio solo in presenza di un segnale di trigger da parte dell'acceleratore.

E' necessario pertanto un circuito che per ogni trigger generi gli opportuni sincronismi per la telecamera di modo che questa possa acquisire l'immagine da trasmettere al successivo circuito di elaborazione digitale.

Per l'applicazione descritta in questa nota la telecamera assieme alla scheda di elaborazione successiva lavora come una macchina fotografica.

I circuiti di generazione del raster sia delle telecamere che dei monitor utilizzano impulsi di sincronizzazione che indicano alla sezione orizzontale quando l'esplorazione dell'immagine "scansione" deve ritornare alla sinistra dello schermo per far partire una nuova linea, sia alla sezione verticale quando far partire un nuovo quadro.

L'immagine detta anche quadro è esplorata in due tempi : nel primo quadro viene effettuata la scansione delle linee dispari nel secondo la scansione delle linee pari.

Nello standard televisivo europeo per evitare problemi di sfarfallio vengono trasmessi 25 quadri al secondo (50 semiquadri).

Poichè ogni quadro contiene 625 linee, la frequenza con cui avviene la scansione orizzontale è pari a 25×625 Hz e cioè 15625Hz

Il periodo del segnale di sincronismo di riga HSYNC è di $64 \mu\text{sec}$; il periodo del segnale di sincronismo di quadro VSYNC è di 20msec.

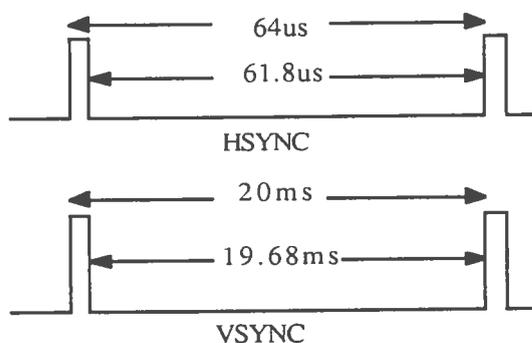


FIG. 1 - Segnali di sincronismo

2.- LA REALIZZAZIONE CON COMPONENTI DELLA FAMIGLIA 74LS

La frequenza dei segnali di sincronismo da inviare alla telecamera deve essere precisa stabile entro l'1% per non generare frequenze di battimento con il circuito di PLL interno alla telecamera.

Per questo motivo la temporizzazione di tutto il circuito viene fatta a partire da un clock quarzato a 20MHz della Fox avente precisione di 100ppm.

In presenza di una transizione low to high del trigger , vengono abilitati tre contatori 74LS393 (C1,C2,C4) e un contatore 74LS390 (C3) che, a partire dalla frequenza del quarzo, producono due onde quadre una con periodo di 64 μ sec (64us) e l'altra con periodo di 3.2 μ sec (3.2us) che costituiscono gli ingressi di clock di due 74LS74 (FF1 ed FF2). L'uscita Q di FF1 è connessa all'ingresso D di FF2 mentre l'uscita NOT-Q di FF2 è connessa sul clear di FF1. Questa interconnessione produce un segnale HSYNC in uscita da FF2 low per 3.2 μ sec ed high per i restanti 60.8 μ sec ed avrà la richiesta frequenza di 16525 Hz.

Per produrre il segnale VSYNC si utilizza il segnale HSYNC la cui frequenza è divisa sia per 312, a mezzo di due 74LS393 (C5,C6), un 74LS390 (C7) ed un AND 74LS21 sia per 5 a mezzo di un 74LS390 (C8)

Si ottengono così il segnale 20ms che ha periodo di 20msec, ed il segnale 320us avente periodo pari a 320 μ sec.

Questi due segnali costituiscono gli ingressi di clock a due 74LS74 (FF3 ed FF4) connessi come FF1 ed FF2. Pertanto in uscita da FF3 si ottiene il segnale VSYNC che è alto per 320 μ sec ed basso per 19.68 msec.

Infine, poichè per ogni segnale di trigger bisogna generare due quadri il segnale VSYNC viene diviso per due e poi impiegato per resettare il flip flop del trigger che azzerata tutti i contatori.

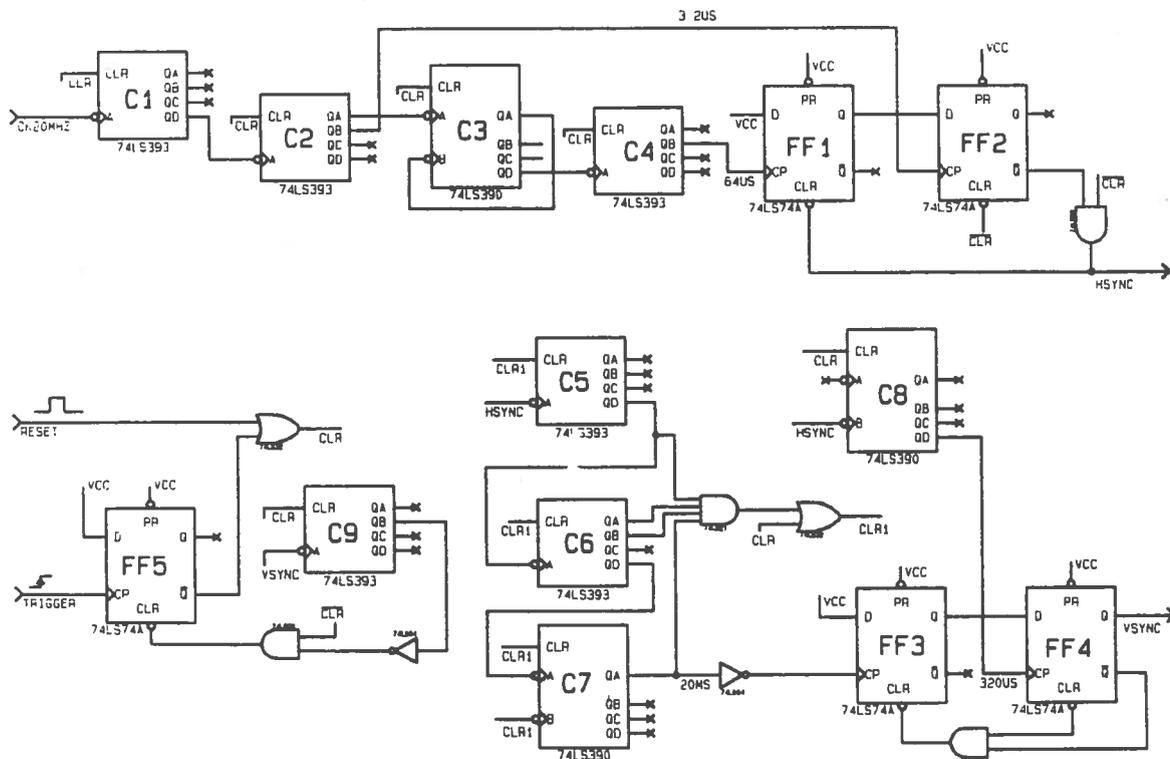


FIG. 2 - Realizzazione a componenti discreti

3. - L'IMPLEMENTAZIONE SU XC3000

L'architettura hardware interna della LCA è costituita da due diversi tipi di blocchi denominati CLB ed IOB.

I blocchi logici configurabili (CLB) rappresentano il cuore della LCA ed effettuano funzioni logiche elementari definibili dall'utente.

I blocchi di input/output perimetrali configurabili (IOB) costituiscono l'interfaccia tra i blocchi di logica configurabile CLB ed i pin esterni della LCA.

La configurazione della CLB, le interconnessioni tra le CLB e tra queste e le IOB vengono stabilite dal contenuto di una PROM esterna XC1736A che all'accensione viene caricata direttamente nella memoria della LCA.

Per disegnare lo schema è stato utilizzato il CAD Viewdraw [4] della Viewlogic che permette di utilizzare anche le librerie della famiglia 74LS incluse nel pacchetto della Xilinx.

Completato il disegno dello schema è stata effettuata una simulazione funzionale (fig.3), esportando la "netlist" al programma di simulazione Viewsim [5].

La simulazione funzionale, utilizzando un file di stimoli definito dall'utente, consente di verificare lo schema solo dal punto di vista logico mentre il timing check è rimandato ad fase successiva del processo.

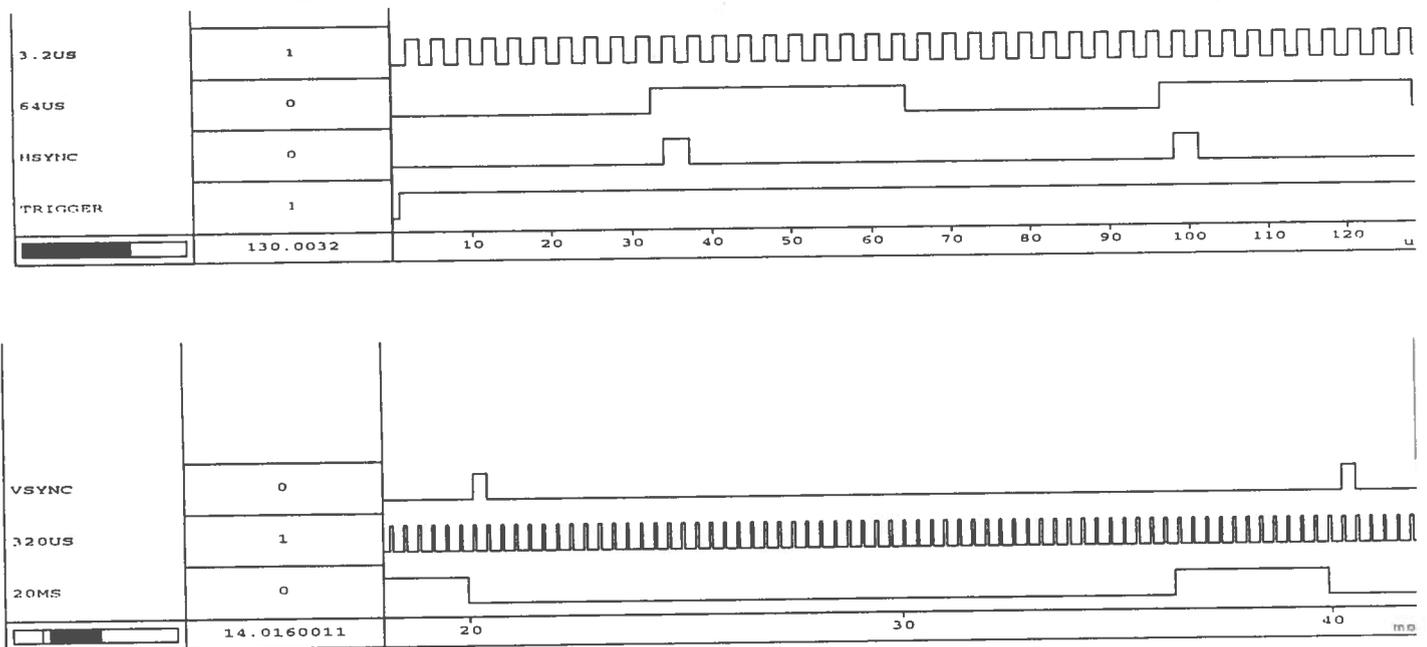


FIG. 3 - Simulazione funzionale

Il diagramma di flusso dei processi che portano alla realizzazione della PROM di configurazione è schematizzato in figura 4;

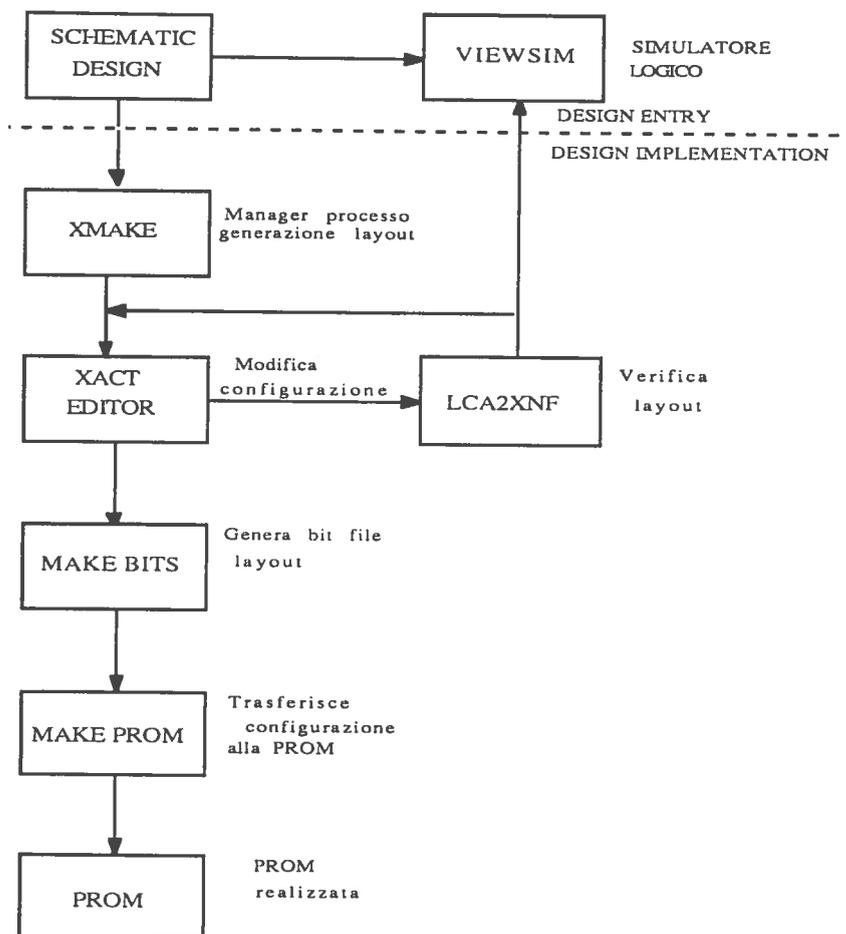


FIG.4 - Flowchart

XMAKE [6] è il manager di un gruppo di programmi che senza richiedere alcun intervento da parte dell'utente, processano il circuito, lo ottimizzano e provvedono a stabilire il layout, cioè ad assegnare ed a configurare le CLB e le IOB necessarie alla sintesi delle funzioni logiche desiderate.

Il successivo pacchetto LCA2XNF estrae la netlist del layout della LCA prodotta allo scopo di effettuare un timing check della configurazione del componente. Ciò avviene tramite il simulatore Viewsim che in questa fase utilizza i ritardi fisici introdotti dal layout.

Il successivo programma XACT EDITOR [7] consente di cambiare, a seconda delle esigenze dell'utente, la posizione delle CLB ed IOB utilizzate.

Ogni volta che si altera il layout si modificano i ritardi e si rende necessario un nuovo timing check.

Per la ns. applicazione non era richiesto un timing stringente per cui non si é ritenuto opportuno modificare il layout delle CLB generato in automatico dal pacchetto , mentre le IOB sono state modificate per esigenze di circuito stampato (fig. 5).

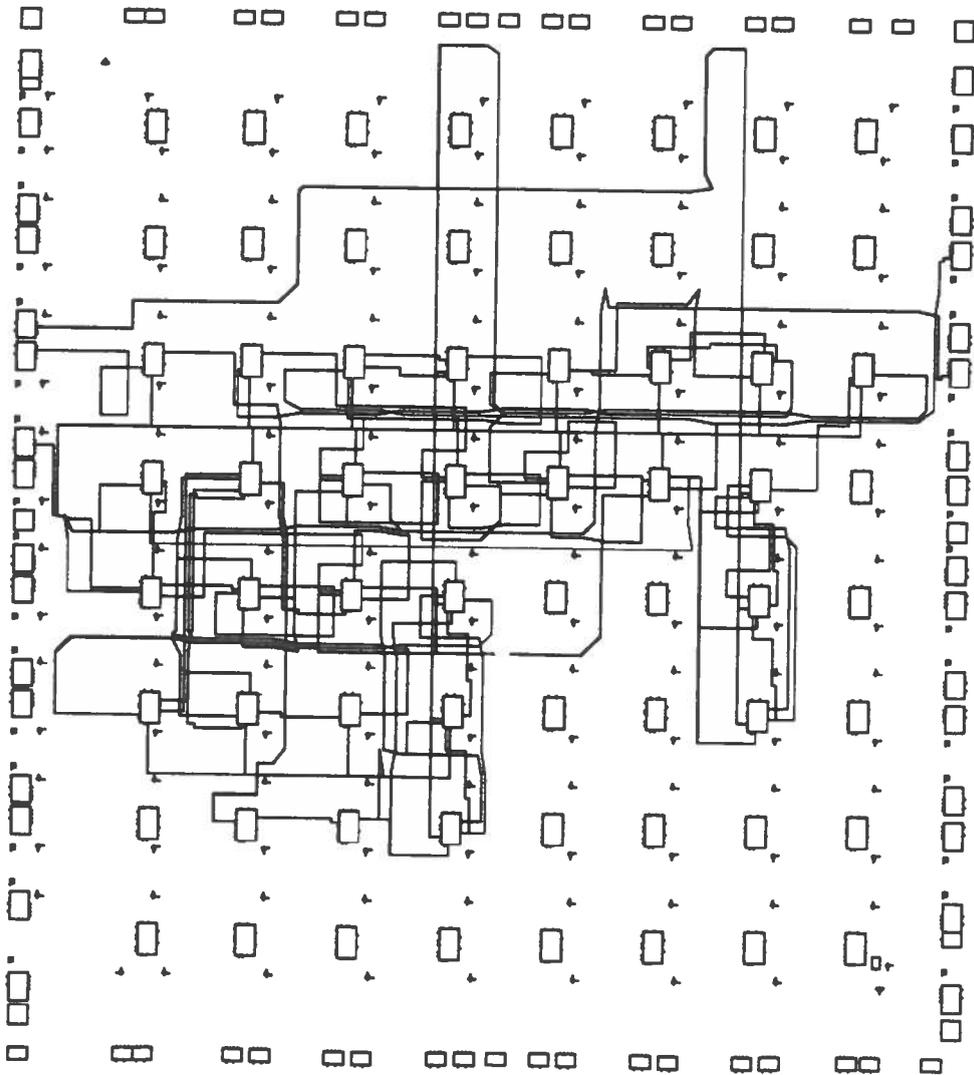


FIG. 5 - Architettura interna LCA

Definito il layout della LCA, il programma MAKE BITS genera il file binario di configurazione che viene scritto nella PROM tramite l'apposito PROM programmer. All'accensione del sistema, la LCA preleva dalla PROM la configurazione. Tale operazione può essere forzata in tempi successivi premendo il pulsante DONE: questa caratteristica delle Xilinx permette la riconfigurazione dei dispositivi "in-circuit".

La figura seguente mostra lo schema del generatore di sincronismo che utilizza la LCA

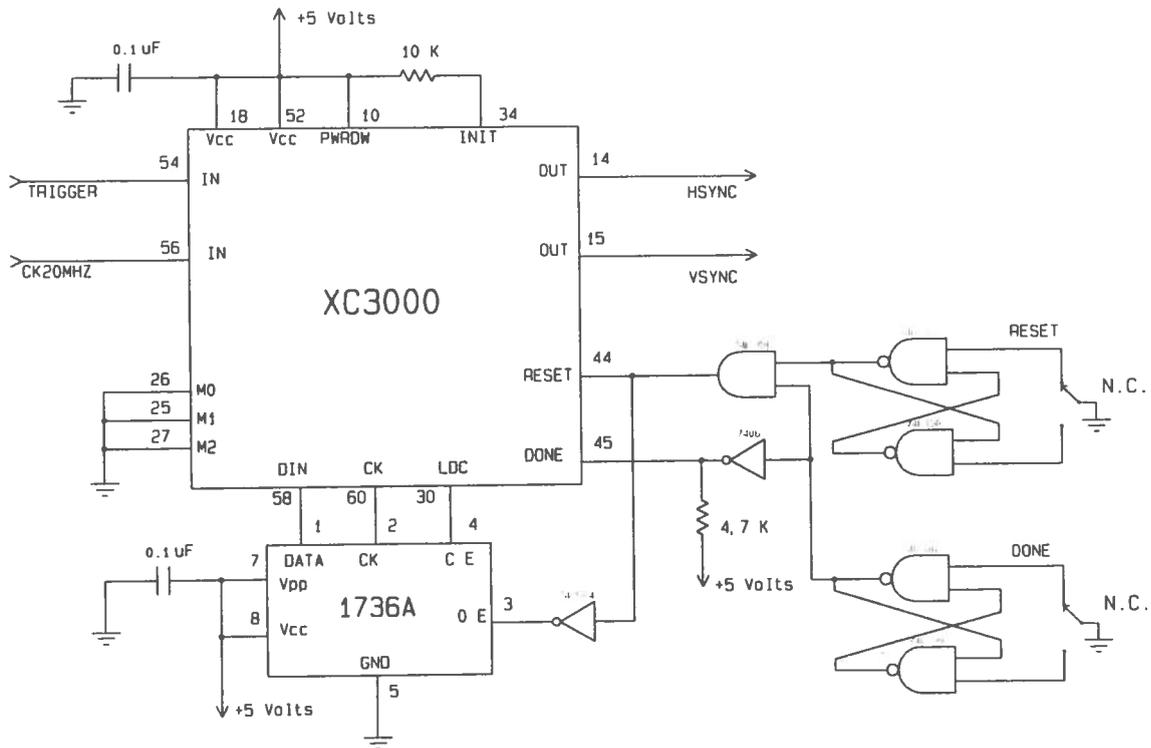


FIG.6 - Circuito con la LCA

BIBLIOGRAFIA

- [1] The Programmable Gate Array Data Book 1991 Xilinx P/N 00100048
- [2] The TTL Data Book Texas Instruments 1991
- [3] A. Aragona, C. Biscari, R. Boni, M. Castellano, N. Cavallo, F. Cevenini, V. Chimenti, G.P. Pirro, A. Gallo, A. Ghigo, F. Giacco, S. Kulinski, P. Patteri, B. Spataro, F. Tazzioli, M. Vescovi:
'The injector of the Superconducting Linac LISA'
Proceeding of 1990 International Conference on Linear Accelerators,
Albuquerque, N.M, USA.
LA-120004-C Conference UC-910 and UC-414,632(1991)
- [4] User's guide & Tutorial Xilinx P/N 040027
- [5] Viewdraw Reference Guide Version C Viewlogic System, Inc. 1991
- [6] Viewsim / SD User's Guide Version A Viewlogic System, Inc. 1991
- [7] XACT 4000 Design Implementation Reference Guide Version 4.1 Xilinx 1991