

# ISTITUTO NAZIONALE DI FISICA NUCLEARE

Laboratori Nazionali di Legnaro

---

INEN/TC-90/02  
20 Gennaio 1990

G. Bassato, R. Ponchia, R. Bassini, C. Boiano:

**UN CONVERTITORE ANALOGICO DIGITALE A QUATTRO CANALI IN  
STANDARD VME**

UN CONVERTITORE ANALOGICO DIGITALE A QUATTRO CANALI  
IN STANDARD VME

G. Bassato, R. Ponchia    I.N.F.N. - Laboratori Nazionali di Legnaro  
R. Bassini, C. Boiano    I.N.F.N. - Sezione di Milano

ABSTRACT

A four channel ADC, for data acquisition in nuclear physics experiments, has been developed on a VME board. The circuit architecture is a multi-stretcher configuration, built around a fast, specifically designed, conversion module. The board can accept semi-gaussian shaped pulses with a dynamic range of 4.096 or 8.192 Volts and a rise time varying from 1  $\mu$ s to 32  $\mu$ s. Many functions are software selectable; the most significant are: the linear gate trigger mode, the rise time protection and the settings of the low and high thresholds, independently for each channel.

The conversion module is based on two steps subrange concept: an overall resolution of 12 bits, with a conversion time lower than 1  $\mu$ s, is obtained by means of two 8 bit flash ADCs ; moreover a sliding-scale compensation technique has been implemented in order to improve the differential linearity. The differential linearity error is less than 1%, while the integral linearity error is less than 1/2 LSB.

1. INTRODUZIONE

L' accresciuta complessità degli esperimenti in fisica del nucleo e, in particolare

---

l' utilizzo di array di rivelatori, ha evidenziato l' esigenza di disporre di sistemi di conversione analogico digitale con un elevato numero di canali, buone caratteristiche di linearità e costo ragionevolmente contenuto.

I convertitori costruiti in standard NIM, che sono stati per lunga tradizione gli strumenti principalmente usati nell' acquisizione dati in fisica del nucleo, non costituiscono più una soluzione accettabile quando il numero di parametri da acquisire è maggiore di qualche decina, sia per la non immediata interfacciabilità al computer, sia per il costo decisamente elevato.

D' altra parte neppure i convertitori costruiti in standard CAMAC, da qualche tempo disponibili sul mercato, non costituiscono più la soluzione ideale poiché lo standard CAMAC, ormai obsoleto, mal si presta all' implementazione di architetture con capacità di elaborazione distribuita.

La scheda di conversione A/D in standard VME descritta in questa nota vuol essere un compromesso tra le caratteristiche di linearità e risoluzione, che sono tipiche dei convertitori NIM e le esigenze di modularità, di interfacciabilità e di programmabilità che sono irrinunciabili in un sistema di acquisizione per esperimenti complessi.

## 2. DESCRIZIONE GENERALE

La scheda, a quattro canali, è basata su un unico modulo di conversione A/D ad alta velocità (tempo di conversione < 1 microsec) e 12 bits di risoluzione (schema a blocchi in fig. 1).

Ad ogni canale d' ingresso è associato un linear gate - stretcher che memorizza il valore di picco del segnale analogico in ingresso fino a conversione avvenuta; in questo modo la scheda può accettare fino a quattro segnali impulsivi contemporanei che verranno convertiti poi in tempi successivi. La sequenza di conversione è controllata da una logica microprogrammata la quale esamina, per ogni canale, lo stato di occupazione (busy) dello stretcher, comanda la conversione e trasferisce il dato al buffer d' uscita del canale.

L' apertura del linear gate, e la successiva operazione di stretching, può essere attivata in tre modi, definibili da software e mutuamente esclusivi:

- in modo "auto-triggered" : il linear gate è aperto quando il segnale in ingresso supera un livello di pre-soglia (di alcuni millivolt)
- in modo sampling : il linear gate è aperto da un comando esterno (impulso TTL).
- in modo sampling soft-triggered : questo modo operativo è simile al precedente con la differenza che il linear gate è aperto da un comando generato via software (che può

essere inviato contemporaneamente a tutti i canali).

La durata dell' apertura del linear gate, che chiameremo "rise-time protection" secondo la terminologia consolidata per i convertitori N.I.M, é programmabile , indipendentemente per ciascun canale , e varia da un minimo di 2  $\mu s$  fino a 32  $\mu s$ , a step di 2  $\mu s$ .

Il linear gate - stretcher accetta sia segnali impulsivi in onda quadra (durata minima 1  $\mu s$ ), che segnali di forma gaussiana o semigaussiana con con shaping variabile da 1  $\mu s$  fino a una decina di  $\mu s$ .

Ad ogni canale sono fisicamente associati, sul pannello frontale, due connettori coassiali miniaturizzati (uno per l' ingresso del segnale analogico, l'altro per l' impulso di sampling). Se é selezionata la modalitá di funzionamento sampling é possibile, attraverso un dip-switch accessibile da pannello, far si' che uno qualunque dei quattro ingressi di sampling attivi solamente il canale ad esso associato, o una coppia di canali o tutti i quattro canali contemporaneamente.

Ad ogni canale sono pure associate due soglie programmabili, con risoluzione di 8 bits, che possono variare da zero fino al valore massimo accettato in ingresso dall' ADC : la conversione di un segnale é abilitata solo se esso é maggiore della soglia bassa e minore della soglia alta; in caso contrario lo stretcher é azzerato immediatamente dopo la fine del rise-time protection.

Ogni canale é, a tutti gli effetti, indipendente dagli altri, poiché possiede, oltre allo stretcher, un proprio buffer d' uscita verso il VME; va tuttavia notato che, al fine di evitare stati di wait che si ripercuoterebbero sugli altri canali o possibili overrun con conseguente perdita di dati, lo stato di occupazione del buffer di uscita inibisce l' apertura del linear gate del canale corrispondente.

La filosofia di progetto di questa scheda é stata di rendere programmabili il maggior numero possibile di funzioni; le modalitá di funzionamento che sono definibili da software sono le seguenti:

- abilitazione o esclusione di un dato canale
- modalitá di apertura del linear gate che, come si é detto, puó avvenire o per auto-trigger o per trigger esterno o per comando generato da software
- modalitá di reset del buffer di uscita di un dato canale che puó avvenire o automaticamente dopo la lettura del dato o attraverso un' operazione di scrittura in un registro associato a quel canale
- selezione, indipendentemente per ogni canale, della durata del rise-time protection
- impostazione delle soglie (indipendentemente per ogni canale )
- selezione del modo self-test : attraverso uno switch analogico il segnale generato dal DAC normalmente usato per impostare la soglia alta di un dato canale é ricondotto all' ingresso del linear gate e convertito con trigger software

La scheda é costruita in modo modulare, nel senso che consta di una scheda VME base, realizzata in tecnologia multilayer, che contiene le sezioni analogiche d' ingresso

dei quattro canali ( esclusi gli stretcher), la logica di controllo, e l' interfaccia verso il bus VME, sulla quale sono poi inseriti, con montaggio a piggy-back, gli stretcher e la scheda di conversione A/D. L' insieme é comunque contenuto in un modulo VME di larghezza unitaria.

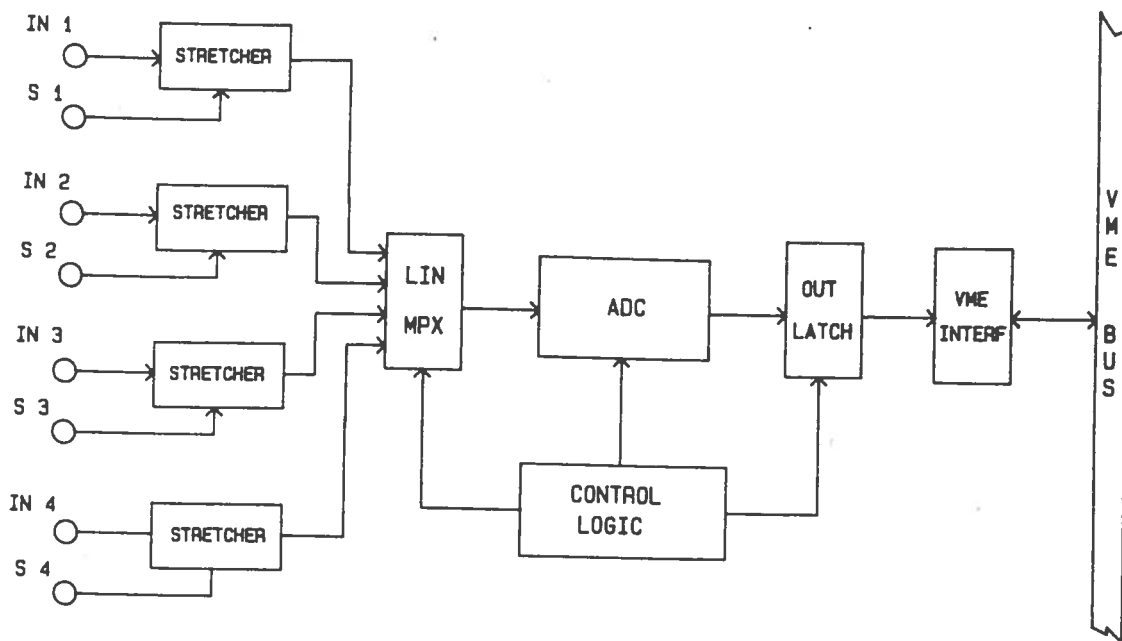


Fig. 1 Schema a blocchi dell' intera scheda

### 3. DESCRIZIONE DEGLI ELEMENTI CIRCUITALI FONDAMENTALI

#### 3.1 SEZIONE ANALOGICA DI INGRESSO

Questa sezione, mostrata in fig. 2-a, é replicata in modo identico per i quattro canali. Essa consta delle seguenti parti:

- un discriminatore rapido (RAYTHEON 4805) che genera il comando di apertura del linear gate quando é selezionato il modo auto-trigger
- uno switch analogico che trasferisce al linear gate o il segnale prelevato al connettore d' ingresso (modo di funzionamento normale) o il segnale generato da un DAC (modo di funzionamento in self-test)
- il linear gate - stretcher (descritto piú avanti)
- una coppia di DAC (1/2 AD7226) e una coppia di comparatori (1/2 HA4905) per l' impostazione e il controllo di soglia

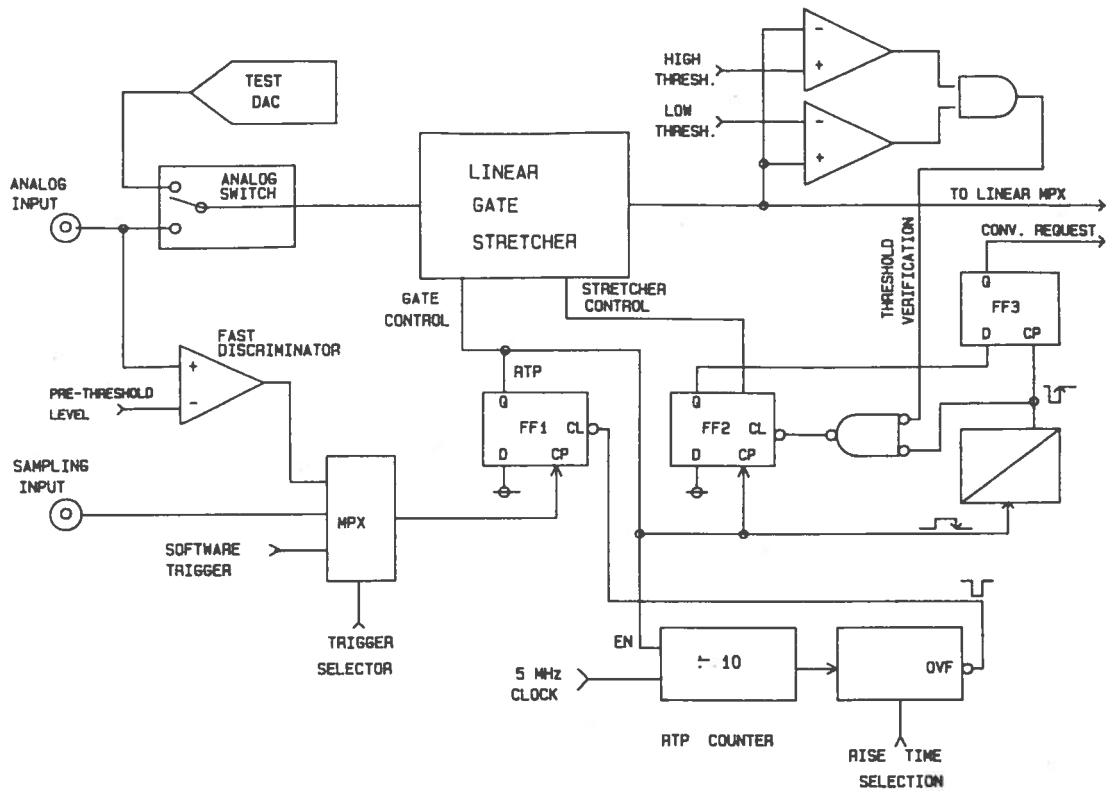


Fig. 2-a Schema semplificato della sezione analogica di ingresso

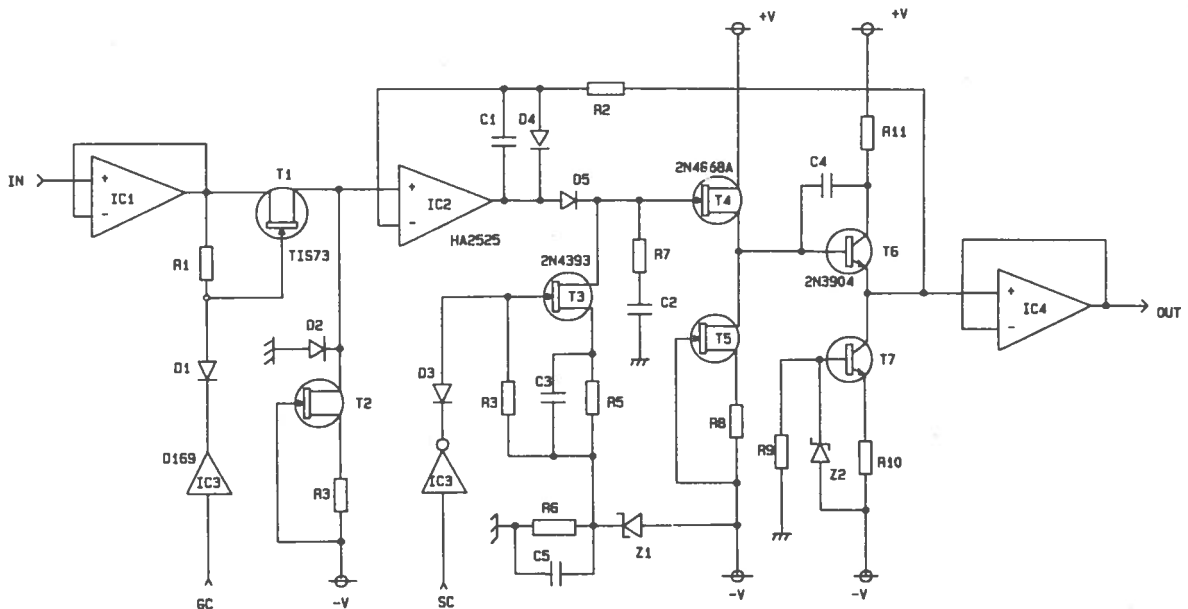


Fig. 2-b Linear gate e stretcher

- un circuito per la generazione delle sequenze di controllo del linear gate - stretcher, composto dai flip-flop FF1 e FF2 e dal rise time protection counter . L' uscita di FF1 controlla l' apertura del linear gate, mentre quella di FF2 abilita l' operazione di "stretching"; la sequenza inizia quando un impulso di trigger (selezionato attraverso il multiplexer MPX) arriva all' ingresso di FF1 : ogni volta che si apre il linear gate si abilita anche lo stretcher, ma mentre FF1 é resettato alla fine del rise time protection, il secondo rimane attivo fino a conversione avvenuta (a meno che il segnale da convertire risulti fuori soglia, nel qual caso FF2 é resettato immediatamente dopo FF1).

Descriviamo ora brevemente il circuito del linear gate-stretcher (vedi fig. 2-b)

Il linear gate é costituito essenzialmente dal Fet T1, pilotato dall' ingresso GC (gate control) attraverso il traslatore di livello IC3 (l' amplificatore operazionale IC1 ha infatti la sola evidente funzione di buffer d' ingresso): quando l' uscita di IC3 é a livello logico basso (circa -15 V) il Fet T1 é spento, mentre quando é a livello logico alto il diodo D1 si sgancia e T1 si porta nello stato "ON" grazie al resistore di autopolarizzazione R1 ; nello stato di conduzione il fet T1 vede come carico un generatore di corrente costante costituito dal transistor T2.

Lo stretcher é invece costituito dall' amplificatore operazionale IC2, dal generatore di corrente T3 e dai transistori T4, T5, T6 e T7 che formano un buffer veloce a guadagno unitario; l' elemento di memoria analogica é il condensatore C2.

Quando l' operazione di "stretching" non é abilitata (stato normale del circuito) il generatore T3 é acceso e l' operazionale IC2 eroga una corrente esattamente uguale a quella assorbita da T3, in modo da mantenere la tensione d' uscita dello stretcher (emettitore di T6) uguale alla tensione presente sull' ingresso non invertente di IC2 (la controeazione é applicata attraverso R2). Quando lo stretcher é abilitato (SC=High), il generatore T3 é spento e la controeazione puó avvenire in un solo verso: in altre parole quando la tensione in ingresso di IC2 sta salendo, l' emettitore di T6 segue linearmente l' ingresso, ma quando la tensione in ingresso comincia a scendere l' uscita di IC2 si porta verso valori negativi (la saturazione é impedita da D4), il diodo D5 si interdice e il condensatore C2 rimane carico al valore di picco.

L' operazionale IC4 realizza, infine, la funzione di buffer d' uscita.

### 3.2 MODULO DI CONVERSIONE ANALOGICO-DIGITALE

Nella realizzazione del modulo di conversione analogico-digitale si é fatto ricorso all'uso di flash converter in configurazione cascode al fine di avere un'alta velocità di conversione unita ad un'elevata risoluzione (12 bit); inoltre é stata utilizzata la tecnica circuitale dello sliding-scale per ottenere un'elevata linearità differenziale.

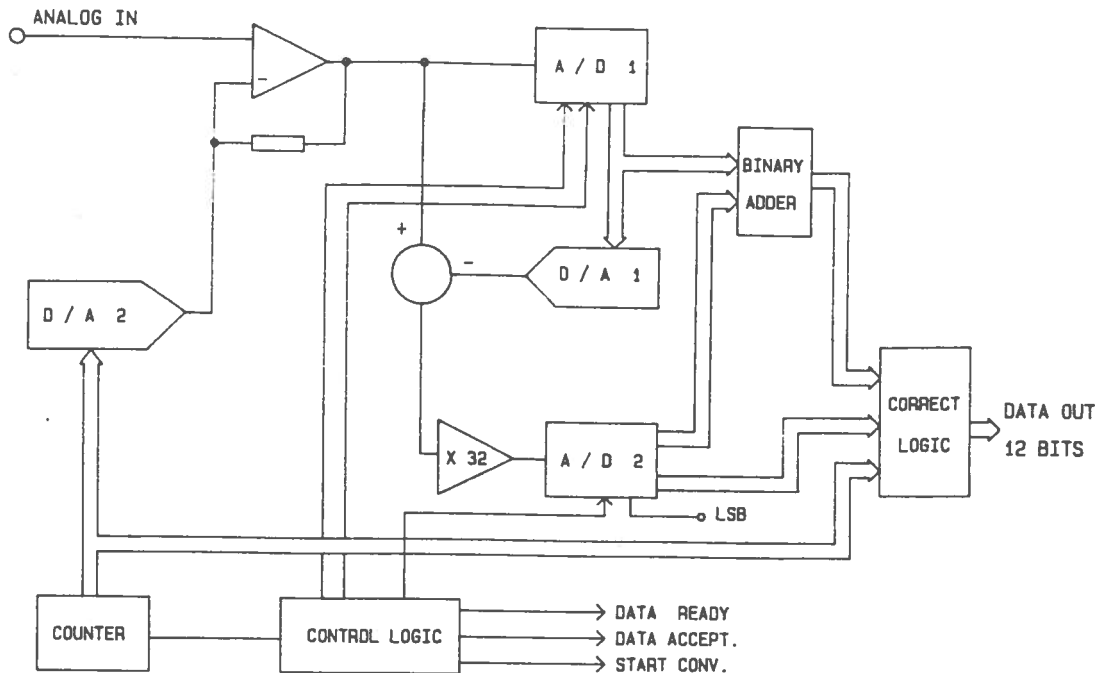


Fig. 3 A/D converter - Schema a blocchi

Lo schema a blocchi del modulo di conversione, visibile in fig.3, é caratterizzato dalle seguenti parti:

- un buffer d'ingresso che accetta il segnale analogico proveniente dallo stretcher selezionato dal multiplexer e che realizza inoltre la somma analogica con il segnale relativo al circuito di sliding scale.
- un convertitore A/D Flash (RCA CA3308) che realizza la prima conversione a 8 bit del segnale proveniente dal buffer di ingresso
- un convertitore D/A (RAYTHEON 6012) che converte i dati digitali della prima conversione in un segnale analogico che viene utilizzato per realizzare la somma con il segnale proveniente dal buffer di ingresso generando in questo modo un segnale che rappresenta l'errore commesso dalla prima conversione.
- un circuito di amplificazione che provvede a portare il segnale di errore all' ampiezza necessaria per la sua corretta conversione.
- un convertitore A/D Flash a 8 bit che converte il segnale di errore amplificato .
- un circuito "binary adder" che, agli 8 bit della prima conversione, somma i bit della seconda conversione aventi peso corrispondente.



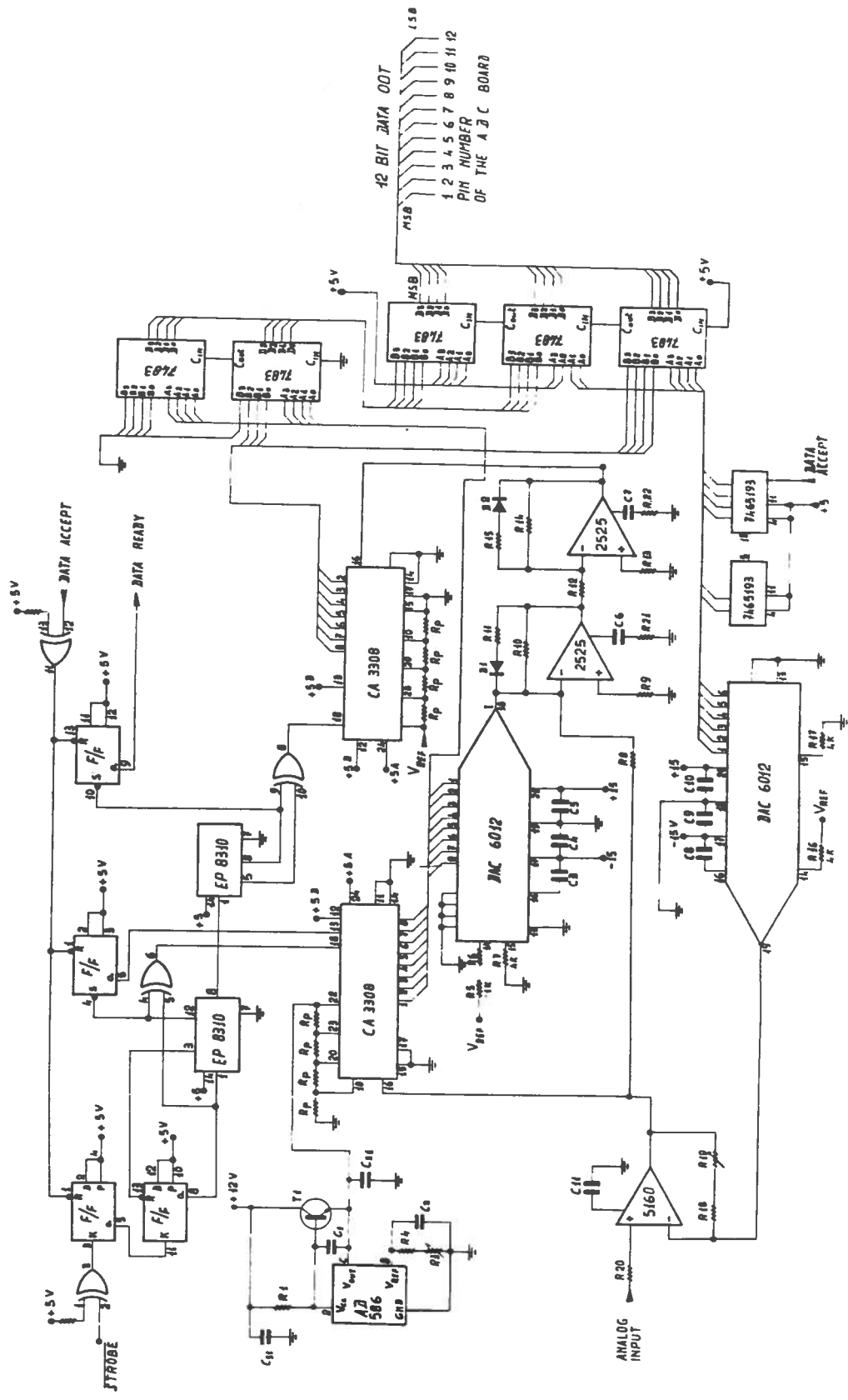


Fig. 5 Schema del modulo conversione A/D

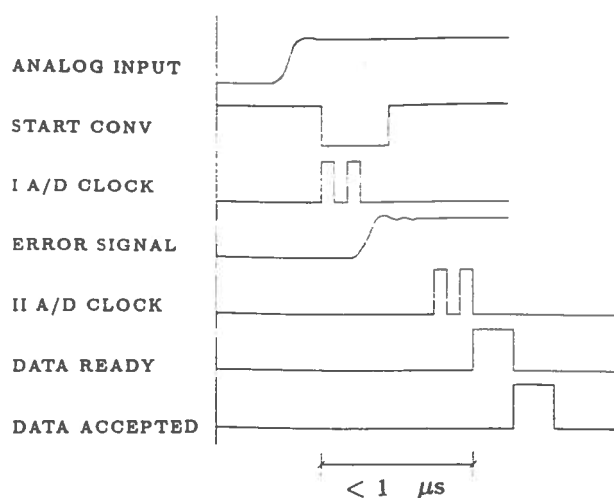


Fig. 4 ADC timing diagram

- un circuito di correzione logica che sottrae al dato convertito su 12 bit il contributo relativo allo sliding scale.

- un circuito logico di controllo (C.L.C.) che provvede, a partire dal segnale di "start conversion", ad organizzare la sequenza di conversione degli A/D Flash, a generare il segnale di "data ready", ad aggiornare lo sliding scale counter e a resettare il data ready all'arrivo del segnale di "data accepted".

In figura 4 è riportato il diagramma temporale relativo alla conversione di un segnale, in fig 5 lo schema completo del modulo di conversione.

### 3.3 LOGICA DI CONTROLLO E INTERFACCIA DI USCITA

Le funzioni svolte dalla logica di controllo possono essere così riassunte :

- test dello stato dello stretcher, al fine di verificare se è richiesta una conversione
- generazione del comando di start conversione
- attesa del segnale di E.O.C (end of conversion)
- trasferimento del dato di conversione al buffer d' uscita

Queste operazioni sono eseguite da un circuito microprogrammato costituito da un contatore pre-settabile a quattro bit che indirizza tre diverse PROM, ciascuna a 4 bit (la lunghezza della "microistruzione" è dunque di 12 bits).

La prima PROM fornisce al contatore l' indirizzo di "branch" condizionale; il salto di microprogramma viene eseguito o meno a seconda del risultato del test di una condizione esterna che è selezionata attraverso il multiplexer MPX (la seconda PROM contiene infatti, su tre bits, il codice di controllo del multiplexer, mentre il quarto bit decide se la condizione esterna debba essere testata o sia irrilevante). La terza PROM contiene infine dei "patterns" che, estratti secondo un ordine programmato - ma dipendente dal test delle condizioni esterne -, generano delle sequenze di impulsi che controllano il funzionamento dell' intera scheda (ad es. gli impulsi di start della conversione, di scrittura nei buffers d' uscita, di reset agli stretchers, etc.) Lo schema semplificato del circuito sequenziatore è mostrato in fig. 6-a.

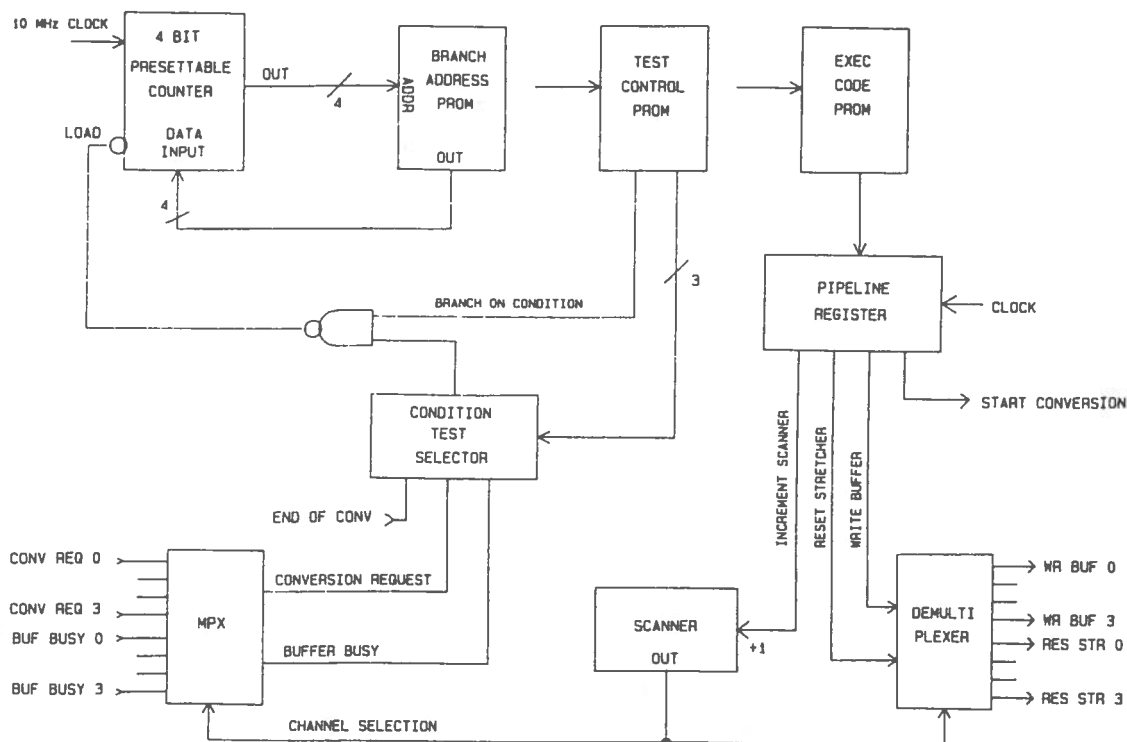


Fig. 6-a Schema semplificato del circuito sequenziatore

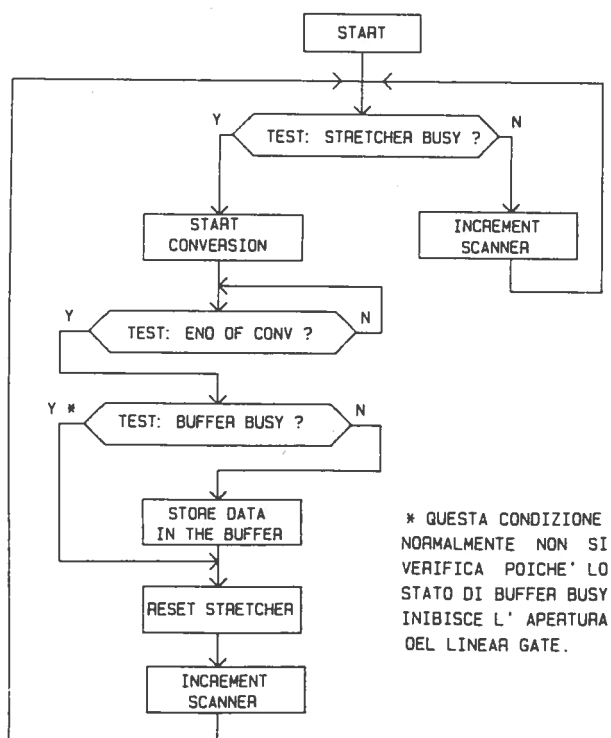


Fig. 6-b Flow-chart del sequenziatore

Come si può notare nel flow-chart riportato in figura 6-b, la selezione del canale d'ingresso su cui sono eseguiti i test o trasferito il dato non è controllata dal microprogramma con un indirizzamento diretto ma attraverso l'incremento di uno scanner esterno: questo rende formalmente più semplice e indipendente dal numero del canale la struttura del microprogramma stesso. Per quanto riguarda l'interfaccia verso il bus VME, essa è del tipo "slave-only": ogni canale possiede un suo buffer d'uscita e un registro di controllo, la cui funzione verrà illustrata nel paragrafo dedicato al modello di programmazione. Ad ogni buffer d'uscita è associato un flag di stato (busy/ready): l'azzeramento del flag in seguito a lettura del dato o a comando software produce anche il reset del contenuto del buffer.

#### 4. MODELLO DI PROGRAMMAZIONE

Ogni canale della scheda é descritto da quattro registri cosi' denominati:

1. DATA REGISTER
2. CONTROL/STATUS REGISTER
3. LOW THRESHOLD CONTROL
4. HIGH THRESHOLD CONTROL

La funzione di DATA REGISTER é ovvia: esso contiene, sui bits B0 - B11, il dato di conversione relativo a quel canale; il registro é del tipo read-only, tuttavia un' operazione del tipo WRITE #0, DATA\_REGISTER genera un impulso di reset al registro; DATA REGISTER puó inoltre essere azzerato automaticamente dopo ogni operazione di lettura del dato, purché questa opzione sia abilitata attraverso il bit B6 di CONTROL/STATUS REGISTER.

Spieghiamo ora la funzione di ogni bit di CONTROL/STATUS REGISTER: i bits B0 - B3 contengono il valore n del rise time protection dove il tempo reale in  $\mu s$  é dato da  $2(n+1)$ ; i bits B4, B5 determinano il modo di apertura del linear gate secondo la seguente tabella:

B4=0 B5=0 : auto-trigger mode; il linear gate si apre quando il segnale analogico in ingresso supera una pre-soglia di alcuni mV.

B4=0 B5=1 : l' apertura del linear gate é comandata da un impulso di trigger esterno

B4=1 B5=0 : il trigger é generato da un comando software

B4=1 B5=1 : selezione del modo self-test; il trigger é ancora generato via software, ma l' ingresso del linear gate é pilotato da un DAC (lo stesso usato per l' impostazione della soglia alta)

B6 : questo bit, quando posto a "1", inibisce la funzione di reset automatico del buffer d' uscita dopo un' operazione di lettura.

B7 : controlla la funzione RUN/STOP relativa al canale; quando é posto a "0" l' acquisizione é disabilitata.

ADDRESS	FUNCTION
XXXX 00	CH0 DATA REGISTER
XXXX 02	CH0 CONTROL REGISTER
XXXX 04	CH1 DATA REGISTER
XXXX 06	CH1 CONTROL REGISTER
XXXX 08	CH2 DATA REGISTER
XXXX 0A	CH2 CONTROL REGISTER
XXXX 0C	CH3 DATA REGISTER
XXXX 0E	CH3 CONTROL REGISTER
XXXX 10	CH0 LOW THRESHOLD
XXXX 12	CH0 HIGH THRESHOLD
XXXX 14	CH1 LOW THRESHOLD
XXXX 16	CH1 HIGH THRESHOLD
XXXX 18	CH2 LOW THRESHOLD
XXXX 1A	CH2 HIGH THRESHOLD
XXXX 1C	CH3 LOW THRESHOLD
XXXX 1E	CH3 HIGH THRESHOLD

Tab. 1 Modello di programmazione

B15 : questo bit, del tipo read-only, é il segnale di DATA READY ; quando é nello stato logico "1" il buffer d' uscita contiene un dato di conversione.

Infine i due registri LOW THRESHOLD e HIGH THRESHOLD CONTROL contengono i valori di impostazione delle soglie; questi registri (interni ai DAC AD7226) sono a 8 bit e del tipo write-only.

Dal punto di vista software, l' intera scheda é dunque descritta da un set di 16 registri mappati consecutivamente; la tabella 1 riassume il modello di programmazione.

Esistono inoltre due registri "dummy", mappati indipendentemente dai 16 registri base, i quali, quando sono indirizzati in un' operazione di WRITE , generano rispettivamente un impulso di trigger e uno di reset ai quattro canali della scheda. Questa coppia di registri puó essere mappata sullo stesso indirizzo in schede diverse; essa consente quindi di gestire in modo sincrono gruppi di piú di quattro canali di conversione e puó essere utile quando si vogliono acquisire eventi descritti da un grande numero di parametri.

## 5. TESTS

Sono stati eseguiti tests di linearitá integrale e differenziale con segnali di forma diversa (impulsi in onda quadra e semi-gaussiana) e modi di trigger diversi (auto-trigger e sampling con comando esterno).

Per i tests sono stati usati i seguenti strumenti:

Generatore di impulsi calibrato BNC modello PB-4

Generatore di rampa lineare BNC modello LG-1

Spectroscopy Amplifier ORTEC modello 673

L' errore di linearitá integrale, misurato applicando segnali di ampiezza variabile a step calibrati, e misurando la deviazione dalla retta di conversione ideale, é risultato essere  $< 1/2$  LSB (0.023%).

L' errore di linearitá differenziale, misurato con la tecnica del campionamento di una rampa lineare é risultato essere  $< 1\%$  su oltre il 98% della dinamica.

La figura 7-a mostra lo spettro ottenuto, in modo autotrigger, con segnali semigaussiani e shaping di  $2 \mu s$ , modulando il generatore di impulsi con una rampa lineare; la figura 7-b riporta il risultato del test di linearitá integrale.

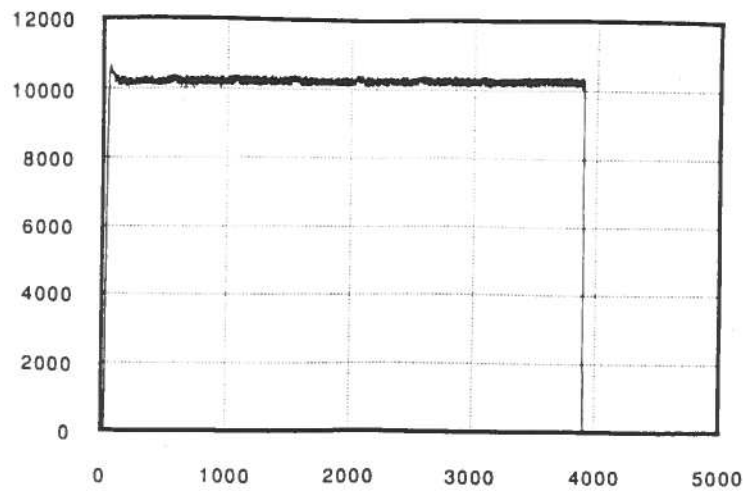


Fig. 7-a Test di linearità differenziale

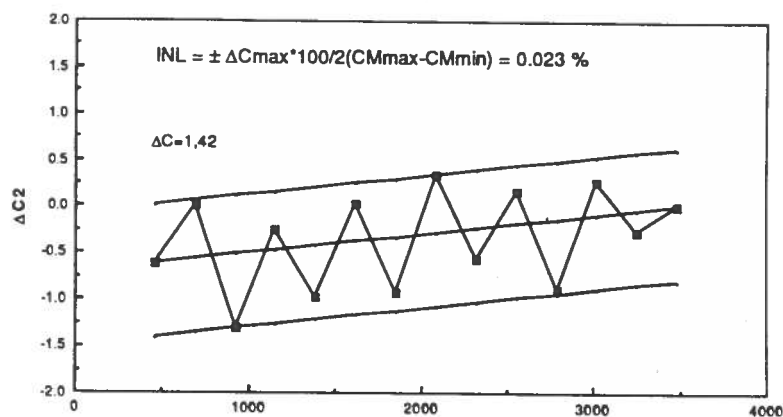


Fig. 7-b Test di linearità integrale

## BIBLIOGRAFIA

- (1) C. Cottini, E. Gatti, V. Svelto : A sliding-scale analog to digital converter for pulse height analysis. - Proceedings of the International Symposium on Nuclear Electronics. Paris, nov 1963.
- (2) E. Gatti, P.F. Manfredi, V. Svelto, P. Thieberger : Improvements of sliding-scale analog to digital converters through weighted averaging. - Proceedings of Ispra Nuclear Electronics Symposium , 1969.
- (3) E. Gatti, P.F. Manfredi, V. Svelto : Some remarks about the sliding-scale for analog to digital converters. - Proceedings of Nuclear Electronics Symposium . Versailles, 1968