

ISTITUTO NAZIONALE DI FISICA NUCLEARE

Sezione di Pavia

INFN/TC-89/3

13 Giugno 1989

C. Liguori, P. Torre, R.Nardò:

Sistema di selezione per il controllo di contatori di veto

SISTEMA DI SELEZIONE PER IL CONTROLLO DI CONTATORI DI VETO

G.Liguori, P.Torre, R.Nardo'
Dipartimento di Fisica Nucleare e Teorica - INFN Sezione di Pavia

INTRODUZIONE

Nell'ambito dell'esperimento NN2 (1) che si propone di rivelare possibili transizioni di neutroni liberi provenienti dal reattore nucleare dell'Istituto Von Laue-Langevin di Grenoble in antineutroni, e' stato realizzato il sistema di anticoincidenza con la radiazione cosmica, mediante contatori a scintillazione.

Per la calibrazione ed il controllo dei 231 contatori che costituiscono tale sistema si è ricorsi ad un laser che manda, attraverso fibre ottiche, impulsi di luce a tutti gli scintillatori con una frequenza di 10 Hz (2). Il trigger del laser viene inviato come segnale di "start" ai TDC e contemporaneamente abilita i discriminatori. Il calcolatore, un Microvax II, invia ad un multiplexer l'informazione relativa al blocco di contatori i cui segnali devono fornire lo stop ai TDC per poter essere digitalizzati in tempo. Una successiva lettura via CAMAC fornisce al calcolatore i dati necessari per un confronto con i conteggi di riferimento pre-memorizzati per ciascun contatore (Fig.1).

Lo scopo del presente rapporto è quello di illustrare il sistema di multiplexing adottato.

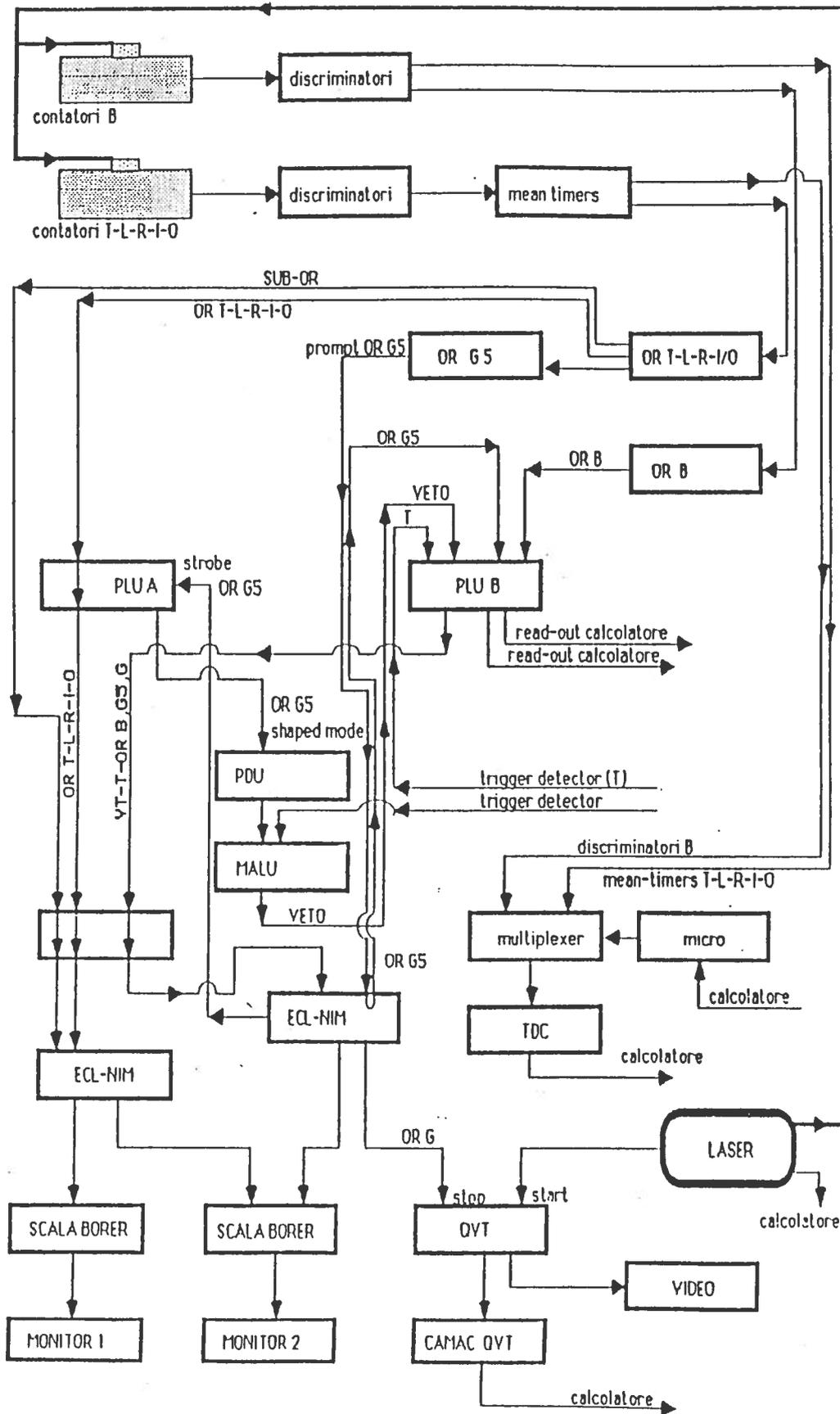


FIG. 1 - Logica elettronica del sistema di veto dell'esperimento NN2

1. IL SISTEMA DI MULTIPLEXING

Per digitalizzare in tempo i segnali provenienti da 231 contatori occorrono 30 TDC (mod. 2229 Lecroy); il prezzo di ogni TDC si aggira sui 4 ML e la spesa totale risulta perciò veramente elevata.

Per questo motivo si è resa indispensabile la progettazione di un sistema di selezione che riduca drasticamente il numero di TDC utilizzati, consentendo la lettura per passi successivi di tutti i canali sotto il controllo del calcolatore di acquisizione.

In pratica i 231 scintillatori vengono idealmente divisi in 8 blocchi di 32 contatori ciascuno. I conteggi relativi ad un blocco possono essere digitalizzati simultaneamente utilizzando 4 TDC. Variando il numero del blocco si seleziona un gruppo differente di contatori.

Si rinuncia così ad una lettura contemporanea di tutti i canali, inutile peraltro nel caso specifico di calibrazione e test dei contatori.

Il sistema di multiplexing realizzato si compone di 9 schede, assemblate in un crate con geometria di montaggio per schede Europa e doppio Europa alimentato a ± 5 Volt e ± 12 Volt (Fig.2):

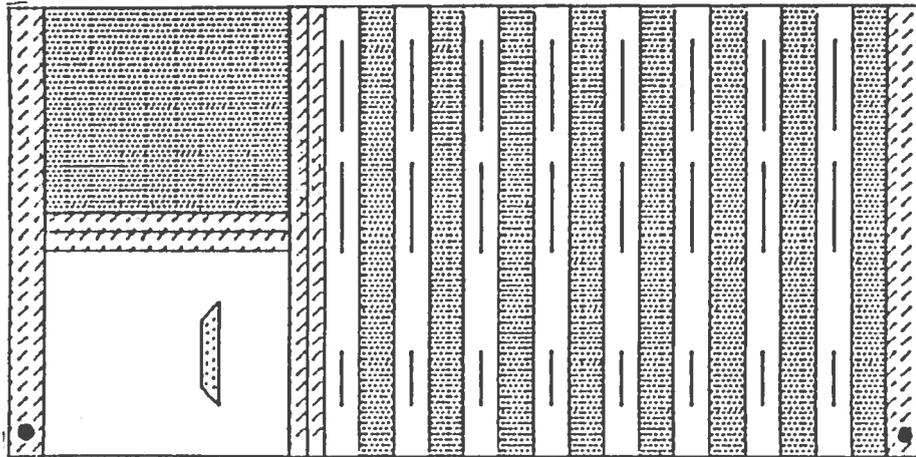


FIG. 2 - Disposizione dei moduli nel crate

- una scheda a microprocessore basata sullo ZILOG Z80A, di produzione industriale
- 8 moduli, siglati MPLX, progettati nel Laboratorio di Elettronica del Dipartimento.

Ogni modulo ha 32 canali d'ingresso, per i segnali provenienti dai discriminatori e 4 canali d'uscita che sono inviati agli stop di un TDC.

La scheda a microprocessore ed i moduli condividono un bus costituito dalle alimentazioni: (± 5 Volt), dalla massa e da tre linee di selezione: A, B, C. Il calcolatore d'acquisizione invia sulla porta seriale V.24/RS232 del μP un numero, corrispondente ad uno degli otto blocchi già citati.

Il μP decodifica il codice ricevuto: se il numero è corretto lo pone, in forma binaria, sulle

linee A, B, C del bus e ritorna al Microvax un codice di corretta selezione (1); se esso non è compreso fra 0 e sette ritorna al Microvax un codice di errore di indirizzamento (0). Gli 8 MPLX trovano così sulle linee d'ingresso una stessa configurazione di bit che, complementata, serve al pilotaggio del loro integrato di selezione, un 74F151.

Sulle 32 linee di uscita dei MPLX sono a questo punto presenti i segnali che provengono dal blocco di scintillatori selezionato e che i TDC potranno simultaneamente digitalizzare in tempo.

2. LA SCHEDA A MICROPROCESSORE

La scheda a microprocessore, del tipo EUROLOG EML/CPC 8, (3) si avvale di:

- unità centrale di processo ZILOG Z80A
- oscillatore di clock a 4 MHz
- 3 zoccoli a 28 pin per le memorie, in grado di accettare RAM, EPROM, EEPROM.
Ogni zoccolo è configurabile individualmente e 8 sono le diverse configurazioni di memoria ottenibili selezionando 3 jumpers
- 2 canali seriali V.24/RS-232 (Z80-SIO/O)
- generatore di baud-rate da 50 a 19200 bit/sec indipendente sui 2 canali
- un canale parallelo a 16 bit di input-output programmabile con livelli TTL (Z80A-PIO)
- 4 canali di counter/timer (T80A-CTC)
- generatore di impulsi in tempo reale (20 ms o 200 ms)
- alimentazione a 5 Volt.

Lo schema della scheda è riportato in Fig.3.

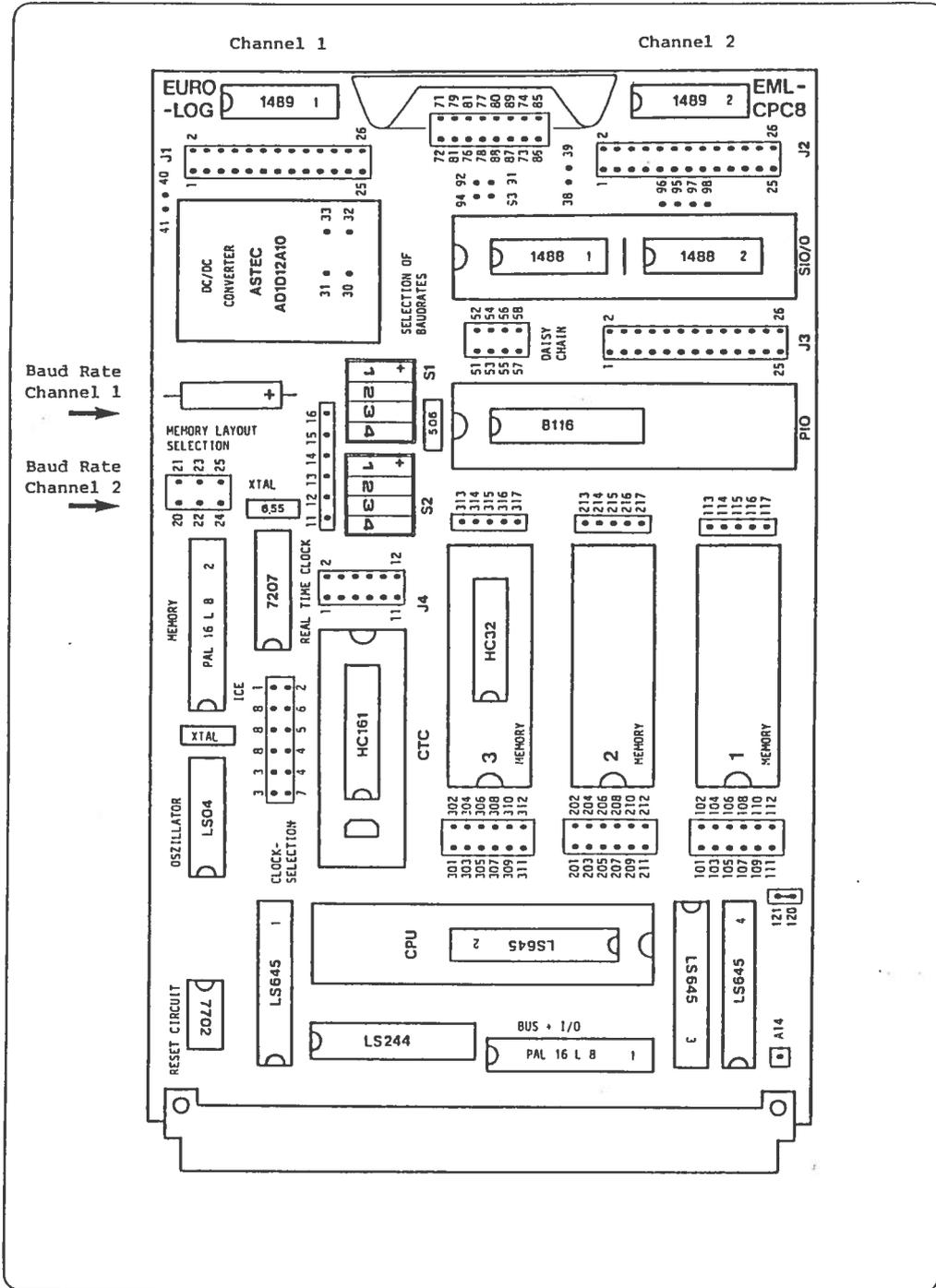
Per i nostri scopi sulla scheda sono state montate una RAM 6264 da 9 Kbytes ed una EPROM 2764 da 8 Kbytes su cui è caricato il programma. Come canale di comunicazione seriale abbiamo scelto il canale B, asincrono, che può essere connesso direttamente ad un terminale.

Per il collegamento fra calcolatore e scheda sono state utilizzate le seguenti linee:

MICROVAX	MICROPROCESSORE
Rx	Tx
Tx	Rx
GND	GND

Il generatore di baud-rate è stato fissato a 300, il che corrisponde ad una frequenza di trasmissione di 4.8 KHz (4800 baud).

Selle: 20 EML/CPC 8
 Datum: 10. Feb. 1984 Zentraleinheitskarte
 Version: 1.1 Technische Beschreibung

© F. J. Furrer-W. M. Gloor AG, Elektronische Systemtechnik

FIG. 3 - Schema della scheda a microprocessore

Per l'invio del codice di selezione sui moduli MPLX sono state utilizzate le linee A0-A2 della porta parallela.

3. MPLX

I moduli MPLX sono stati progettati e realizzati nel Laboratorio di Elettronica del Dipartimento. In Fig.4 riportiamo lo schema elettrico del modulo.

Ogni MPLX è in grado di gestire 32 ingressi in logica ECL provenienti da 2 discriminatori da 16 canali ciascuno. I segnali ECL, che arrivano alla scheda attraverso un cavo piatto twisted-pair, vengono prima convertiti a livello TTL e successivamente inviati a gruppi di 8 ai circuiti integrati di multiplexer.

Le linee A,B,C, comuni a tutti i multiplexer, permettono di selezionare di volta in volta uno degli 8 segnali in ingresso; tale segnale viene poi riconvertito a livello ECL ed inviato al connettore d'uscita.

Le linee di selezione A,B,C, provenienti dalla porta parallela della scheda a microprocessore, passano attraverso un invertitore che ha lo scopo di fornire la corrente necessaria a pilotare i multiplexer della scheda.

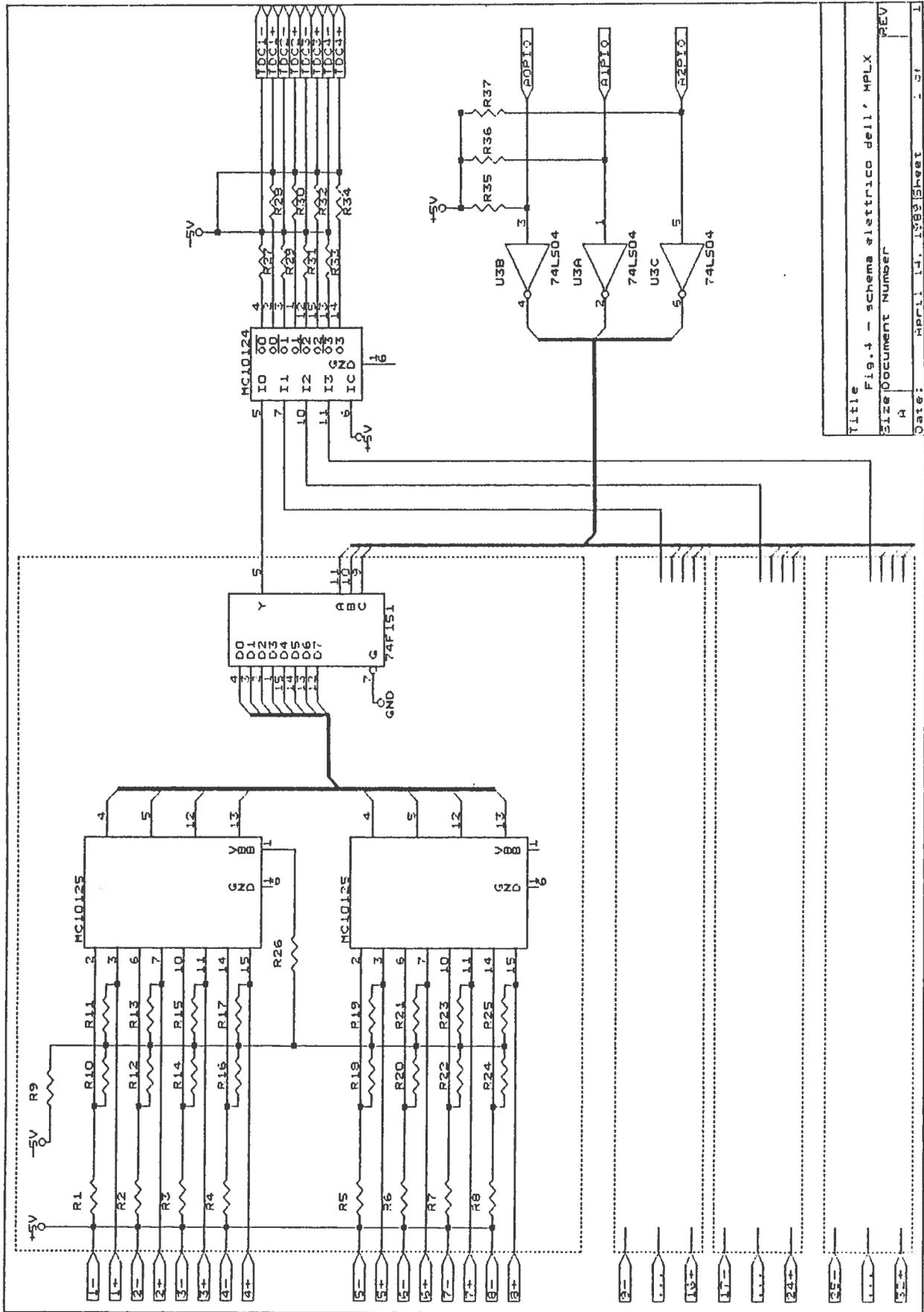
Le schede sono alimentate a ± 5 Volt ed i consumi sono, per il totale sulle 8 schede, di circa 3.5 A per l'alimentazione a -5 Volt e di circa 2.5 A per l'alimentazione a +5 Volt.

4. COLLEGAMENTO MICROVAX II - μP

Il collegamento fra il calcolatore di acquisizione e la scheda a μP è stato realizzato, come già detto, utilizzando lo standard di trasmissione RS232. In pratica il calcolatore vede il μP come se fosse un qualunque terminale, nel nostro caso il "consolle terminal" CSA0. All'atto della accensione della scheda, il calcolatore, da un lato invia messaggi e richieste a cui il μP fa l'eco, e dall'altro interpreta ogni transizione elettrica in ingresso, anche se fortuita, come un comando o una risposta.

Per ovviare a queste trasmissioni che innescavano meccanismi di richieste totalmente fuori dal controllo dei programmi sviluppati è stato necessario, a livello di ingresso nel codice di lavoro, "allocarsi" il CSA0 e fissarne le caratteristiche NOECHO e NOTYPE-AHEAD.

E' stato inoltre esaminato il protocollo di trasmissione del Microvax: da una parte si sono opportunamente fissate, sempre a livello di inizio lavoro, alcune caratteristiche del terminale quali la velocità di trasmissione, il numero degli stop bit, il numero di bit per carattere e la parità; dall'altra si è studiata all'oscilloscopio la sequenza di invio caratteri. Si è così appurato che il



Title
 Fig.4 - schema elettrico dell' MPLX
 Size Document Number
 4
 Date: April 14, 1983 Sheet 1 of 1

FIG. 4 - Schema elettrico del modulo MPLX

calcolatore ad un comando:

WRITE numero

risponde inviando la sequenza illustrata in Fig.5, ma la prima volta in assoluto, subito dopo l'accensione della scheda a μP , la sequenza è invece quella di Fig.6.

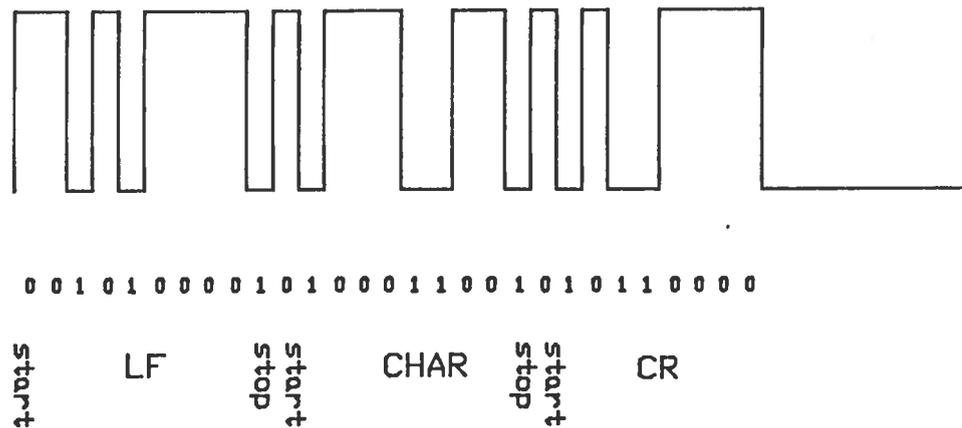


FIG. 5 - Protocollo standard di invio caratteri

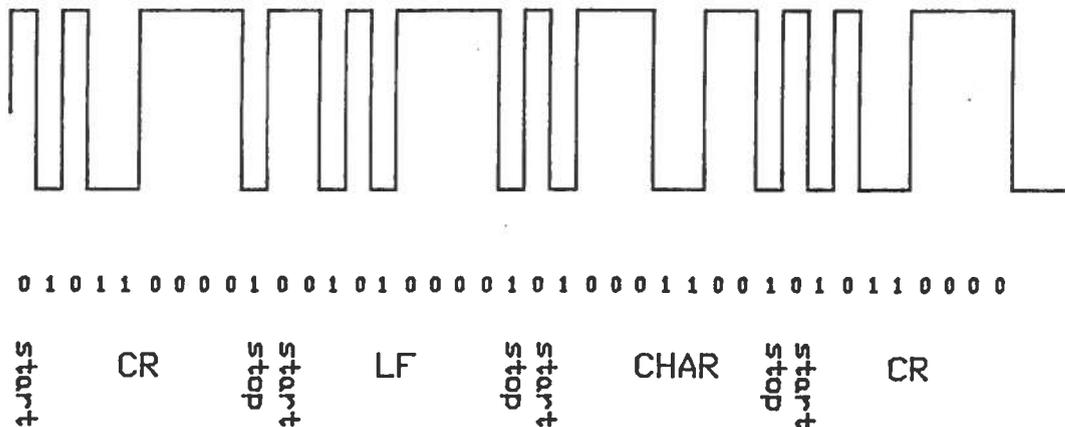


FIG. 6 - Protocollo iniziale di invio caratteri

Riportiamo il semplice programma di prova che implica la preventiva assegnazione del FOR001 al CSA0:

```

        character *1 i,b
20    read (5,10) i
        write (1,30) i
        read (1,10) b
        write (5,30) b
10    format (a1)
30    format (1x, a1)
        go to 20
        stop
        end

```

Il calcolatore "scrive" un numero sul FOR001, in pratica lo invia al μP , e resta in attesa di "leggere" un carattere di risposta. Lo Z80 riceve il pacchetto di caratteri, estrae il numero, scartando i Line Feed ed i Carrelli Ritorno, e risponde con uno 0 o con un 1, a seconda delle modalità illustrate al paragrafo 1, seguito da un Carrello Ritorno.

Il programma eseguito dal μP , scritto parte in C e parte in Assembler, è stato creato usando il Compiler e l'Assembler della 2500AD Software INC. caricati su IBM-AT.

5. TEST DEI MODULI MPLX

I moduli MPLX sono stati sottoposti in laboratorio a prove hardware e software allo scopo di fissarne le caratteristiche funzionali.

Si è così certificata la bontà dei segnali relativamente ai tempi di transizione, dell'ordine di 3 ns, ed all'assenza di apprezzabili riflessioni; inoltre non è stato riscontrato alcun significativo fenomeno di "cross talk" fra canali adiacenti.

Il ritardo di propagazione dei segnali è di circa 10 ns se si ricorre ad un multiplexer della famiglia TTL di tipo FAST.

Per il test software dei moduli si è ricorsi ad un modulo 2920, della Kinetic Systems Corp., interfacciato direttamente al Qbus di una VAXSTATION I e connesso ad un Crate Controller modello 3920, pure della Kinetic, montato su crate CAMAC (4)(5).

La catena elettronica era costituita dai seguenti moduli:

1 Discriminatore	mod. 4415-LeCroy
1 Logic Unit	mod. 4516-LeCroy
1 TDC	mod. 2229-LeCroy

In Fig.7 riportiamo lo schema di interconnessione dei moduli.

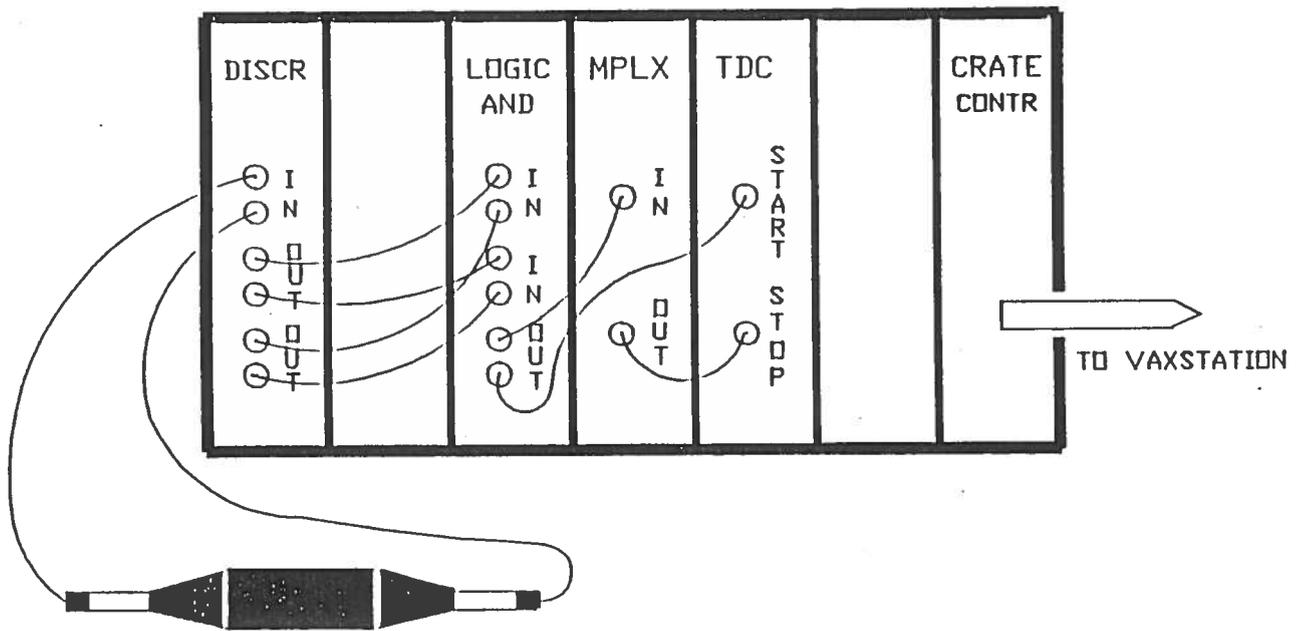


FIG. 7 - Schema di interconnessione per il test di un MPLX

Allo scopo di valutare il tempo di ritardo indotto dal modulo e la sua stabilita', la coincidenza fra i segnali, opportunamente discriminati, provenienti da due fotomoltiplicatori accoppiati ad uno stesso scintillatore viene inviata contemporaneamente allo start del TDC e ad uno degli ingressi di un MPLX. L'uscita del modulo dà lo stop al TDC, la cui risoluzione temporale è di 50 psec a canale.

Prove ripetute hanno mostrato che i conteggi si distribuiscono su due canali contigui.

-
- (1) FNT/AE 88/18 Note Tecniche Costruttive del Sistema di Anticoincidenza dei Raggi Cosmici per l'Esperimento NN2
 - (2) P.Benetti et al. "The Influence of Photon Peak arrival in the Timing of Plastic Scintillators by Means of Pulsed Laser and Optical Fibres" Nucl.Phys. and Meth. A270 (1988) 411-415
 - (3) EUROLOG, Technical Documentation, EML/CPC 8 Rev.2
 - (4) 6610-0B Software Support for VAX/VMS DRIVER,3920/2920 (DMA)
 - (5) Model 3920-Z1B General purpose Crate Controller Instr. Manual

RINGRAZIAMENTI

Gli autori desiderano ringraziare la Sig.ra Mariuccia Formenti, della Segreteria Scientifica , per la collaborazione fornita in fase di stesura del presente rapporto, ed i tecnici P.Trespi e T.Locatelli per il valido supporto tecnico.