

ISTITUTO NAZIONALE DI FISICA NUCLEARE
Laboratori Nazionali di Frascati

Sezione di Pavia

INFN/TC-85/3
22 Marzo 1985

G. Liguori e P. Torre:

MSCC: UN SISTEMA A MICROPROCESSORE CAMAC COMPATIBILE

Servizio Documentazione
dei Laboratori Nazionali di Frascati
Cas. Postale 13 - Frascati (Roma)

INFN - ISTITUTO NAZIONALE DI FISICA NUCLEARE

Sezione di Pavia

INFN/TC-85/3
22 Marzo 1985

MSCG: UN SISTEMA A MICROPROCESSORE CAMAC COMPATIBILE

G.Liguori e P.Torre
Dipartimento di Fisica Nucleare e Teorica
Universita' di Pavia

SOMMARIO

Per la lettura delle camere a flash, che costituiscono il nucleo dell'apparato di rivelazione nell'esperimento $n-\bar{n}$ allestito presso il reattore Triga Mark II della Universita' di Pavia, un microcomputer di produzione standard e' stato modificato al fine di assimilarlo ad una normale stazione CAMAC. Il sistema realizzato consiste di due moduli separati: uno e' un computer a scheda singola (SBC) della Intel; l'altro e' stato progettato e realizzato in laboratorio e connette l'SBC con il dataway del CAMAC. A causa della lentezza dell'SBC rispetto alla temporizzazione del dataway il nostro sistema usa la linea Q per sincronizzare il trasferimento dei dati come nel modo Q-stop. Fino ad oggi sono state implementate sette funzioni.

1.- MICRO SISTEM CAMAC COMPATIBLE

Il nucleo dell'apparato di rivelazione dell'esperimento $n-\bar{n}$, allestito presso il Reattore Triga Mark II dell'Universita' di Pavia dalla collaborazione PAVIA-ROMA-MILANO(CESNEF)^(1,2,3) e' costituito da 4 quadranti di camere a flash, scintillatori ed assorbitori. La fig.1 mostra l'apparato sperimentale.

Per quanto riguarda le camere a flash (FC) ogni quadrante e' costituito da 10 camere⁽⁴⁾, ciascuna composta da 4 piani di 480 canali, ad eccezione di 20 piani del quadrante D composti da 240 canali per ragioni geometriche. Visto che ad ogni trigger deve essere letta una grande mole di dati (72000 canali) e' necessario operare una riduzione prima del trasferimento al computer di acquisizione. A tal fine e' stato realizzato il Micro System Camac Compatible (MSCC) assimilabile per funzionalita' ad una normale stazione CAMAC intelligente ed in grado di leggere e preanalizzare i dati. L'MSCC e' costituito da due moduli. Il primo e' un computer a scheda singola (SBC) della INTEL Co., usato per leggere le FC; il secondo e' un modulo interamente progettato e realizzato in laboratorio allo scopo di interfacciare l'SBC con il dataway CAMAC.

2.- CARATTERISTICHE DEL MICROPROCESSORE

Il computer a scheda singola SBC 80/24⁽⁵⁾ utilizza un microprocessore 8085 ed opera ad una frequenza di circa 4.8 MHz.

Le sue caratteristiche principali sono:

- 4 Kbytes di memoria ad accesso diretto (RAM)
- 8 Kbytes di memoria a sola lettura (EPROM)
- 6 porte di I/O, programmabili, ad 8 bit
- 1 porta seriale RS232-C, programmabile
- 1 interrupt controller in grado di gestire fino ad 8 linee di interruzione.

Il ciclo di clock della CPU ha una durata di 206 ns; cio' implica che la durata minima di un'istruzione sia di circa 820 ns.

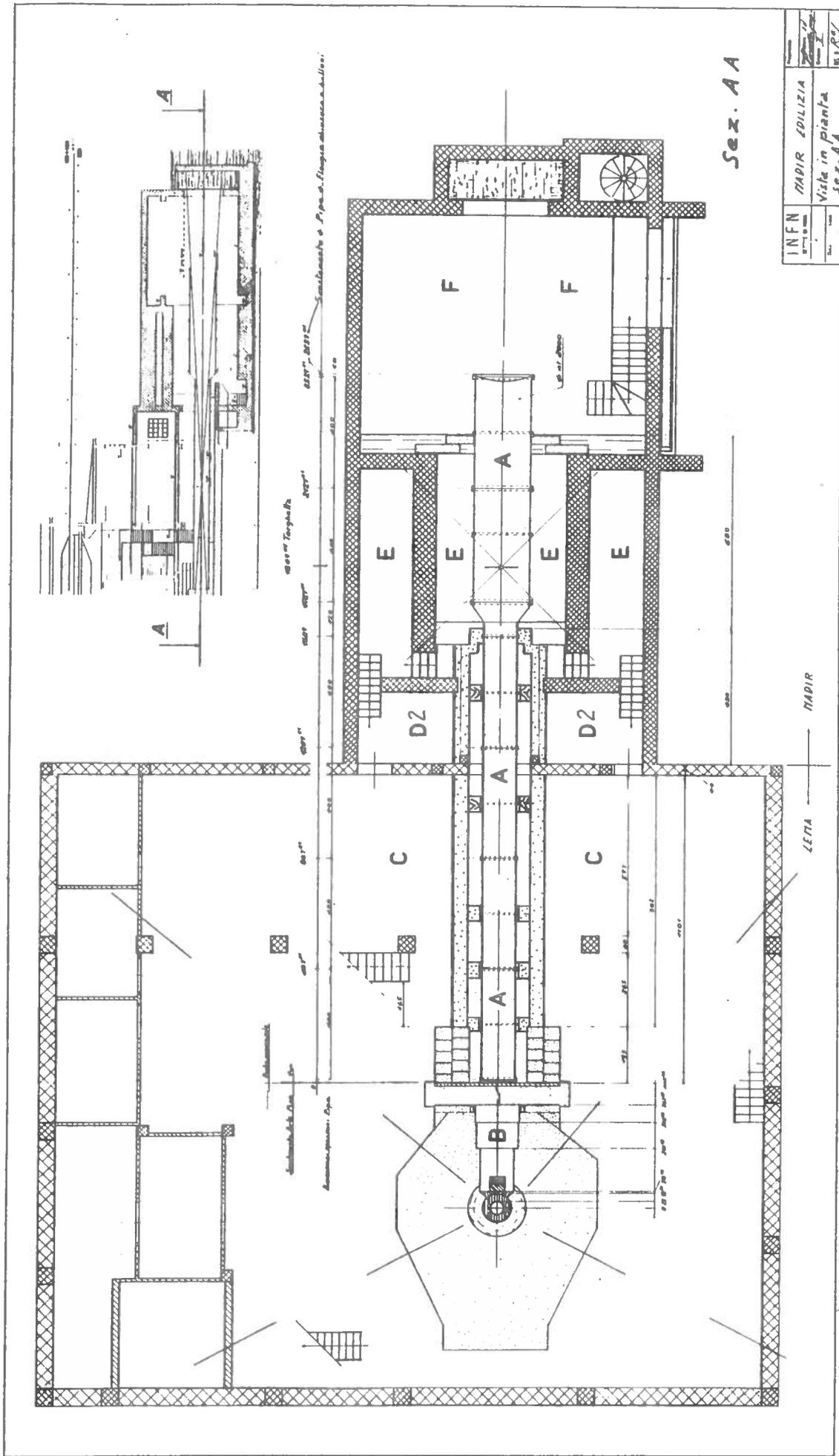


fig.1 - Apparato sperimentale

Dal 1982 l'SBC e' utilizzato in laboratorio sia per i test di funzionamento delle camere, sia per i test dell'elettronica di lettura, in modo del tutto indipendente dal CAMAC⁽⁶⁾.

3.- INTERFACCIA MICRO-CAMAC

Data l'impossibilita' di un collegamento diretto fra le linee del dataway e le porte di I/O dell'SBC a causa della loro bassa impedenza di uscita, e' stata realizzata una scheda di interfaccia illustrata in fig.2a e 2b, il cui schema elettrico e' riportato in fig.3.

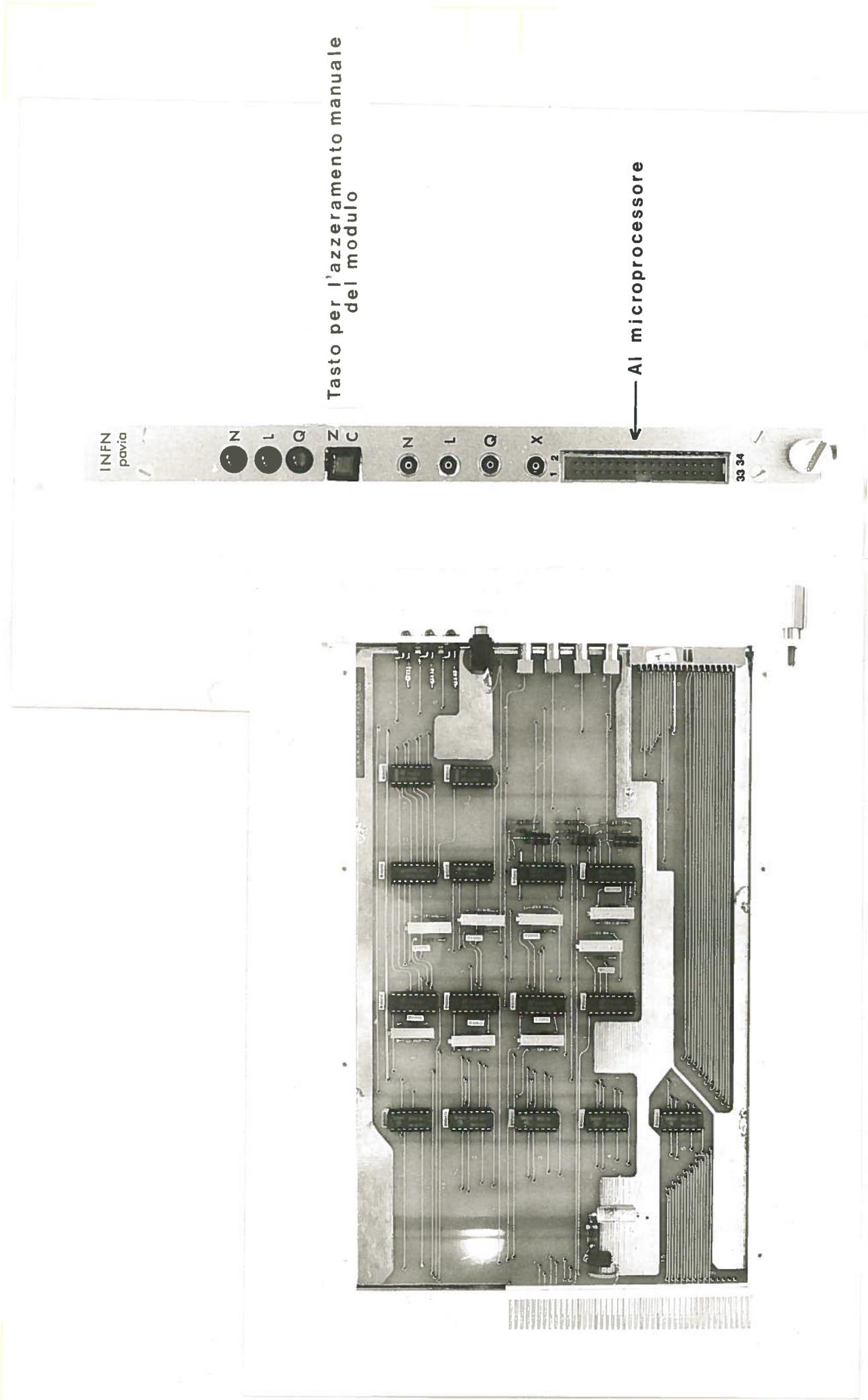
L'adattamento delle linee dell'SBC al dataway avviene mediante i circuiti I1÷I5, con logica a tre stati, che connettono le porte di uscita dell'SBC con le prime 16 linee READ e con le linee Q ed X del CAMAC. Quando sono disabilitati l'uscita e' ad alta impedenza e questo fa si' che sulle linee READ possano liberamente transitare le informazioni provenienti da altre stazioni.

La scheda inoltre decodifica mediante il circuito I10 le funzioni CAMAC, facendo corrispondere ad ogni funzione un' opportuna linea di interrupt del μP , e gestisce le linee di controllo del dataway.

A causa della lentezza del ciclo di clock e' stato necessario variare la durata dei segnali CAMAC in modo da garantirne il riconoscimento da parte del μP . Si e' ricorsi a tal scopo ai circuiti I6÷I9, fissando i valori di R e C in modo da ottenere segnali della durata di 4 μs .

Per il collegamento fra l'MSCC ed il CAMAC sono state utilizzate le porte di I/O del μP secondo il seguente schema:

PORTA	STATO	SEGNALI
E5	OUT	R1÷R8
E9	OUT	R9÷R16
E6	IN	N
E8	OUT	Q,X



Tasto per l'azzeramento manuale
del modulo

Al microprocessore

fig. 2a - Scheda di interfaccia

fig. 2b - Frontalino della scheda

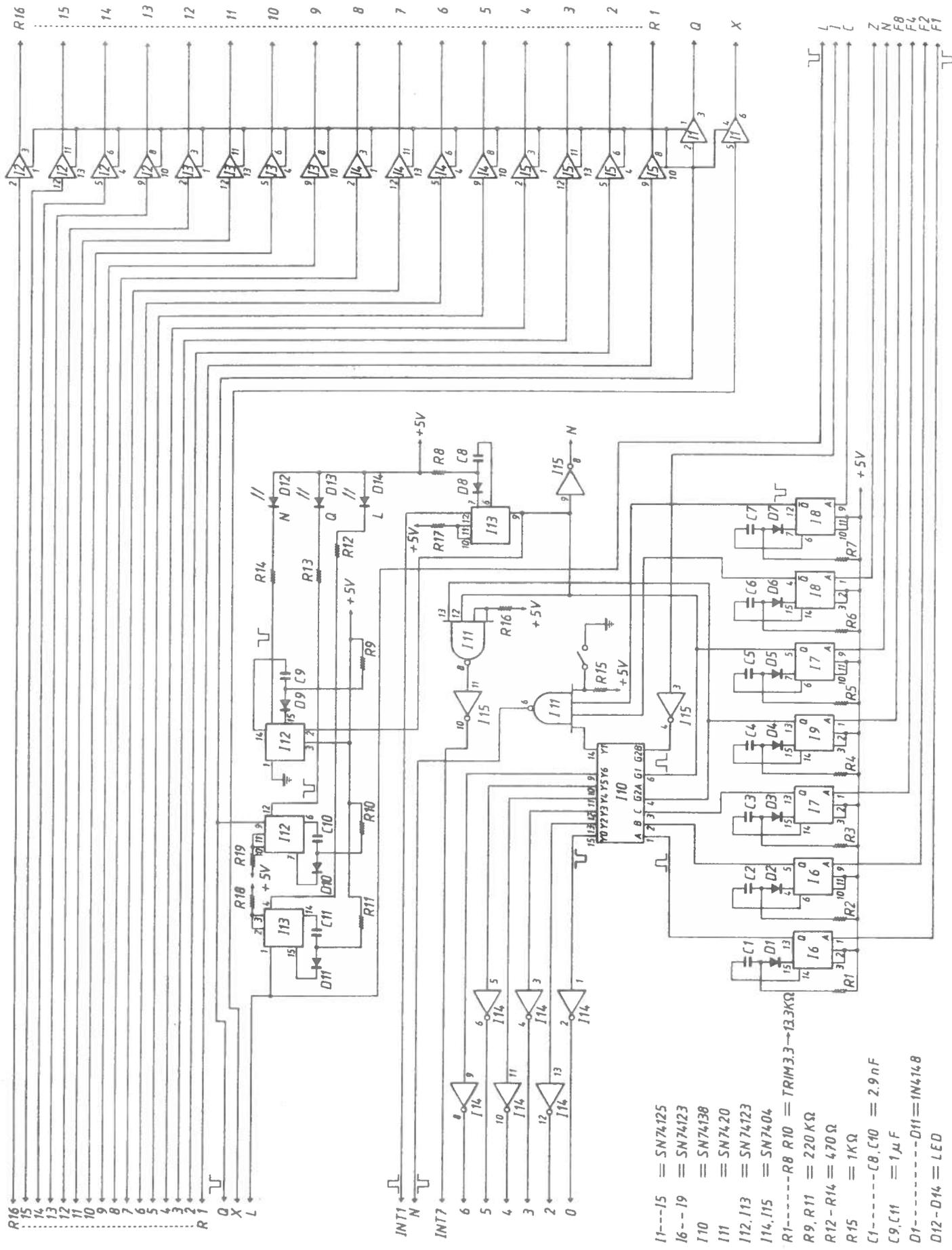


fig.3 - Schema elettrico della scheda.

Il read-out delle FC prevede l'uso di piu' MSCC, ognuno dei quali occupa una stazione CAMAC ed e' singolarmente indirizzabile da un comando CNAF^(*), con sottoindirizzo A=0. Ad ogni codice di funzione corrisponde una linea di interrupt dell'SBC indirizzato; questi riconosce l'interrupt e serve la routine corrispondente.

4.- COMANDI CAMAC

I comandi da noi implementati sono:

- NF(0)A(0) = LETTURA. Il computer acquisisce i dati leggendoli dalle RAM del μ P indirizzato.
- NF(2)A(0) = AZZERAMENTO. Vengono azzerate le RAM ed inizializzati i registri del μ P indirizzato.
- NF(3)A(0) = ACQUISIZIONE. Il μ P acquisisce i dati provenienti dalle FC.
- NF(4)A(0)
NF(6)A(0) = TEST. Vengono attivati programmi di test per la verifica della funzionalita' delle schede di lettura.
- NF(5)A(0) = SOSPENSIONE. L'unica funzione che ha la possibilita' di sospendere in qualunque momento l' attivita' del μ P.
- NF(8)A(0) = LAM TEST. Viene generato un segnale Q=1 per simulare la richiesta di attenzione (LOOK AT ME) da parte del μ P.
- Z,C = AZZERAMENTO. Vengono azzerate le RAM ed inizializzati i registri di tutti i μ P del crate.

(*) C=crate; N=indirizzo; A=sottoindirizzo; F=codice di funzione.

5.- SCHEMA A BLOCCHI DEL PROGRAMMA

Le routines attivate dai comandi sopraelencati sono organizzate in un programma residente su EPROM del tipo 2716. In fig.4 e' riportato lo schema a blocchi del programma.

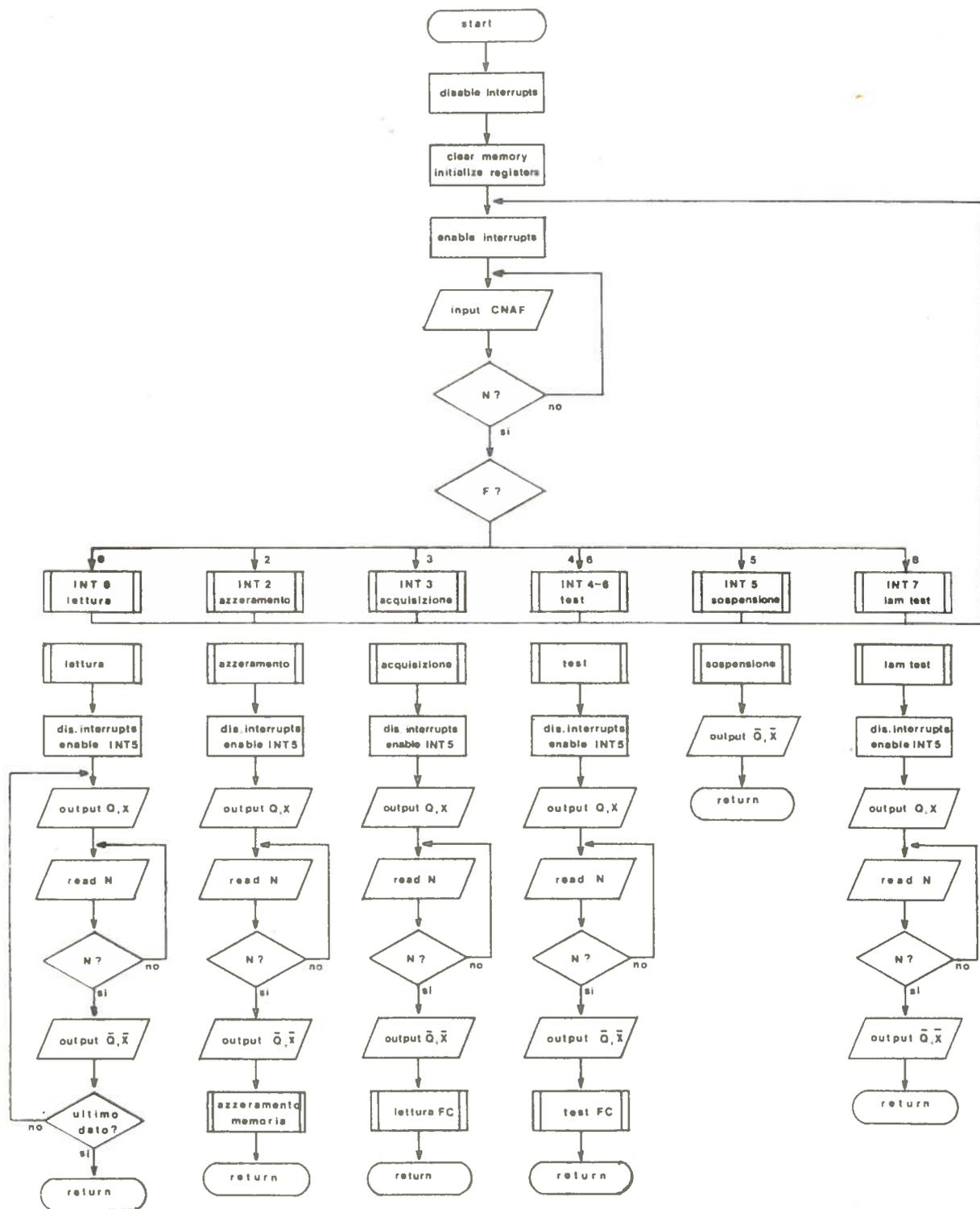


fig.4- Schema a blocchi del programma

Il programma disabilita gli interrupts per non essere interrotto durante la fase di azzeramento delle celle di memoria e di inizializzazione dei registri; quindi li riabilita e si dispone in attesa di un comando CNAF. Ogni codice di funzione causa il salto ad una routine di interrupt secondo lo schema di fig.4. La routine servita disabilita tutti gli interrupts ad eccezione dell'INT5 per consentire in ogni momento la sospensione di qualunque attivita' da parte del comando NF(5)A(0).

Successivamente il colloquio fra il μ P ed il calcolatore di acquisizione viene sincronizzato asserendo il segnale di risposta Q del modulo solo in presenza di indirizzamento diretto, come nel modo Q-stop. Ogni routine esegue le attivita' che le competono senza che nel frattempo il modulo occupi le linee del dataway. Alla fine il programma riabilita tutti gli interrupts ed e' pronto ad accettare un nuovo comando CNAF.

6.- TEMPORIZZAZIONE

Si sono preliminarmente effettuate prove di lettura inserendo l'MSCC in un crate CAMAC collegato, tramite un controller di tipo A2, ad un PDP 11/44 della DIGITAL.

La temporizzazione dei segnali di controllo e' illustrata in fig.5. Non appena il modulo viene indirizzato, quando cioe' riceve i segnali N ed F (nell'esempio F=5), genera il segnale INT corrispondente, della durata di circa 4 μ s.

In un tempo minimo di 20 μ s il μ P pone sulle linee del dataway i dati ed i segnali Q ed X che, per essere riconosciuti, devono permanere sino all'invio successivo di un segnale N.

La lettura di 24 dati, mediante un programma ASSEMBLER, ha richiesto un tempo complessivo di 640 μ s. Nel caso in cui si utilizzino programmi di acquisizione standard, visto che il tempo richiesto dalla esecuzione di un'istruzione di I/O e' di 1.7 ms, l'MSCC non ritarda le operazioni CAMAC.

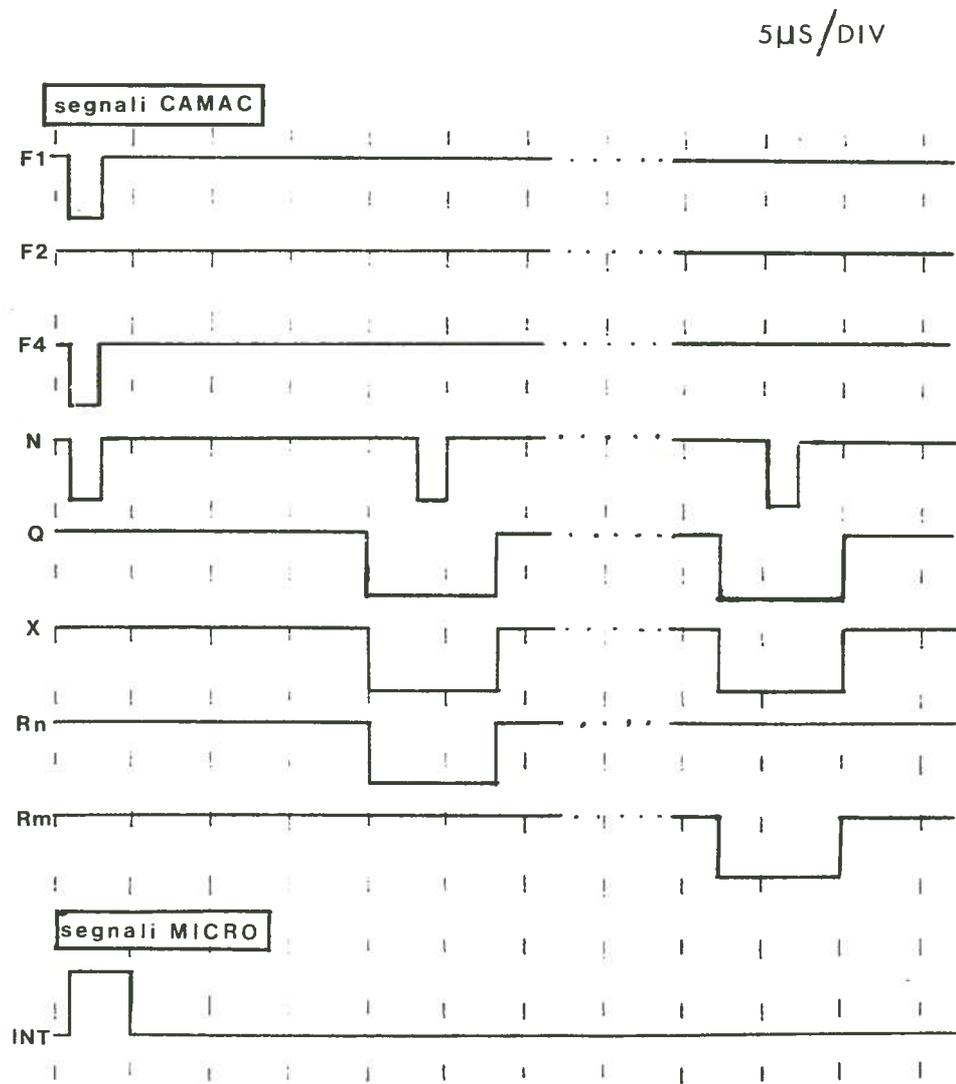


fig.5-Temporizzazione dei segnali di controllo

7.- CONCLUSIONI

Nell'ambito dell'esperimento in corso ogni MSCC gestisce 16 piani di FC secondo lo schema di fig.6. L'intera catena di acquisizione e' invece schematizzata in fig.7.

Pur disponendo di moduli che alle caratteristiche di una stazione CAMAC normale sommano i vantaggi derivanti da un'intelligenza distribuita, il sistema soffre di una mancanza di intercomunicazione fra i moduli. Per ovviare a cio' e' in esame la possibilita' di realizzare un sistema che, utilizzando il bus ausiliario di un crate controller A2, dialoghi direttamente con le singole stazioni indipendentemente dal computer principale.

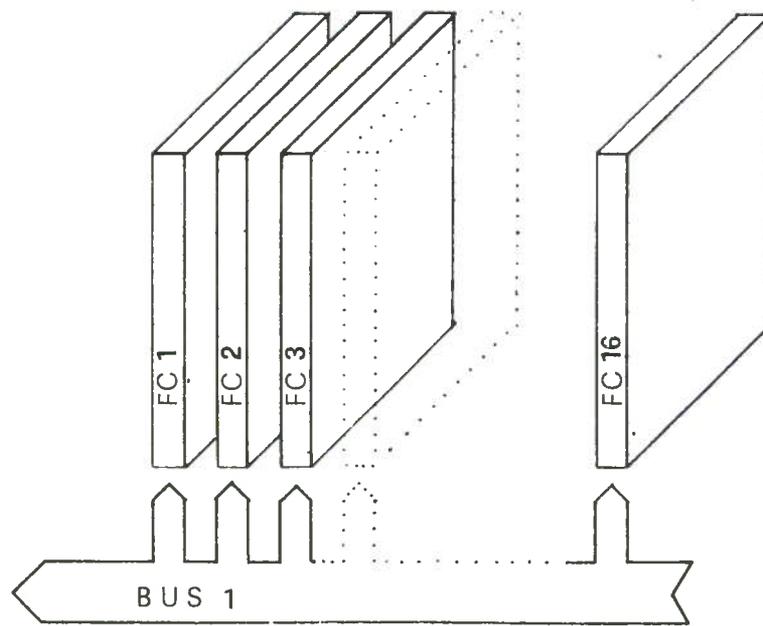


fig. 6 - Collegamento fra MSCC e FC

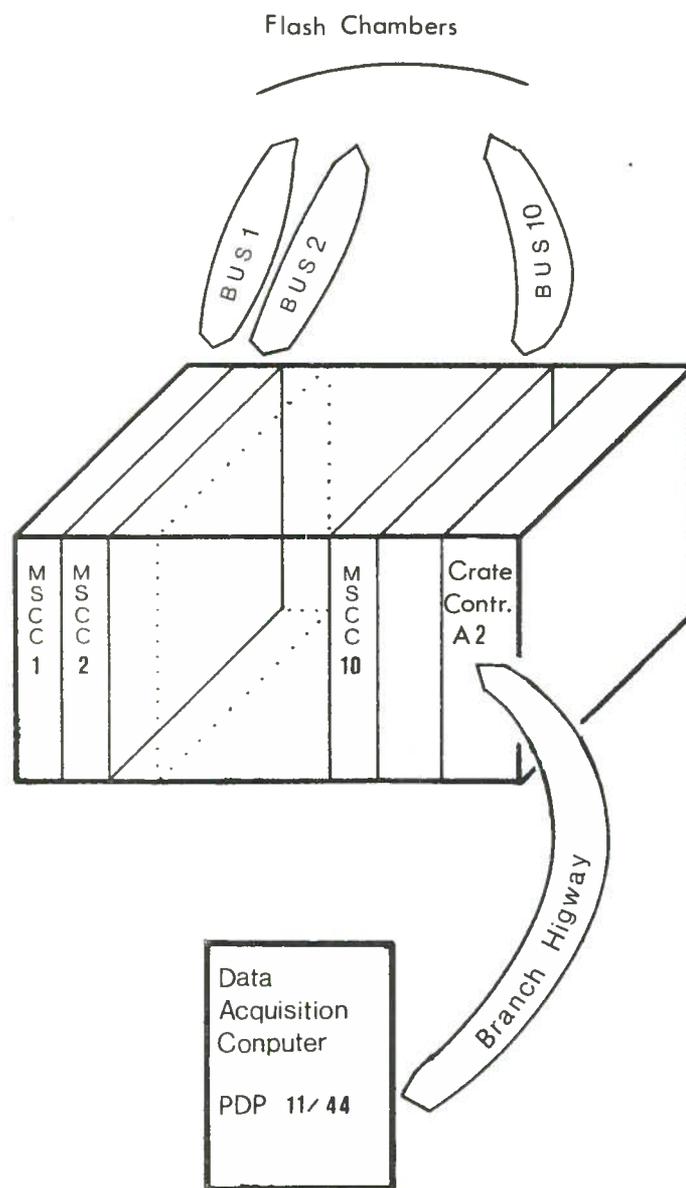


fig. 7 - Schema del sistema di acquisizione dati

REFERENZE

- (1) G.Bressi et al., Proposta per l'esperimento NADIR al reattore TRIGA MARK II presso il Laboratorio LENA dell'Universita' di Pavia, IFNUP/AE 12/81 (1981).
- (2) G.Bressi et al., The $n-\bar{n}$ oscillation experiment at the TRIGA MARK II Reactor of the University of Pavia, ICOBAN, Bombay(India), 11÷15 Gennaio (1982).
- (3) G.Bressi et al., The $n-\bar{n}$ oscillation experiment: design of the neutron collimator and shielding, VII European Conference of the TRIGA Reactor Users, Istanbul 15÷17 Settembre (1982).
- (4) G.Bressi et al., Performance of a large area flash chamber prototype, Hadronic Journal 6, 1330-1353 (1983).
- (5) INTEL iSBC 80/20-4, Single board computer hardware reference manual.
- (6) G.Liguori et al., Un sistema di prova di camere a flash mediante microprocessore, FNT/TS-84/27 (1984).