

ISTITUTO NAZIONALE DI FISICA NUCLEARE

Sezione di Milano

INFN/TC-85/10  
24 Giugno 1985

U.Baldin, G.Dalle Carbonare, M.Cighetti e E.Macavero:  
REALIZZAZIONE DI UNA UNITA' LOGICO-PROGRAMMABILE CAMAC  
TRAMITE SUPPORTO CAD

Servizio Documentazione  
dei Laboratori Nazionali di Frascati

**INFN - ISTITUTO NAZIONALE DI FISICA NUCLEARE**

**Sezione di Milano**

INFN/TC-85/10  
24 Giugno 1985

**REALIZZAZIONE DI UNA UNITÀ LOGICO-PROGRAMMABILE CAMAC  
TRAMITE SUPPORTO CAD**

**U. BALDIN (\*), G. DALLE CARBONARE (\*), M. CIGHETTI, E. MACAVERO**

**INFN - Sezione di Milano**

**(\*) - Honeywell ISI Pregnana Milanese (MI)**

**ABSTRACT**

Le tecniche di progettazione assistita da elaboratore, permettono di massimizzare l'affidabilità e la qualità del prodotto riducendo sia i tempi di sviluppo che i costi di progetto. Di conseguenza appare determinante l'impiego di tecniche CAD (Computer Aided Design), specie quando un tale sistema soddisfa i requisiti di facilità di impiego, uniformità e di trasportabilità dei dati.

**1. - INTRODUZIONE**

La necessità di disporre di sistemi elettronici sempre più sofisticati, rappresenta una naturale evoluzione nell'ambito sperimentale. Tuttavia la crescente densità di circuiti integrati, impone l'esigenza di adottare particolari strumenti atti ad alleviare le difficoltà connesse alla progettazione, al disegno e alla realizzazione del circuito stesso.

L'articolo descrive lo sviluppo di una Unità Logico-Programmabile, mediante progettazione assistita da elaboratore. Il sistema CAD impiegato, di cui viene fornita la descrizione, è stato messo a disposizione dal Centro Ricerche e Sviluppo Honeywell di Pregnana Milanese.

## 2. - IL MODULO ELETTRONICO

L'unità logico-programmabile, è un modulo elettronico sviluppato nell'ambito dell'esperimento WA 70, in fase di realizzazione al CERN di Ginevra. All'esperimento aderiscono: la sezione di Milano dello INFN, e le Università di Ginevra, Glasgow, Liverpool e Neuchatel.

Essa consente di simulare via software la funzionalità di una catena logica, rappresentata ad esempio da un Trigger elettronico. Inoltre può operare come look-up table ed è predisposta per contenere una unità aritmetico-logica.

Le logiche impiegate sono di tipo ECL, TTL e TTL FAST, per favorire la massima velocità operativa.

## 3. - IL SUPPORTO CAD

Per la realizzazione del circuito stampato è stato impiegato il sistema integrato HONDA, in uso nei centri di progettazione Honeywell. Esso utilizza una rete di computer formata da un grande sistema della serie 66, e da un insieme di sottosistemi periferici del tipo L6/DPS6.

HONDA richiede altre periferiche off-line di tipo grafico:

- un plotter elettrostatico Versatex, per il disegno di schemi logici e simbolici, e di artwork di controllo

- un sistema grafico CALMA, usato per completare manualmente il tracciato delle piste e per generare la libreria dei simboli logici

- un foto plotter GERBER per lo sviluppo dei circuiti stampati (PWB), oltre che per la produzione di prototipi Multi Wire e Wire Wrap.

## 4. - L'APPROCCIO AL SISTEMA

La realizzazione dell'unità ha richiesto, dato il relativo impiego a livello industriale, la descrizione nella libreria di sistema dei dispositivi ECL e TTL-FAST impiegati.

Anche la meccanica è stata sviluppata completamente per poter tracciare le dimensioni fisiche della scheda Camac e del connettore per il Dataway.

Al fine di minimizzare la lunghezza dei percorsi, un parametro particolarmente critico quando vengono impiegati circuiti ECL, i cross talk e le capacità parassite, è stata scelta la soluzione multi-layer a 4 strati. I lati superiore ed inferiore della scheda, comprendono tutte le varie piste relative ai segnali, mentre gli strati interni corrispondono all'alimentazione positiva, ed alla massa. Le griglie di interconnessione sono del tipo a 50 mil, mentre le piste di segnale presentano una larghezza di 12 mil.

La capacità del sistema a risolvere le connessioni si è dimostrata elevata. Infatti l'efficienza percentuale  $E$ , data dalla seguente relazione:

$$E = \frac{\text{lunghezza minima teorica dei ponti}}{\text{lunghezza effettiva}} \times 100$$

è stata stimata attorno al 98%.

## 5. - IL FLUSSO DI ATTIVITA'

Il diagramma di flusso dell'attività svolta per l'implementazione della scheda, è riassunto in figura 1.

Il sistema HONDA, comprende un Data Base principale denominato MUSER. Le librerie interne contengono la descrizione a livello di circuito e di componenti della piastra. I dati sono logicamente e fisicamente suddivisi nei seguenti file:

- UDF (User Design File)
- CLF (Component Library File)
- TLF (Topological Library File)

La libreria CLF include la descrizione dei circuiti integrati impiegati. Oltre che le serie standard più diffuse, è possibile inserire all'interno chip con caratteristiche speciali. Ad ogni dispositivo vengono associati il comportamento elettrico, il funzionamento logico e la architettura così come vengono fornite da le ditte costruttrici.

Il file UDF comprende i dati di progetto sotto forma di dati logici e di interconnessioni con riferimento ai componenti precedentemente descritti nel CLF.

Il terzo file, (TLF), contiene le descrizioni:

- fisiche topologiche dei pin di ciascun componente
- la geometria dei piani e le bande di massa e tensione posizionati sulla piastra.

La fase caratterizzata dall'impiego di questi file corrisponde allo stadio di *Logic Front End*.

Operato lo *schematic entry*, il sistema documenta con un insieme di resoconti l'attività svolta. In primo luogo vengono stampati:

- il diagramma logico dello schema (LBD), di cui la figura 2 illustra un particolare
- i nomi segnali caratteristici di ciascun componente ( figura 3 )
- la *load list* delle interconnessioni con le eventuali segnalazioni di violazione delle regole di descrizione elettriche e topologiche del chip.

( La figura 4 elenca un rapporto in cui vengono riscontrati conflitti tra alcuni segnali )  
Le operazioni di verifica precedenti avvengono confrontando i vari livelli di UDF generati. Il passo successivo consiste nel posizionamento dei vari componenti sulla piastra. L'operazione avviene fornendo le coordinate cartesiane di ogni componente.

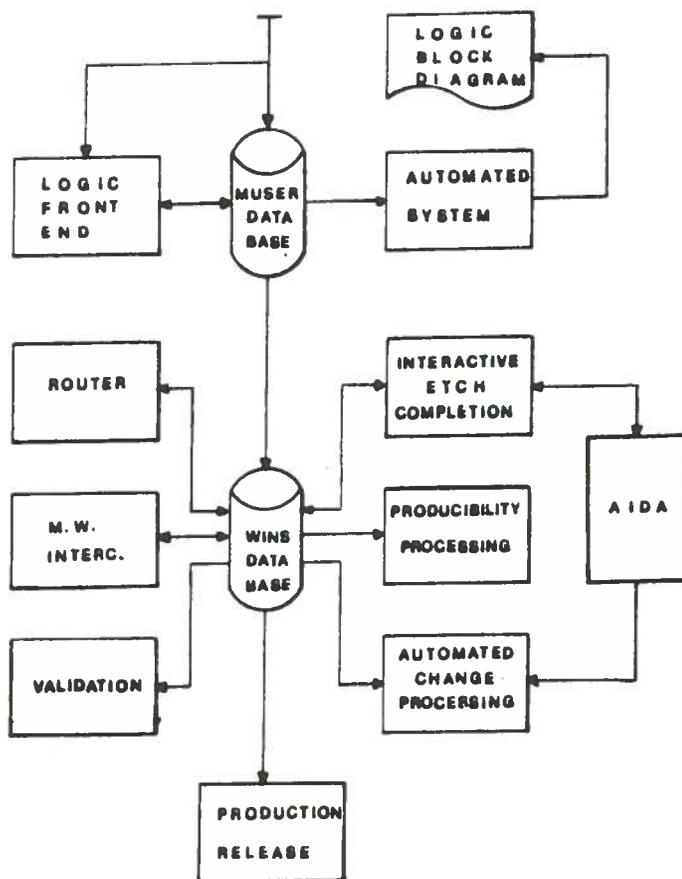


FIG. 1 - Diagramma logico del sistema CAD.

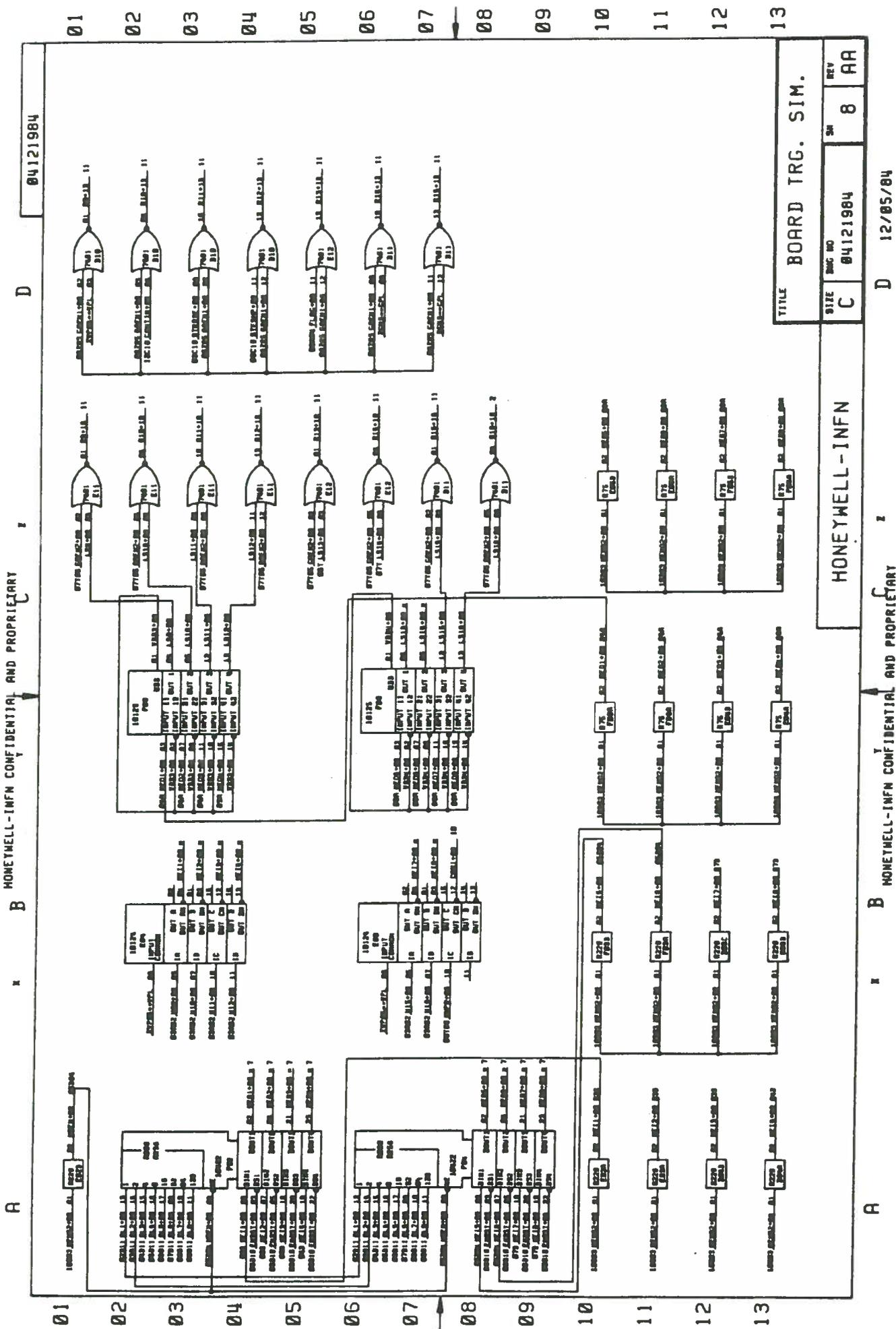


FIG. 2 - Particolare del diagramma logico a blocchi rilasciato dal sistema.

11/13/84	10:11:58	TITLE	6F4TR8	---	PIN LISTING ---	PAGE	4
BOARD	6F4TR8			TEL7	RINIPROD/6F4TR8/TEL7		
03	011+00	M	02	0A05+00	S	13	0T5H+00
04	TTEL+00	L	03	0A06+00	S	14	COMMON+00
05	TTEL+00	L	04	TTEL+00	L	14	COMMON+0A
06	ME01+00	L	05	PEC5+00	L	15	COMMON+00
07	ME01+00	L	06	TTEL+00	L	15	COMMON+00
08	ZVM05	IV	07	ME06+00	L	16	Z6M0
10	TTEL+00	L	08	ZVM05	IV		
11	TTEL+00	L	12	EMH01+00	L	10422	U17
12	ME02+00	L	13	EMH01+00	L	01	Z6M0
13	ME02+00	L	15	COM4+00	S	02	ME01+00
14	012+00	S	16	Z6M0	01	03	EM01+00
14	012+0A	M				04	ME02+00
15	012+00	S	10102	U10		05	EM03+00
15	012+00	M	01	Z6M0	01	06	ME11+00
16	Z6M0	01	02	015+00	S	07	ME12+00
			02	015+0A	M	08	ME04+00
			03	015+00	S	09	0L6+00
10104	U07		04	TTEL+00	M	10	0L7+00
01	Z6M0	01	05	015+00	L	11	0L8+00
02	0A01+00	S	06	PEC5+00	L	12	ZVM05
03	0A02+00	S	07	ME05+00	L	13	0L1+00
04	TTEL+00	L	08	ZVM05	L	14	0L2+00
05	ME01+00	L	10	TTEL+00	IV	15	0L3+00
06	TTEL+00	L	11	TTEL+00	L	16	0L4+00
07	ME02+00	IV	12	ME06+00	L	17	0L5+00
08	ZVM05	L	13	ME06+00	L	18	ME13+00
10	TTEL+00	L	14	016+00	L	19	ME14+00
11	ME03+00	L	14	016+0A	S	20	EM03+00
12	TTEL+00	L	14	016+0A	M	21	ME03+00
13	ME04+00	L	15	016+00	S	22	EM01+00
14	0A03+00	S	15	016+00	M	23	ME04+00
15	0A04+00	S	16	Z6M0	01	24	Z6M0
16	Z6M0	01					

FIG. 3 - Assegnazione dei nomi segnale.

```

A02+00  XX          DUMMY20 17  U51 01A05†
***W25 THE ABOVE TRANSMIT/RECEIVE PIN (FTG = T) MAY SOURCE CONFLICT WITH FOLLOWING SOURCE
A02+00  XX          CON86BP 18  201 03A02†
17      DUMMY20    U51 01A05†

A04+00  XX          DUMMY20 18  U51 01A05†
***W25 THE ABOVE TRANSMIT/RECEIVE PIN (FTG = T) MAY SOURCE CONFLICT WITH FOLLOWING SOURCE
A04+00  XX          CON86BP 16  201 03A02†
18      DUMMY20    U51 01A05†
    
```

FIG. 4 - Segnalazioni di possibili conflitti.

## 6. - IL ROUTING AUTOMATICO

Operato un controllo elettrico dello schema rilasciato, il passo successivo consiste nel generare il processo di pre-tracciamento delle piste. Il tutto avviene sotto il controllo della Working Interconnection Structure (WINS). Anche in questa fase sono stampati un certo numero di documenti che permettono all'utente di verificare il corso dei lavori. Al termine dell'elaborazione, vengono disegnate le interconnessioni effettuate, e le eventuali connessioni che il sistema non è riuscito a svolgere.

La figura 5 illustra un tipico *output*, in cui è possibile notare le quattro connessioni che il sistema non è riuscito a svolgere.

In maniera interattiva, tramite il sottosistema AIDA, è possibile operare le variazioni che consentono la copertura totale del processo. In seguito il WINS provvede ad un ulteriore riciclo per il riscontro di eventuali errori commessi durante la fase manuale.

Successivi programmi di controllo, prima della fase di realizzazione fisica dell'*artwork*, permettono di operare una verifica dei cross-talk caratteristici di ciascun segnale, associando alla lunghezza della pista, la capacità parassita, il relativo fan out, il ritardo di propagazione del segnale ecc.

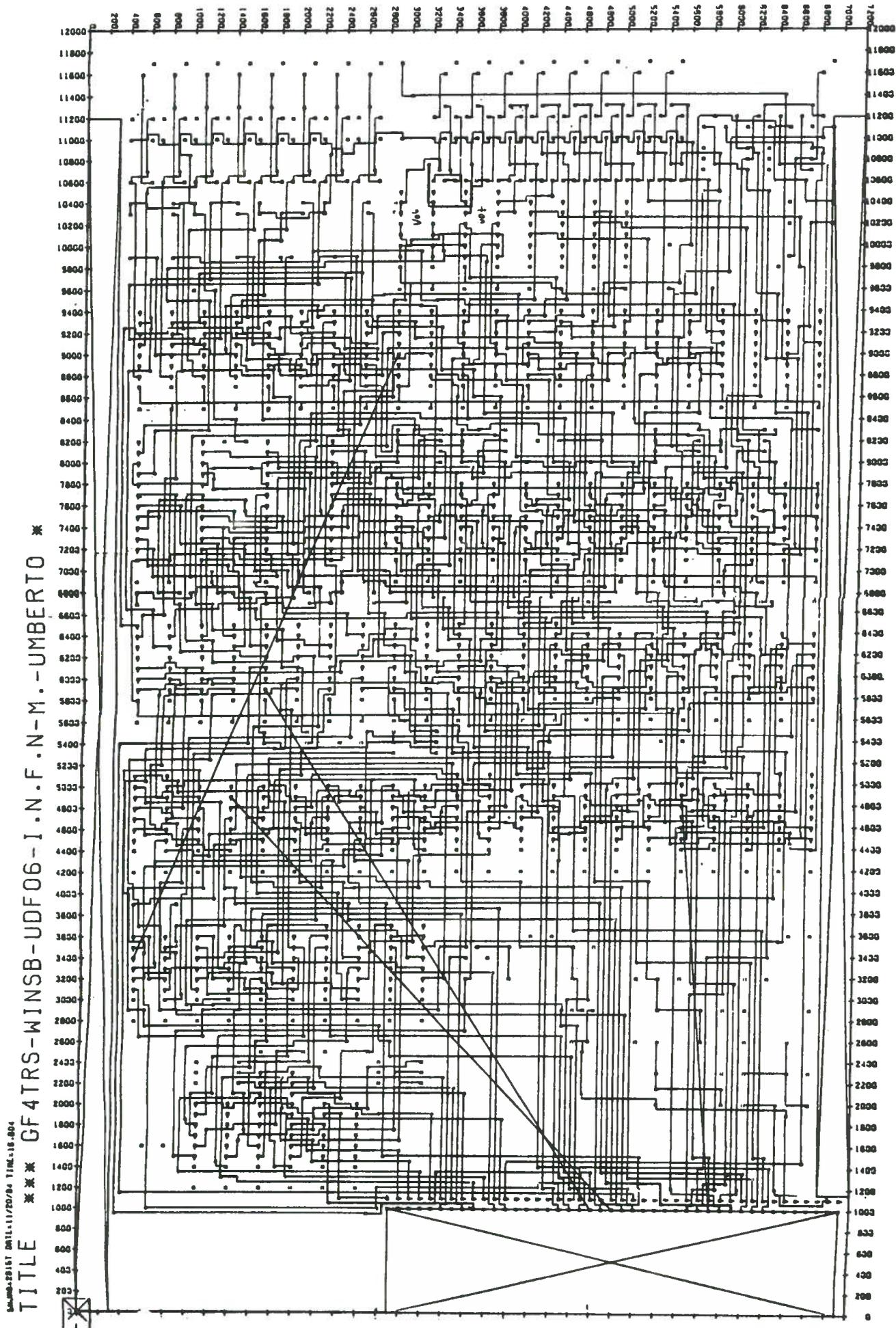


FIG. 5 - Processo di pre-tracciamento. Durante il primo run non sono state effettuate le quattro connessioni evidenziate.

La figura 6 indica un *length calculation report*, mentre la 7 fornisce il resoconto statistico del run.

***** LENGTH CALCULATION REPORT *****										
BOARD NAME = GF4TR3										
12/06/84 10.598 PAGE: 1										
NETNAME	ETCH LENGTH	WIRE LENGTH	SOURCE PINS	LOAD PINS	CONN PINS	VIA COUNT	LENGTH / FANOUT	CAPACITANCE	CAP / FANOUT	TIME DELAY
A01+00	3000	0	1	0	1	2	3000.00	15.00	15.00	0.709
A02+00	4500	0	1	0	1	4	4500.00	19.00	19.00	0.978
A04+00	2600	0	1	0	1	1	2600.00	13.70	13.70	0.651
A08+00	2600	0	1	0	1	1	2600.00	13.70	13.70	0.651
BA01+00	1300	0	3	0	0	1	650.00	17.10	8.55	0.497
BA02+00	1300	0	3	0	0	0	650.00	16.60	8.30	0.490
BA03+00	1400	0	3	0	0	2	700.00	17.80	8.90	0.527
BA04+00	1600	0	3	0	0	2	800.00	18.20	9.10	0.569
BA05+00	2700	0	3	0	0	2	1350.00	20.40	10.20	0.784
BA06+00	3100	0	3	0	0	2	1550.00	21.20	10.60	0.856
BA07+00	2900	0	3	0	0	3	1450.00	21.30	10.65	0.850
BA08+00	2700	0	3	0	0	3	1350.00	20.90	10.45	0.793
BC11+00	700	0	1	1	0	0	700.00	5.40	5.40	0.203

FIG. 6 - Calcolo dei parametri elettrici associati a ciascuna pista.

L'ultima fase consiste nel processo di emissione dei documenti (DDI), e quindi nella generazione degli *artwork* tramite Foto Plotter. La figura 8 illustra il risultato finale prima di procedere alla stesura su mylar.

## 7. - LE CARATTERISTICHE FUNZIONALI

L'unità programmabile, è una scheda Camac compatibile con il sistema di acquisizione REMUS adottato presso il CERN di Ginevra.

Questi non prevede la gestione di sub-address in lettura e a tale riguardo garantisce solamente F(0) ed F(2), che tra l'altro, nel medesimo Crate sono mutuamente esclusive. Viceversa, per quanto riguarda le funzioni di scrittura F(16), REMUS consente di utilizzare tutti i sub-address previsti dal Camac.

Il modulo presenta 8 ingressi ed 8 uscite standard NIM.

La programmazione avviene scrivendo in una memoria ECL a breve tempo di accesso, le configurazioni desiderate. Oltre che i segnali di I/O già citati, il modulo presenta un ingresso di ABILITAZIONE, posto sul lato frontale.

TOTAL NUMBER OF NETWORKS REPORTED	=	256
NUMBER OF NETWORKS WITH A INVALID LENGTH	=	2
NUMBER OF NETWORKS WITHIN 20% OF MAXIMUM	=	6
NUMBER OF NETWORKS WITH A VALID LENGTH	=	248
NUMBER OF NETWORKS AFFECTED BY CROSSTALK	=	0
TOTAL NUMBER OF CROSSTALK VIOLATIONS	=	0
TOTAL LENGTH OF NETWORKS	=	1140.000 INCHES
AVERAGE NETWORK LENGTH	=	4.453 INCHES

FIG. 7 - Resoconto statistico del run.

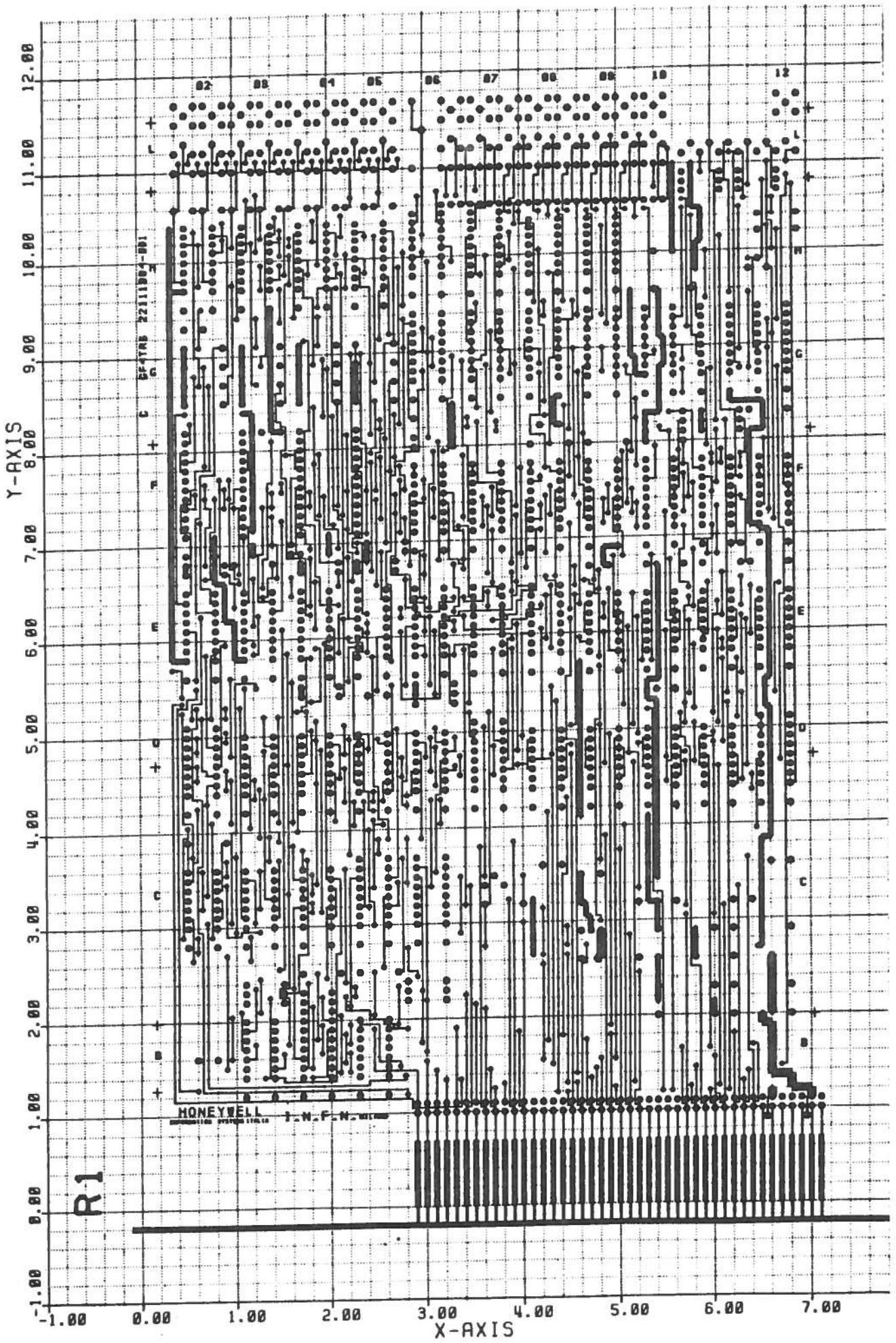


FIG. 8 - Stesura definitiva della scheda così come appare prima di procedere alla realizzazione fisica.

### 7.1 - Modi operativi

- **OVERLAP** : la larghezza dell'impulso di uscita è uguale alla sovrapposizione degli impulsi di ingresso
- **ABILITAZIONE** : la larghezza degli impulsi in uscita è uguale alla larghezza dell'impulso di abilitazione del modulo

### 7.2 - Prestazioni operative

- In modalità **OVERLAP** l'unità opera fino ad una frequenza di 120 MHz, l'impulso minimo è di 4 ns.
- In modalità **ABILITAZIONE**, la frequenza massima è di 80 MHz, l'impulso minimo è pari a 6 ns.

I ritardi di propagazione sono rispettivamente per l'OVL di 13 ns, e in modalità **ABILITAZIONE** di 16 ns.

La potenza dissipata è pari a circa 16 Watt.

Via Hardware è possibile selezionare il numero di ingressi ed uscite desiderate, fino a raggiungere il massimo disponibile.

### 7.3 - Funzioni Camac REMUS

- **F(0) A(0)** : opera la lettura della configurazione di uscita sulle linee R9-R16
- **F(2) A(0)** : legge sulle linee R9-R16 il contenuto di una data locazione di memoria
- **F(9) A(0)** : azzerà il registro indirizzi
- **F(16) A(0)** : carica in memoria il byte presente sulle linee W9-W16
- **F(16) A(1)** : definisce l'indirizzo di memoria desiderato
- **F(16) A(2)** : disabilita al tempo S1 gli ingressi
- **F(16) A(3)** : memorizza il pattern
- **C o Z** : abilitano gli ingressi

### RINGRAZIAMENTI

Il gruppo GAP della sez. di Milano dello INFN ringrazia per la cortese collaborazione e per il lavoro di coordinamento nella fase di progettazione CAD, C. Monducci e P. Radice della divisione H/W-F/W Design Tools and Methodologies della Honeywell ISI.

### REFERENZE

D. Bauer, A. Lorenzini, *Progettazione di circuiti integrati e stampati*, memoria presentata al Convegno "Il calcolatore nella progettazione industriale" (Milano - Fondazione A. Beltrami)(1983)