



L'AMPLIFICATORE DI CARICA DEL CHIP SER_09

E. Energico, P. Parascandolo

*CNR-INFN sez Napoli / INFN Sez Napoli, Servizio Elettronica Rivelatori 1G05
CU Monte Sant'Angelo - Dip. di Fisica, Via Cintia, I-80126 Napoli, Italy*

Abstract

Il numero dei canali di lettura negli esperimenti di fisica sia di alta energia che di bassa energia che impiegano rivelatori al silicio sta incrementando continuamente, e pertanto c'è un grande sviluppo di dispositivi custom che integrano sullo stesso ASIC un numero grande di canali sia allo scopo di abbattere i costi sia allo scopo di compattare un elevato numero di canali su di una piccola superficie.

Per l'esperimento EXPADES, il Servizio Elettronico e Rivelatori della Sezione INFN di Napoli, ha sviluppato il chip SER_09 in tecnologia CMOS da 0.35 micron della AMS (Austrian Microsystem).

L'ASIC legge 16 strip e, per ciascun canale nella sezione d'ingresso, è stato incorporato, oltre all'amplificatore di carica, anche una uscita veloce per il timing. L'uscita dell'amplificatore di carica è connessa dapprima ad uno shaper ed è poi seguita da un banco di 16 peak and hold e da un multiplexer analogico a 16 canali.

1. INTRODUZIONE

L'apparato EXPADES è stato pensato per studiare i meccanismi di reazione ad energie prossime alla barriera di Coulomb. Lo scopo del progetto è stato quello di creare un sistema che avesse una grande copertura angolare, un'alta granularità e che fosse grandemente integrato e miniaturizzato. I rivelatori al silicio a larga area sono 16 e sono posizionati vicino alla targhetta come mostrato in Figura 1.

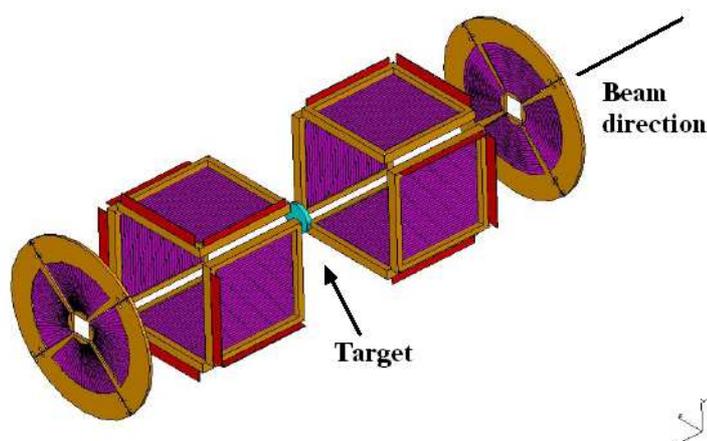


Fig. 1 – Posizionamento del rivelatore EXPADES, la targhetta e la direzione del fascio.

Gli 8 rivelatori di forma quadrata sono disposti su piani paralleli alla direzione del fascio, mentre due rivelatori anulari sono piazzati su piani ortogonali alla direzione del fascio. I rivelatori di forma quadrata hanno un'area attiva di $64 \times 64 \text{ mm}^2$. Ci sono 32 strip larghe 2 mm distanziate di 40 micron tra di loro. Entrambi i rivelatori sono spessi 300 micron e la risoluzione in energia misurata con elettronica standard è intorno a 30-40 keV per particelle alfa di calibrazione. La corrente di leakage e la capacità del rivelatore sono rispettivamente 20 nA e 20 pF. L'intero apparato consta di più di 500 elementi. Un rivelatore a doppia faccia come quello usato su EXPADES richiede un front end che possa processare segnali di entrambe le polarità. Il tipo di reazione nucleare implicata, tenuto conto dello spessore di 300 micron del rivelatore, richiede un range dinamico di ingresso di 150 MeV o anche di 7 pC in termini di carica collezionata sull'anodo di ciascuna strip.

A parte la misura dell'energia specificata sopra, l'esperimento richiede anche una uscita veloce per misurare la molteplicità dei singoli eventi di reazione. Con la molteplicità a disposizione si può realizzare in modo semplice un trigger di primo livello.

L'intensità dei fasci radioattivi richiede un rate di acquisizione di 100 KHz.

In un esperimento classico il massimo rate di acquisizione è limitato dalla costante di tempo $R_F * C_F$ dell'amplificatore di carica e tipicamente è compresa tra 10 e 100 microsecondi. Questi valori sono relazionati alla sensibilità del preamplificatore (C_F) e alle caratteristiche di

rumore della intera catena (R_F). Con $\tau_F = R_F * C_F = 100 \mu s$, il rate di acquisizione è inferiore 10 KHz e pertanto una rete per il reset è indispensabile.

Inoltre, il rivelatore deve funzionare all'interno di una camera a vuoto e perciò è necessario che l'elettronica di readout sia a basso assorbimento e che sia di dimensioni ridotte.

2. SCHEMA A BLOCCHI

Per soddisfare alle specifiche indicate, l'ASIC include 16 canali di front end (Fig. 2). Il segnale della strip è inviato all'amplificatore di carica "Charge Sensitive Amplifier" (CSA) che fornisce, oltre alla uscita in carica, anche un segnale in tensione proporzionale alla corrente che attraversa il rivelatore. Questa uscita ha una ottima risoluzione temporale e perciò può essere usata nella logica di trigger. A tale scopo, su ciascun canale è stato previsto un comparatore con uscita digitale e soglia impostabile individualmente a mezzo di un DAC a tre bit.

L'uscita in carica del CSA è collegata ad un filtro semigaussiano CR_RC^2 .

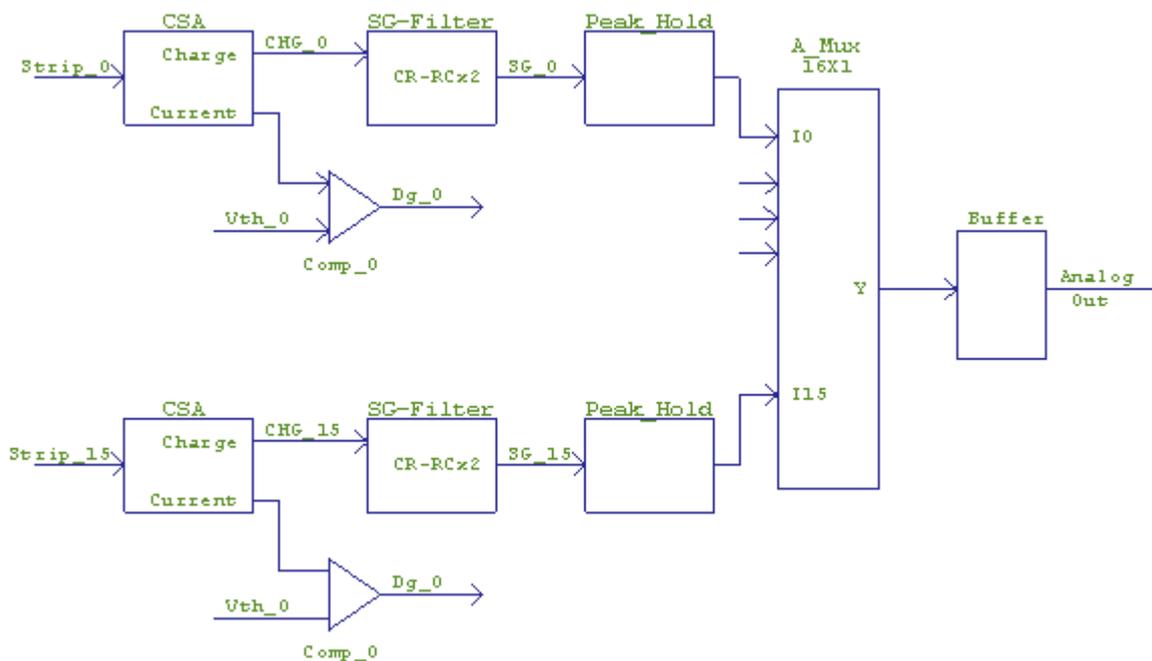


Fig. 2 – Schema a blocchi di SER_09

L'uscita del filtro ha una forma d'onda simile ad una gaussiana con un tempo di salita all'incirca di un microsecondo. Il peak and hold successivo può acquisire il picco del segnale d'ingresso con una precisione migliore dell'1% già con tempi di salita di 100ns. ed ha un bassissimo "dropout".

Le uscite dei rivelatori di picco sono connesse ad un multiplexer analogico a 16 ingressi che fornisce in uscita la tensione analogica presente sul canale indirizzato tramite un codice digitale. Il buffer di uscita serve a trasmettere all'uscita della camera il segnale analogico e pertanto è costituito da un driver ad alta corrente.

3. LA CONVERSIONE DELLA CARICA

La conversione di una carica in una tensione, può essere effettuata trasferendo la carica su di un condensatore di integrazione, amplificando, e misurando la tensione che ne risulta. Per applicare questa tecnica ad un rivelatore al silicio e volendo una risoluzione di qualche per mille, è però necessario che la capacità di integrazione risulti di almeno tre ordini di grandezza superiore alla somma della capacità della strip e di quella delle interconnessioni. Poiché la capacità tipica di una strip è di almeno 20 pF, integrare il condensatore richiesto su di un chip custom è di fatto impossibile.

Per trovare una soluzione a questo problema l'effetto Miller (Fig. 3) che è visto in genere come una limitazione, può rappresentare invece una brillante soluzione circuitale.

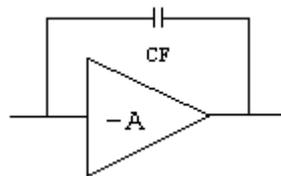


Fig. 3 – Effetto Miller.

Se difatti il condensatore C_F (Fig. 3) è posto ai capi di un amplificatore di tensione che ha un guadagno pari a $-A$, allora l'impedenza vista dall'ingresso vale $Z_{in} \cong X_{CF} / -A \cong 1 / (j \omega C_F A)$ e cioè la capacità vista dall'ingresso - nel caso però che tutta la carica venga raccolta su C_F - è A volte più grande di C_F . Nell'implementazione pratica, un transistor o una grossa resistenza R_{FB} è posta ai capi di C_F per fare in modo che l'amplificatore non vada in saturazione e la costante di tempo della scarica di C_F è determinata da questa resistenza. Un elevato valore del guadagno è indispensabile sia per fare una C_F piccola, e utilizzare così poca area di silicio, sia per avere una bassa impedenza di uscita perché la capacità C_F si deve comunque caricare anche attraverso di essa.

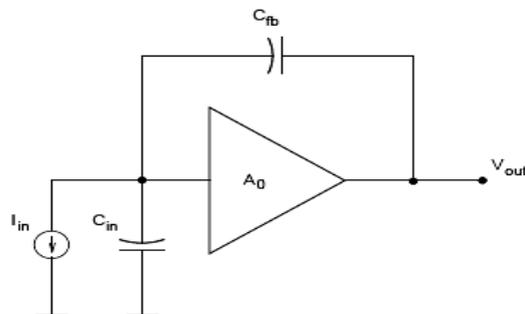


Fig. 4 – L'amplificatore di carica interconnesso al rivelatore.

Se l'amplificatore A_O non ha poli [1] ed è un amplificatore di tensione il circuito equivalente è in Figura 5.

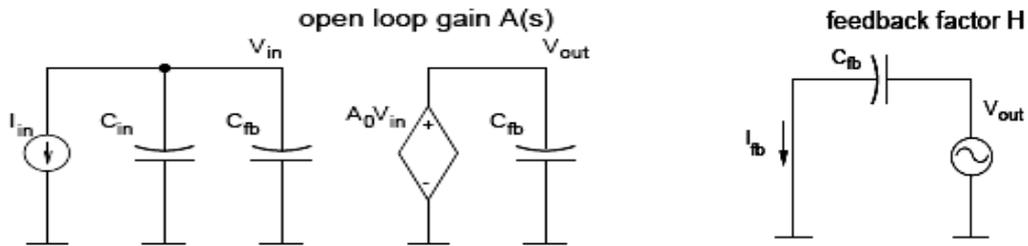


Fig. 5 – Circuito equivalente con amplificatore di andata e rete di retroazione

Essendo $V_{in} = I_{in} s(C_{in} + C_{fb})$, $V_{out} = A_O V_{in}$ ed $H(s) = s C_{fb}$, i guadagni $A(s)$ e $A_{CL}(s)$ risultano:

$$A(s) = \frac{A_O}{s(C_{in} + C_{fb})} = \frac{A_O}{sC_{in,tot}}$$

$$A_{CL}(s) = \frac{1}{sC_{fb}(1+1/A_O) + sC_{in}/A_O} \approx \frac{1}{sC_{fb}}$$

e notiamo come, essendo l'amplificatore di carica assimilabile ad un integratore, esso abbia un solo polo nella origine.

Nei casi pratici però, l'amplificatore A_O ha almeno un polo. In questo caso – a parte il polo di integrazione a frequenza zero – esiste un secondo polo a:

$$\omega'_1 = \frac{A_O C_{fb}}{C_{in,tot} C_{out}} = GBW \frac{C_{fb}}{C_{in,tot}}$$

che appare sull'asse reale negativo. GBW indica il prodotto del guadagno per la banda passante ed è definito come il prodotto del guadagno in bassa frequenza per il polo di uscita dell'amplificatore. Notiamo quindi che in questa configurazione, pur essendoci un secondo polo, questo è molto spostato in avanti sul semipiano negativo e quindi non dà problemi di instabilità.

Il tempo di salita vale:

$$t_{rise} = 2.2 / \omega'_1 = \frac{2.2}{GBW} \frac{C_{in,tot}}{C_{fb}}$$

Lo slew rate dell'amplificatore di carica si ottiene sostituendo a GBW il rapporto (A_O/C_{out}). Se l'amplificatore è fatto con uno stadio a MOS, e noi incrementiamo la C_{fb} , rendendola approssimativamente eguale a C_{out} il tempo di salita minimo è dato da:

$$t_{\text{rise,min}} = \frac{2.2 C_{\text{in}}}{A_0} = \frac{2.2 C_{\text{in}}}{g_m}$$

dove g_m è la trasconduttanza del transistor d'ingresso dell'amplificatore. Se, per esempio, volessimo ottenere un tempo di salita di 10 ns con $C_{\text{in}} = 20$ pF, g_m dovrebbe essere eguale a 4.4 mA/V. Questo valore di trasconduttanza è realizzabile anche in una configurazione a MOS.

4. LA CONFIGURAZIONE CIRCUITALE

Fare un'amplificazione elevata (dell'ordine di 10^4) richiede particolari configurazioni circuitali con più stadi di amplificazione. Ricordando che un singolo stadio a common source ha un'amplificazione che vale $g_m \cdot R_D$, bisogna intervenire sia aumentando la trasconduttanza sia aumentando il carico sul drain.

Un generatore di corrente collegato come carico attivo, può dare elevate impedenze sul drain ed al tempo stesso consentire anche una polarizzazione ottimale. Per quanto riguarda l'aumento della trasconduttanza, l'unica strada percorribile è quella dell'aumento delle dimensioni del transistor d'ingresso, cosa questa che comporta un aumento della capacità tra gate e drain C_{GD} che può dar luogo a problemi di instabilità.

Per rendere l'amplificatore poco sensibile alla C_{GD} viene usata la configurazione a cascode che elimina completamente l'effetto Miller sul transistor d'ingresso trasformando la tensione d'ingresso in una corrente che viene poi applicata ad uno stadio a common gate. La configurazione folded cascode (Fig. 6) che impiega due transistor di tipo diverso (PMOS-NMOS) per svolgere la medesima funzione, ha anche una dinamica migliore.

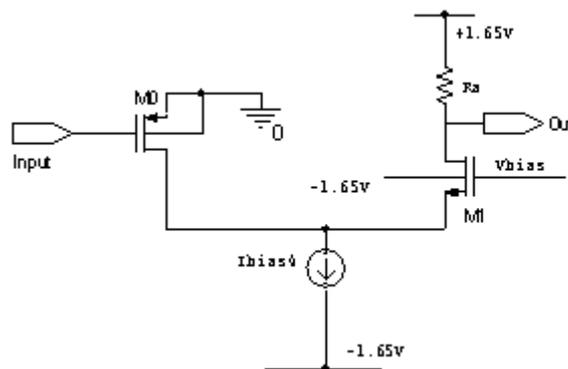


Fig. 6 – La configurazione *Folded Cascode*.

La resistenza R_a che agisce da carico nella configurazione di Fig. 6 può essere implementata essa stessa come un cascode ottenendosi così un carico consistente ed un elevato guadagno.

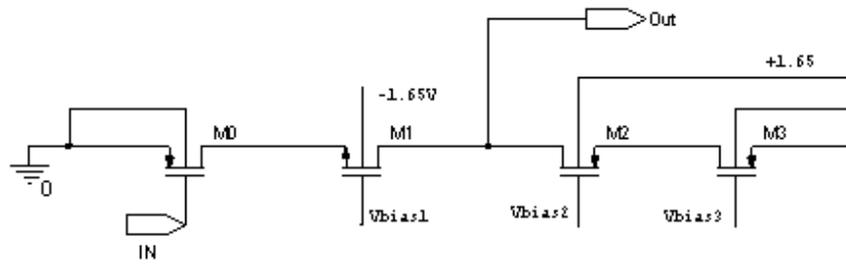


Fig. 7 – Configurazione folded cascode a carico attivo.

La resistenza vista dal terminale di uscita è il parallelo della resistenza vista guardando dentro ad M1 ($g_{m1} r_{o1} r_{o0}$) con la resistenza che si vede guardando dentro ad M2 ($g_{m2} r_{o2} r_{o3}$).

L'amplificazione dello stadio folded cascode come appare dalla Figura 7 vale:

$$A_v = g_{m0} [(g_{m1} r_{o1} r_{o0}) // (g_{m2} r_{o2} r_{o3})]$$

L'impedenza di uscita vale:

$$R_{out} = [(g_{m1} r_{o1} r_{o0}) // (g_{m2} r_{o2} r_{o3})]$$

E quindi il circuito di Figura 7 pur costituendo il cuore del CSA, necessita di uno stadio di uscita per poter pilotare dei carichi successivi.

Nella Figura 8 è mostrata l'interconnessione semplificata tra il folded cascode e la strip di silicio dove per semplicità sono state omesse le capacità di interconnessione e la capacità di accoppiamento (perché le strip lavorano con una tensione di bias di qualche diecina di Volt). Viene però connessa la capacità di integrazione C_{fb} tra ingresso ed uscita e la resistenza R_{fb} di valore elevato che serve a scaricare la carica cumulata su C_{fb} . Sono anche omesse le reti di polarizzazione per le tre tensioni di bias e quella per il generatore di corrente I_{bias} .

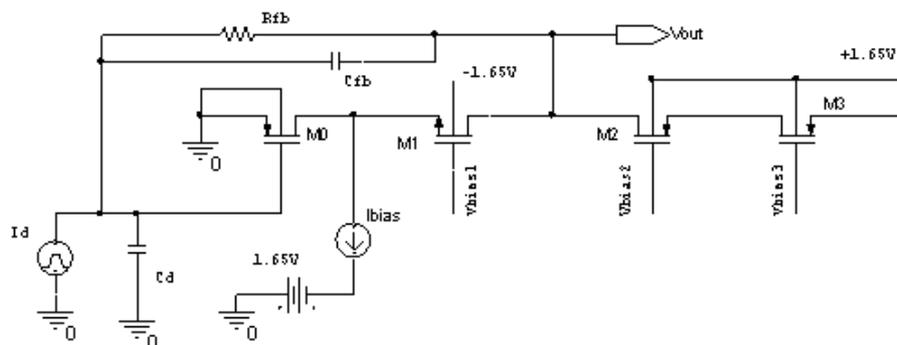


Fig. 8 – CSA semplificato.

Il circuito equivalente del CSA semplificato è disegnato in Figura 9. Nello schema g_m denota la trasconduttanza del transistor d'ingresso M0; C_{tr} la somma della capacità tra gate e source e gate drain di M0; C_1 è la somma delle capacità tra gate e drain e drain body dei transistor M3 ed M2, mentre R_1 corrisponde alla resistenza di uscita misurata in assenza di retroazione.

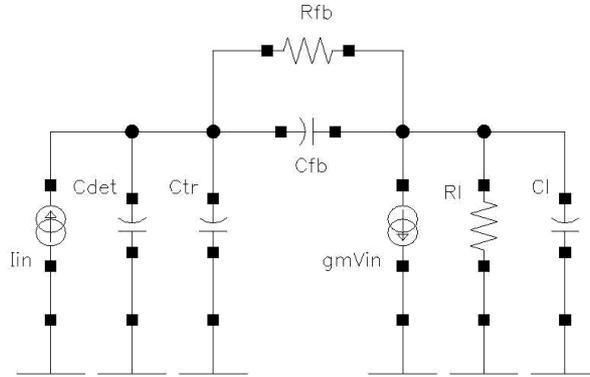


Fig. 9 – Circuito equivalente per il CSA semplificato.

Il calcolo della funzione di trasferimento è stato fatto da Sansen e Chang [2] assumendo $g_m R_{out} \gg 1$ ed $R_{out} = R_{fb} // R_1$ ci dà:

$$V_{out}(s) = - \frac{g_m}{\frac{g_m}{R_{fb}} + s g_m C_{fb} + s^2 C_{in} C_{out}} i_{in}(s)$$

dove

$$C_{out} = C_{fb} + C_1, \quad C_{in} = C_{det} + C_{tr} + C_{fb}$$

La funzione di trasferimento è quindi una funzione del II ordine e, assumendo che i poli siano largamente separati, si ha:

$$\omega_{p1} = - \frac{1}{\tau_1} = - \frac{1}{R_{fb} C_{fb}}$$

$$\omega_{p2} = - \frac{1}{\tau_2} = - \frac{g_m C_{fb}}{C_{in} C_{out}} = - \text{GBW} \frac{C_{fb}}{C_{in}}$$

Il primo polo è dato dalla costante di tempo $R_{fb} C_{fb}$ della rete di retroazione; il secondo polo è il risultato della retroazione capacitiva. Il segnale di uscita nel dominio del tempo è stato calcolato ancora da Sansen e Chang [2] ed è dato da:

$$V_{out}(t) \approx \frac{Q \tau_1}{C_{fb}(\tau_1 - \tau_2)} (e^{-\frac{t}{\tau_1}} - e^{-\frac{t}{\tau_2}})$$

Per poter pilotare degli stadi successivi il CSA necessita di un buffer di uscita lineare che abbassi l'impedenza di uscita a livelli ragionevoli. Per questo motivo è stato inserito un source follower (M4) con un generatore di corrente sul source (M5) per aumentarne la linearità (Figura 10).

Con un amplificatore ideale tutta la corrente in uscita dal rivelatore va a caricare la capacità di retroazione C_{fb} esterna al CSA. Questa corrente però si deve chiudere circolando attraverso lo stadio di uscita. Per questo motivo collegando un transistor (M6) nella zona a triodo e facendolo funzionare da resistore è possibile ottenere un segnale (I_{out}) proporzionale alla corrente di uscita dal rivelatore.

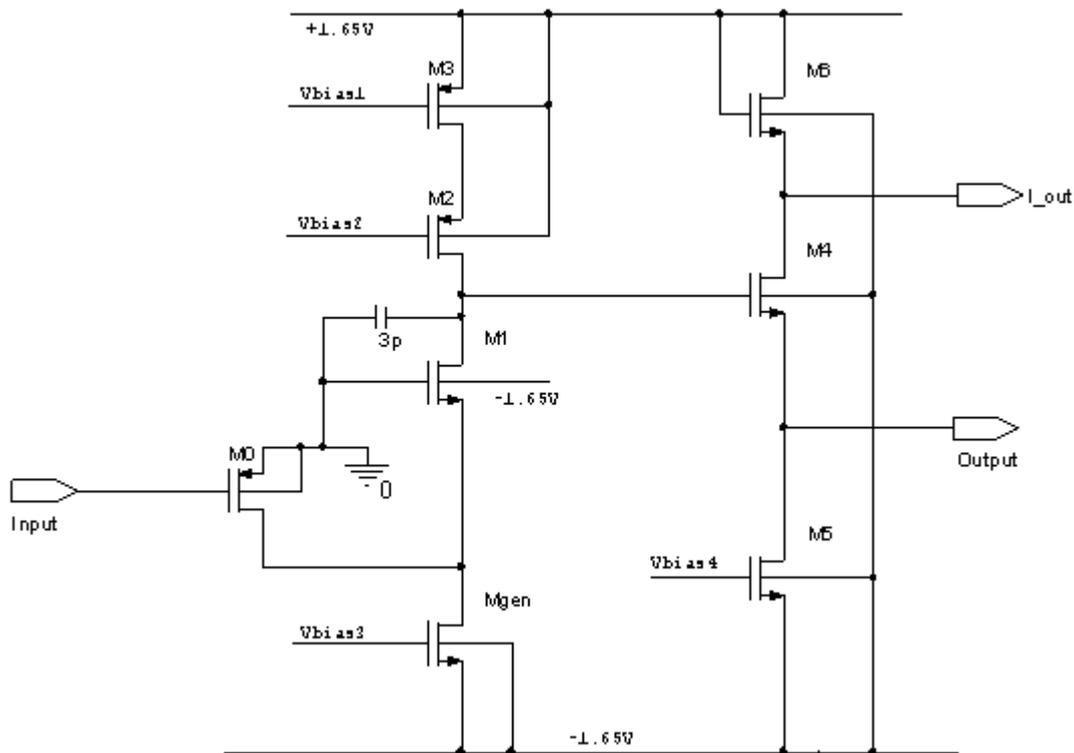


Fig. 10 – *Folded cascode e stadio di uscita.*

5. SIMULAZIONI PRE-LAYOUT

Il disegno completo, fatto con VIRTUOSO della suite di Cadence, dell'amplificatore è mostrato in Figura 11. La simulazione parametrica di Figura 12 è fatta comandando con un generatore di corrente (da 5 a 65 μ A e di 100 ns di durata) e un condensatore in parallelo da 20 pF che simula la strip e con un filtro CR-RC² in uscita [3].

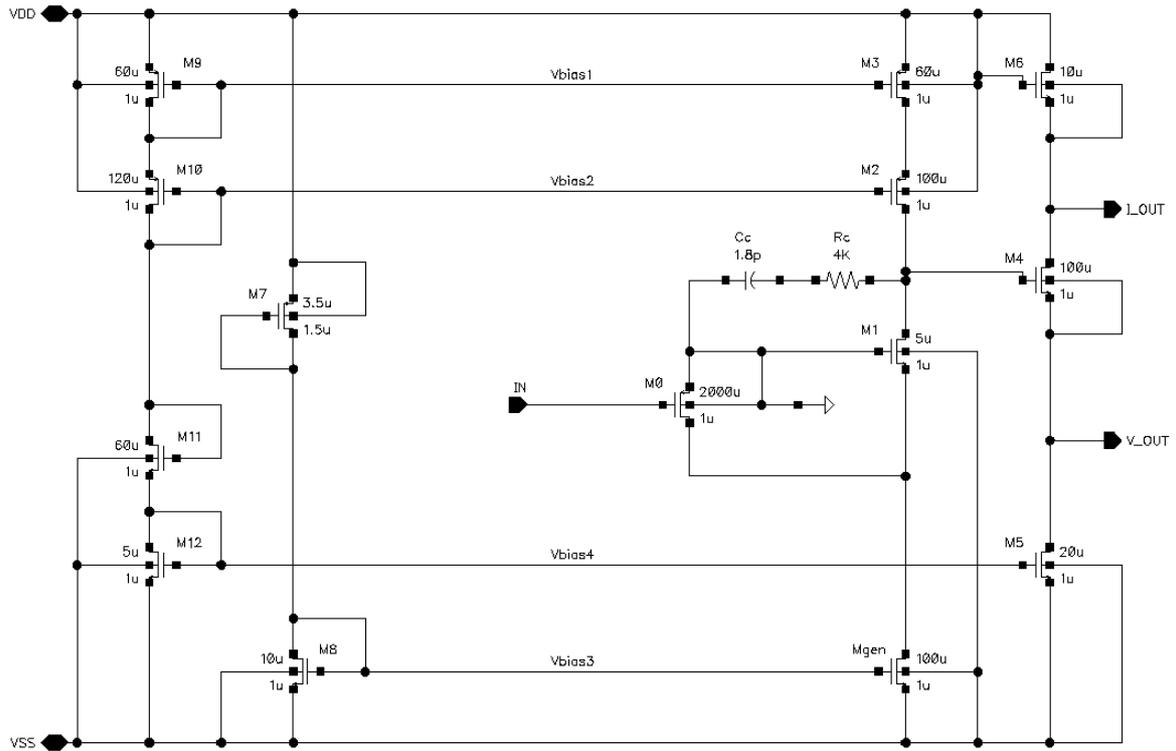


Fig. 11 – Schema completo del CSA.

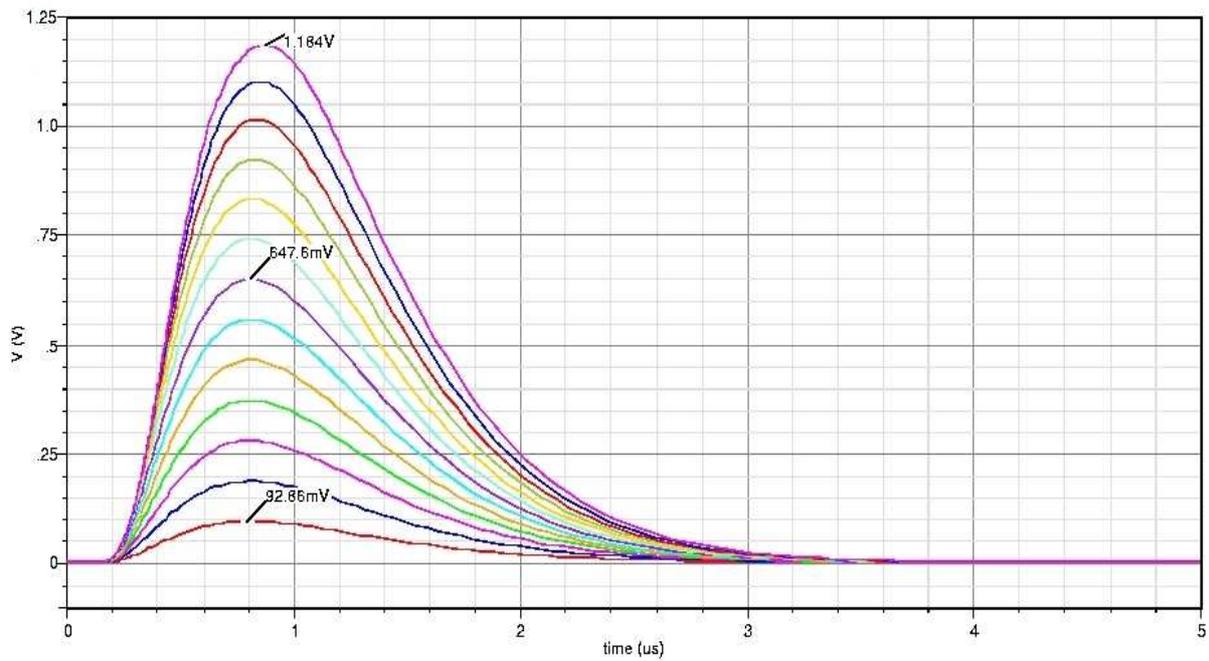


Fig. 12 – Simulazione parametrica pre-layout con un filtro CR-RC² in uscita.

6. LAYOUT E SIMULAZIONI POST-LAYOUT

La Figura 13 mostra il layout del solo CSA e la Figura 14 la simulazione parametrica post-layout con il filtro CR-RC².

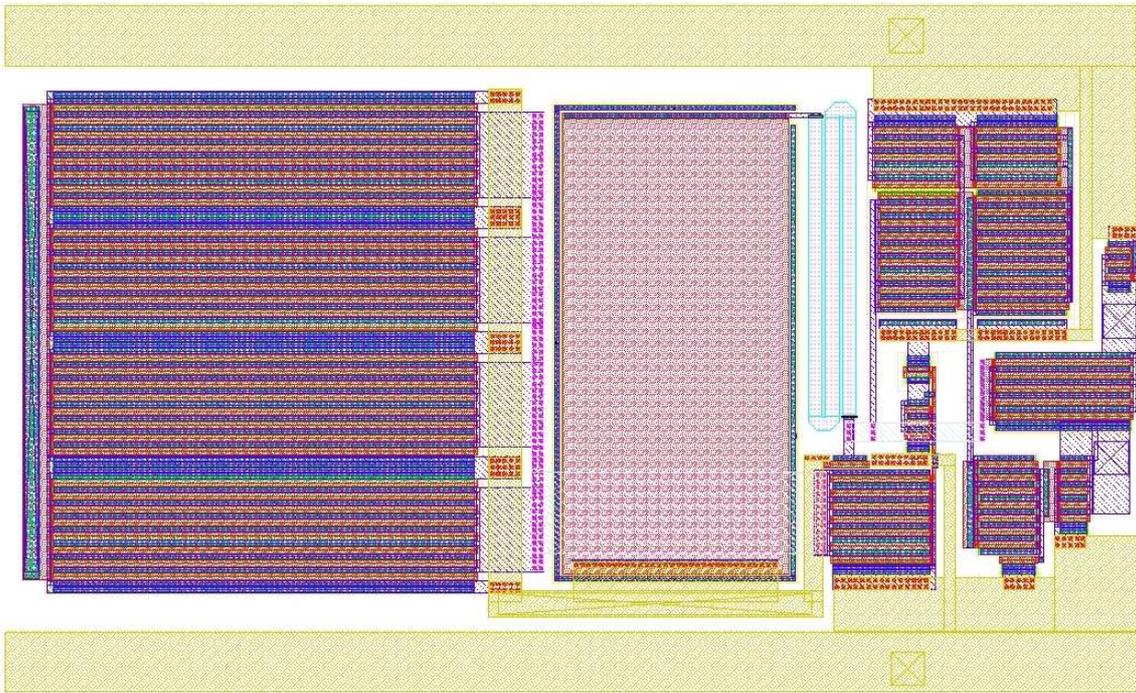


Fig. 13 - Layout del CSA.

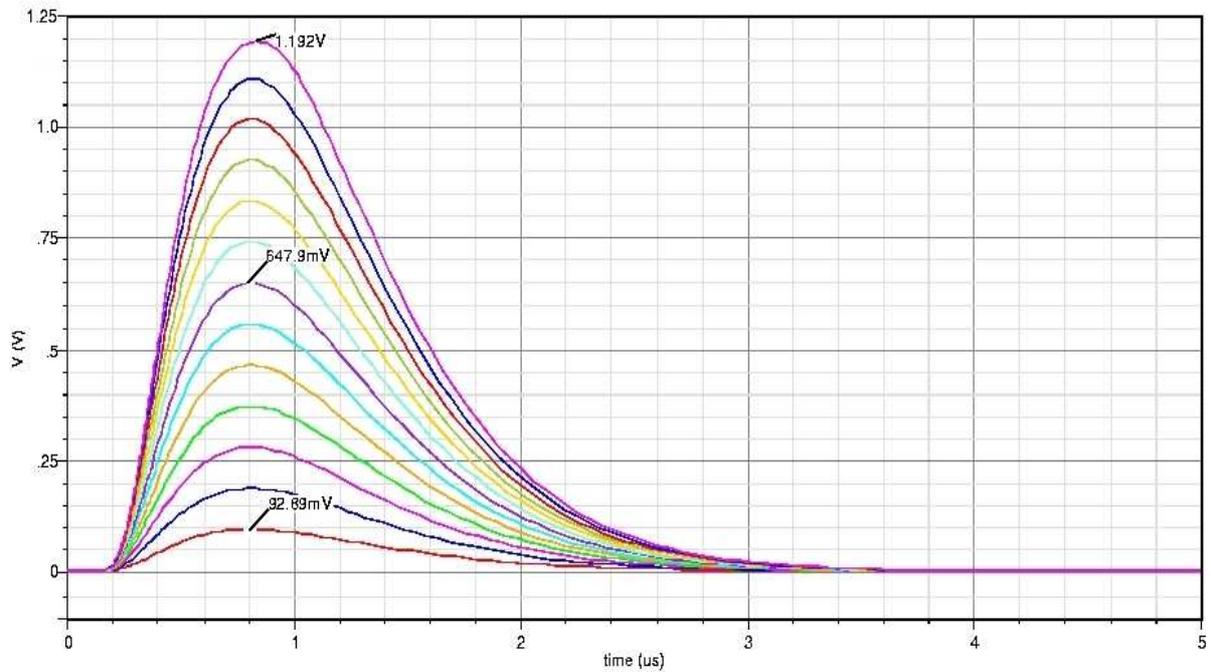


Fig. 14 - Simulazione parametrica post-layout con filtro di uscita.

7. RISULTATI

Nella Figura 15 è indicata la linearità con dati post-layout che è superiore a 13 bit.

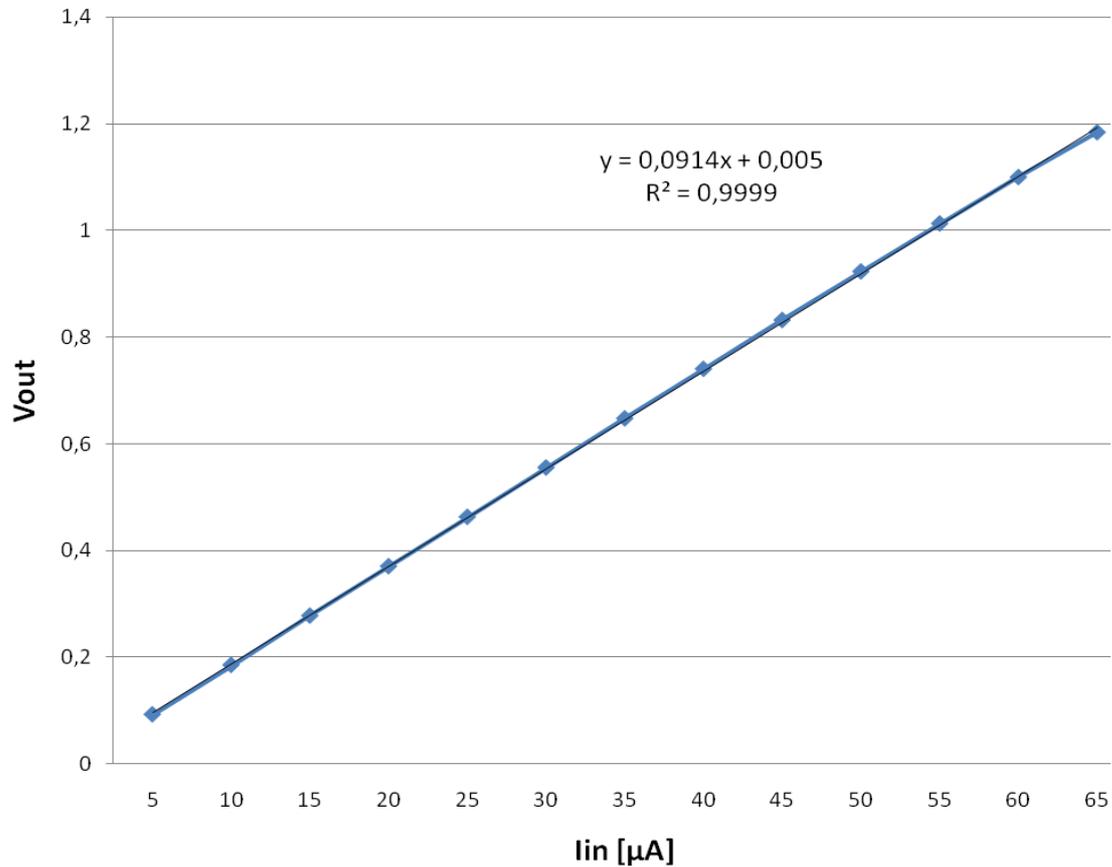


Fig. 15 – Linearità dell'amplificatore.

8. Bibliografia

- [1] B. Razavi, "Design of analog integrated circuits", McGraw_Hill, 2001.
- [2] Z.Y. Chang, W. M. Sansen, "Low-noise wide-band amplifier in bipolar and CMOS Technologies", Kluwer Academic Publishers, 2005.
- [3] S. Energico, P. Parascandolo, "La catena di spettroscopia di SER_09" INFN-TC, in corso di pubblicazione.