



ISTITUTO NAZIONALE DI FISICA NUCLEARE

Sezione di Napoli

INFN/TC-08/10
15 Dicembre, 2008

SCHEMA DWFD DELL'ESPERIMENTO EXPADES

A. Anastasio, A. Pandalone, A. Vanzanella

INFN - Sezione di Napoli, Dip. Scienze Fisiche Università di Napoli, I-80125 Napoli, Italy

Abstract

Questa nota descrive il modulo Digital WaveForm Digitizer (DWFD) da noi sviluppato per l'esperimento EXPADES. Ciascun modulo DWFD si interfaccia con otto chip ASIC full custom (SER_09) appositamente sviluppati in tecnologia CMOS da 0.35 micron per il front end dell'esperimento EXPADES e provvede sia alla formazione dei segnali per la logica di trigger sia alla campionatura e memorizzazione degli ingressi in una memoria di evento per la successiva determinazione del canale interessato dall'Hit e alla sua durata.

I moduli DWFD si basano sulle FPGA Virtex IV (XC4VFX12-10FF668) di ultima generazione della Xilinx.

1. INTRODUZIONE

L'apparato EXPADES [1] è stato pensato per studiare i meccanismi di reazione ad energie prossime alla barriera di Coulomb. Lo scopo del progetto è stato quello di creare un sistema che avesse grande copertura angolare, alta granularità e che fosse fortemente integrato e miniaturizzato. L'apparato include 16 rivelatori al silicio a larga area vicino alla targhetta come mostrato in figura 1.

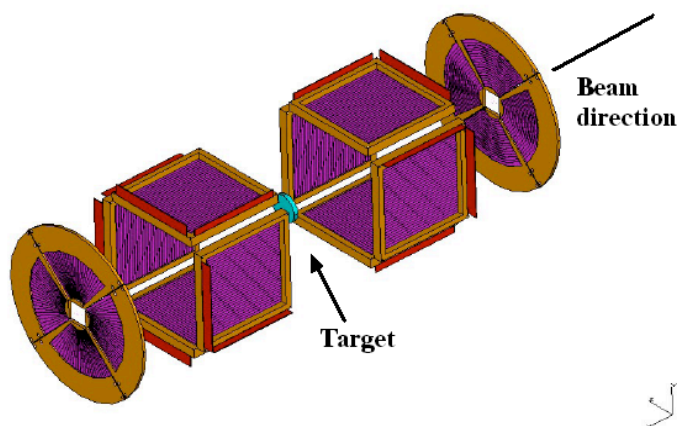


Fig. 1 – Posizionamento del rivelatore EXPADES, la targhetta e la direzione del fascio.

Gli 8 rivelatori di forma quadrata sono disposti su piani paralleli alla direzione del fascio, mentre due rivelatori anulari sono piazzati su piani ortogonali alla direzione del fascio. I rivelatori di forma quadrata hanno un'area attiva di $64 \times 64 \text{ mm}^2$. Ci sono 32 strip larghe 2 mm distanziate di 40 micron tra di loro. Entrambi i rivelatori sono spessi 300 micron e la risoluzione in energia misurata con elettronica standard è intorno a 30-40 keV per particelle alfa di calibrazione. La corrente di leakage e la capacità delle strip del rivelatore sono rispettivamente 20 nA e 20 pF. L'intero apparato consta di più di 500 elementi.

Le dimensioni, la dissipazione in potenza, la facilità di interconnessione ed i costi dell'elettronica di lettura devono essere molto contenuti e pertanto abbiamo adottato una soluzione custom.

2. LE SPECIFICHE RICHIESTE

Il vantaggio di usare un ASIC sta nel fatto che esso può essere progettato specificatamente per l'esperimento che si deve effettuare. Un rivelatore a doppia faccia come quello usato su EXPADES richiede un front end che possa acquisire segnali di entrambe le polarità. Il tipo di reazione nucleare implicata, tenuto conto dello spessore di 300 micron del rivelatore, richiede un range dinamico di ingresso di 150 MeV o 7 pC in termini di carica collezionata sull'anodo di ciascuna strip. Il rumore equivalente d'ingresso deve essere inferiore a 7000 elettroni.

A parte la misura dell'energia specificata sopra, l'esperimento richiede anche una uscita veloce sia per calcolare la molteplicità dei singoli eventi di reazione, sia anche per

ottenere, a partire dalla durata dell'Hit, informazioni sulla natura della particella. La molteplicità consente di realizzare in modo semplice un trigger di primo livello.

L'intensità dei fasci radioattivi richiede un rate di acquisizione di 100 kHz.

In un esperimento classico il massimo rate di acquisizione è limitato dalla costante di tempo $R_F \cdot C_F$ dell'amplificatore di carica che tipicamente è compresa tra 10 e 100 microsecondi. Questi valori sono relazionati alla sensitività del preamplificatore (C_F) e alle caratteristiche di rumore della intera catena (R_F) e conseguentemente la massima frequenza di acquisizione è limitata a 10 kHz. Per questo motivo nella soluzione custom abbiamo inserito una rete per il reset la quale agisce sia sull'amplificatore di carica che sui filtri consentendo di aumentare il rate a 100 kHz.

Infine, poiché la camera di scattering è sotto vuoto, è anche necessario che l'elettronica di front end sia a basso assorbimento e che sia di dimensioni ridotte.

Per questi motivi il Servizio di Elettronica ha sviluppato il chip custom SER_09.

3. IL PROGETTO

SER_09 è un dispositivo full custom, figura 2, che serve 16 strip ed è stato disegnato nel Laboratorio di Elettronica della Sezione INFN di Napoli in tecnologia CMOS da 0.35 micron della AMS (Austrian Microsystem). Ciascun canale del dispositivo include un amplificatore di carica con una uscita digitale rapida per il timing [2], un filtro semigaussiano, un peak and hold per il mantenimento del segnale di carica, un multiplexer analogico a 16 ingressi e tutta la circuiteria digitale necessaria di interfaccia.

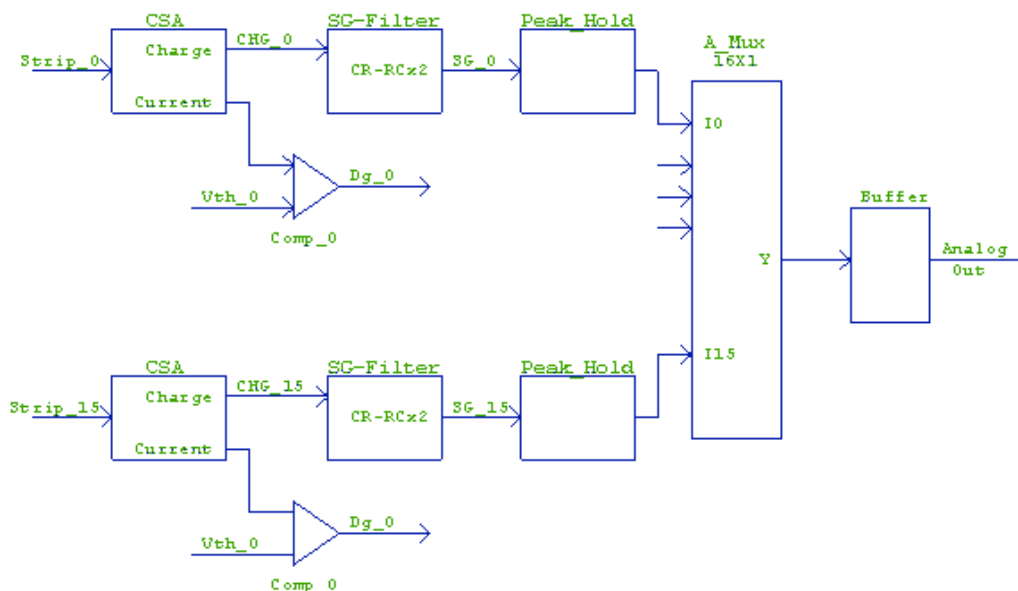


Fig. 2 – Schema a blocchi del chip SER 09.

I segnali di carica dopo il filtro sono inviati ad un banco di 16 peak and hold le cui uscite sono inviate ad un multiplexer analogico a 16 canali comandato digitalmente dall'esterno in modo tale da avere un solo segnale analogico in uscita. L'uscita del multiplexer è connessa ad un amplificatore lineare che pilota il pad dell'ASIC.

Il chip ha un'area di 3x4 mm².

Su ciascun chip, un sensore integrato misurerà anche la temperatura di ciascun ASIC.

Immediatamente all'esterno della camera di scattering, i segnali digitali pilotano dei line driver differenziali di ultima generazione di modo tale che la risoluzione temporale non venga a deteriorarsi nell'invio alle schede di memoria e di campionamento (DWFD).

Anche il segnale analogico in uscita dal multiplexer di SER_09 viene trasmesso in forma differenziale alle schede di ADC per ottenere una buona reiezione al modo comune.

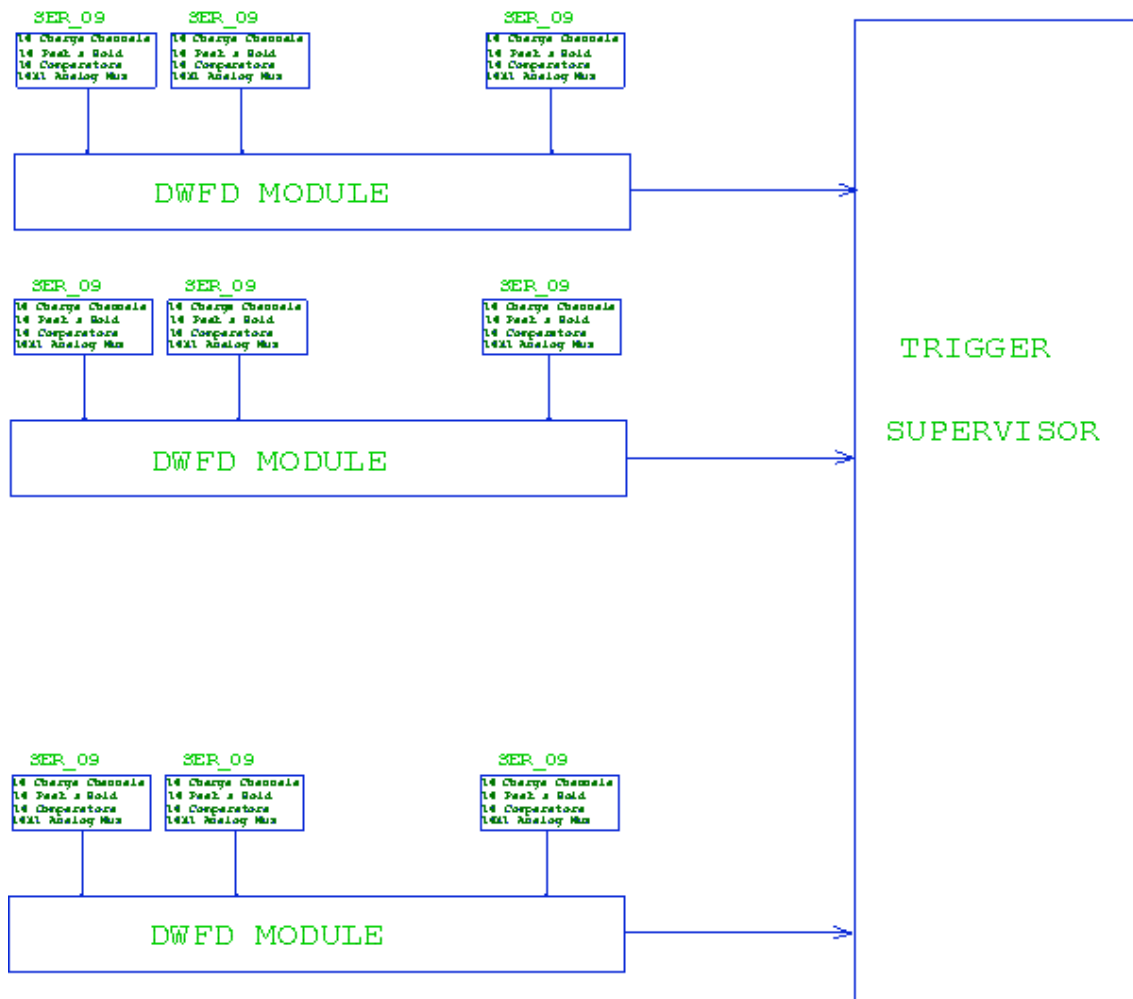


Fig. 3 – Schema a blocchi della elettronica di readout.

La scheda degli ADC (12 Bit) converte il segnale analogico ed invia una flag di avvenuta conversione alla scheda di DWFD così che questa possa registrare oltre al numero del canale scattato e alla durata dell'Hit, anche la carica rilasciata.

La scheda di trigger supervisor (TS), oltre che alla generazione del trigger, provvede anche all'acquisizione dei dati dalle schede DWFD, al loro impacchettamento ed alla

trasmissione degli stessi verso il computer attraverso una scheda di acquisizione rapida della National Instruments.

Lo schema a blocchi dell'elettronica di readout è in figura 3.

4. La scheda DWFD

La scheda DWFD (Fig. 4) utilizza tre XC4VFX12-10FF668 della famiglia Virtex-4 [3]. Due di queste FPGA (X#0 ed X#1) sono dedicate al campionamento dei segnali del front end e servono 4 chip SER_09 ciascuna. La FPGA che sta in posizione centrale (FIFO_INT), oltre a contenere una FIFO comune a tutti gli 8 canali funge da interfaccia verso il Trigger Supervisor e gestisce sia la temporizzazione del protocollo sia la diagnostica di tutta la scheda.

Ciascun modulo DWFD si interfaccia con otto Chip SER_09 ricevendo in ingresso i segnali di uscita dei comparatori convertiti in forma differenziale mediante dei line drivers SN65LVDT387 e che vengono quindi riconvertiti in formato single ended con un banco di line receivers SN65LVDT386. La trasmissione dei dati è del tipo punto punto ed è fatta con un cavo ad impedenza controllata. La coppia drivers - receivers è stata selezionata in base al basso skew tra i vari gates disponibili nei dispositivi (500ps Max).

La lunghezza del cavo di interconnessione tra la camera di scattering ed i moduli in questo esperimento è di 5 metri. Poiché la tensione differenziale d'ingresso dei line receiver deve essere superiore a 100mV sia la risposta in frequenza sia l'attenuazione del cavo sono ampiamente entro i margini. Inoltre, questi ricevitori differenziali della famiglia LVDT incorporano all'interno la resistenza di terminazione del cavo e quindi in questo caso, con 256 segnali differenziali in ingresso, si hanno grosse riduzioni di area nel circuito stampato. Altra caratteristica positiva dell'SN65LVDT386 è una rete "fail safe" posta sull'ingresso che fa sì che l'uscita non sia mai indeterminata, anche quando gli ingressi sono "floating".

Le due Virtex-4 che effettuano il campionamento dei segnali d'ingresso dedicano a ciò 128 pin ciascuna.

Il clock di scheda è fatto con un quarzo a 50 MHz. Dal distributore di clock (CDC391) partono più linee a impedenza controllata, di eguale lunghezza che assicurano l'arrivo del clock alle FPGA con basso skew.

All'interno di ciascuna Virtex il sintetizzatore di frequenza programmabile tramite due parametri M e D, uno per moltiplicare e l'altro per dividere, si occupa di moltiplicare la frequenza del clock in modo da poter campionare gli ingressi a 300MHz.

La programmazione delle tre FPGA è fatta con una sola EPROM XCF16PV048C con una daisy-chain. Dopo che il primo pattern di configurazione è stato caricato nella prima FPGA, si scarica il successivo pattern nella seconda FPGA e poi nella terza.

Per ciascun canale (16 Strip) si effettua dapprima un Fast Or degli ingressi che viene inviato alla scheda di Trigger Supervisor per la formazione del Trigger. Poi si procede alla registrazione dei medesimi ingressi in una memoria RAM ricircolante a tamburo da 4k (Memoria di Evento) che viene scritta con un clock a 300 MHz (Fig. 4). In assenza di Hit in

ciascuna locazione di memoria ogni 3.3 ns circa viene scritto un pattern di zeri. La durata dell'Hit si ricava dalla misura del numero di locazioni della Memoria di Evento intercorrenti tra il fronte di salita ed il fronte di discesa dell'Hit.

In assenza di eventi di trigger, la memoria viene continuamente sovrascritta.

Quando c'è un trigger le scritture delle RAM sono inibite in tutte e due le FPGA ed i processori (ognuno dei quali serve 8 canali) iniziano ad esaminare i contenuti delle memorie di evento alla ricerca di Hit. Su ciascuna scheda è presente un contatore del tempo a 32 Bit, sincrono con il clock a 300 MHz che viene fermato all'occorrenza dal trigger. I dati raccolti dal processore consentono quindi di risalire sia a quando è avvenuto l'Hit, sia alla sua durata temporale.

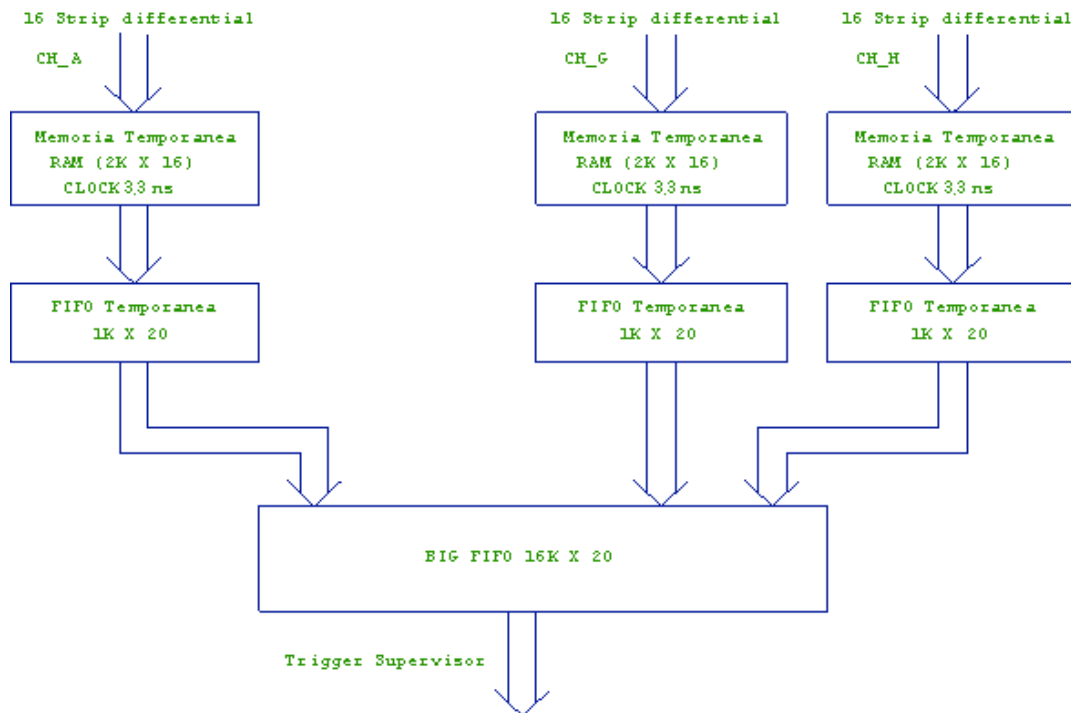


Fig. 4 – Schema a blocchi della scheda DWFD.

Per ciascun canale dove viene rivelata la presenza di un Hit, la scheda invia al Chip di front end corrispondente una richiesta di lettura della carica. A tale scopo viene fornito il codice della strip scattata al chip SER_09 interessato a mezzo di un codice seriale con l'invio del clock e del dato. In SER_09 sull'ingresso digitale esiste un registro a scorrimento che immagazzina il codice e provvede a trasferire in uscita tramite il multiplexer analogico il valore della tensione del relativo peak and hold.

La tensione analogica in uscita viene inviata alla scheda di ADC in formato differenziale e quando è stata effettuata la conversione (12 bit) si alza una flag che informa la scheda DWFD che può acquisire i dati e procedere ulteriormente con la scansione. Fatta l'acquisizione dell'ADC viene dato un impulso di reset al SER_09 interessato così che l'uscita del peak and hold relativo viene posta a zero.

Non è effettuata la scansione di tutti i canali di SER_09 e cioè vengono indirizzati i soli canali che hanno registrato la presenza di un Hit con un notevole miglioramento del tempo morto.

Ciascuno degli 8 processori presenti sulle 2 Virtex procede in maniera autonoma alla ricerca dell'Hit e forma un suo frame comprensivo di Header, contatore del tempo, numero di trigger, e poi per ciascun Hit: istante di occorrenza della transizione positiva dell'Hit, carica dell'Hit ricavata dall'ADC, istante di transizione negativa. Terminata la scansione, ciascun frame viene chiuso con una parola di trailer.

Per ogni canale una FIFO (da 1kx20 bit) tiene memoria dei frame così costituiti.

Tutto il frame, man mano che viene formato, viene anche scritto in una FIFO (da 1kX20 Bit). Sono presenti 8 FIFO temporanee, una per ciascun canale.

Quando l'ultimo degli 8 processori ha terminato l'analisi della Memoria di Evento gli 8 frame contenuti nelle FIFO vengono ordinatamente trasferiti in una successiva FIFO (comune per tutti i canali) di dimensioni notevolmente maggiori (16kx20 bit) che è presente sulla terza Virtex (FIFO_INT) per il successivo trasferimento al Trigger Supervisor e poi al computer.

FIFO_INT oltre che a gestire il trasferimento ordinato dei dati dalle otto FIFO temporanee, provvede a gestire tutta la logica di interfaccia verso il Supervisore del Trigger (TS), avendo al suo interno anche un comparatore digitale a 4 bit che effettua il controllo tra l'indirizzo fisico della scheda, impostabile mediante dei jumpers, e quello richiesto dal TS. Quando c'è una corrispondenza tra gli indirizzi inizia il dialogo tra la DWFD ed il TS.

Il trasferimento dei dati dalla scheda DWFD al TS è fatto in base ad un classico protocollo di handshake, con il TS che agisce da master e con la scheda DWFD che opera da slave. Lo scambio dei dati avviene tramite un bus cablato sul frontale della scheda ed in formato differenziale. La trasmissione non è punto punto dato che tutte le schede DWFD condividono lo stesso bus. Sulla DWFD sono usati l'SN65LVDT387 per la trasmissione e l'SN65LVDT386 per la ricezione.

Durante la presa dati il TS agisce da master di tutta l'acquisizione. Esso dapprima controlla che sul bus non ci sia attività e poi effettua una richiesta di dati alla scheda DWFD interessata. Solo la scheda DWFD interessata piazzerà i dati sul bus ed eseguirà le istruzioni del protocollo così come richiesto dal Trigger Supervisor.

I frame trasmessi dalle schede DWFD verso il TS avranno lunghezza variabile in funzione degli Hit che caratterizzano l'evento. E' prevista la trasmissione del frame vuoto laddove una scheda non sia stata interessata da eventi.

La scheda DWFD entra in modalità diagnostica sotto il controllo del Trigger Supervisor il quale a sua volta riceve comandi dal sistema di acquisizione e li smista alla DWFD interessata.

In modalità diagnostica è possibile dare dei comandi attraverso la scheda DWFD verso il front end. E' possibile impostare individualmente le soglie dei 16 comparatori (3 bit per canale), inviare un impulso di test per iniettare un quantitativo di carica nota su ciascun canale, resettare i peak and hold e i condensatori dell'amplificatore di carica e dei filtri. E' anche possibile caricare un pattern di maschere nella scheda DWFD, ed evitare così che i canali che risultassero rumorosi possano generare false proposte di trigger.

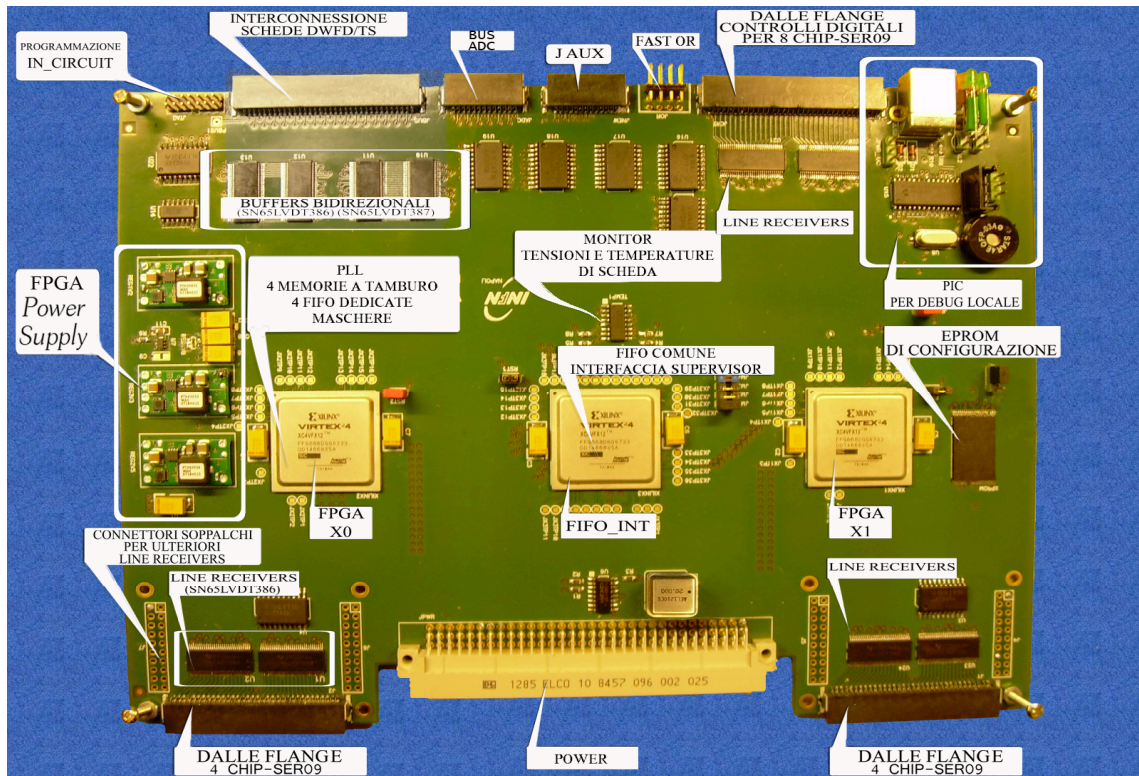


Fig. 5 – Le diverse sezioni della scheda DWFD.

In modalità diagnostica è anche possibile effettuare tutta una serie di test che consentono di verificare la funzionalità della scheda. Si possono scrivere e leggere dei pattern, si possono costruire degli stimoli di test che simulano una serie di Hit e l'arrivo di un trigger per controllare i frame in uscita.

Per effettuare i test di funzionalità su banco della sola scheda DWFD è possibile utilizzare un PIC18F2550 presente sulla stessa interfacciandolo ad un PC tramite porta USB.

5. CONCLUSIONI

La funzionalità di tutta la scheda è stata testata al banco utilizzando il PIC18F2550 come master dell'acquisizione. Per simulare i segnali di uscita dal Chip SER_09 è stato utilizzato un generatore di forme d'onda arbitrarie esterno AWG2041 della Tektronix che lavora ad una frequenza di clock di 1.024 GS/sec, e che ha una memoria interna da 1 MByte. Questo strumento, se equipaggiato con l'opzione 03 (ECL), permette di generare dei pattern

digitali noti e programmabili a 10 bit che sono stati convertiti dapprima in formato differenziale e poi posti all'ingresso della scheda per simulare i dati provenienti dal front end.

Le durate impostate sono state misurate con la precisione di ± 3.3 ns.

6. BIBLIOGRAFIA

- [1] M. Romoli et al., Phys. Rev. C69 (2004) 064614
- [2] L'amplificatore di carica del chip SER_09. INFN-TC-08-09
- [3] Virtex-4 FPGA User Guide, Xilinx 2008