



INFN/TC-06/16
20 Ottobre 2006

DISEGNO E LAYOUT DI UN OP-AMP FULL CUSTOM IN TECNOLOGIA DA 0.35 μ

S. Energico ^{1,2}

- 1) INFN Sezione di Napoli*
2) CNR-INFM Sezione di Napoli

Abstract

Questa nota descrive passo passo la procedura di layout di un amplificatore operativo in tecnologia da 0,35 micron utilizzando Cadence con l'Hit-Kit 3.70 dell'AMS. Viene confrontata la simulazione pre-layout con quella post-layout e viene dimostrato che con un'accurata disposizione dei componenti le differenze tra le due simulazioni sono molto piccole.

1. INTRODUZIONE

Il pacchetto software comunemente utilizzato per la realizzazione di dispositivi full custom, sia analogici che digitali, è certamente Cadence [1].

I progetti si sviluppano a partire da uno Schematic Editor, dove si disegna il circuito, e dall'ambiente di Layout su silicio. Un potente simulatore, poi, è in grado di simulare sia lo schematico che il layout e tutti i componenti parassiti.

Per la realizzazione dell'ASIC è comunque necessario l'utilizzo di un Kit di librerie di componenti e PAD che rispettino le specifiche della tecnologia usata nel processo di lavorazione del chip. Queste librerie vengono in genere fornite dalla fonderia che realizza il lavoro.

Noi abbiamo utilizzato Cadence Virtuoso Front to Back Design Environment 5.10.41, con l'Hit-Kit 3.70 dell'AMS [2], e Linux Red Hat Scientific 3 come sistema operativo.

2. INIZIALIZZAZIONE DEL PROGETTO

La finestra CIW (Command Interpreter Windows) è invocata all'avvio e rappresenta il cuore del programma (Fig. 1). Da qui è possibile avviare tutti i vari tool, gestire le librerie, configurare il programma, inviare comandi e visualizzare i messaggi di sistema e di errore.



Figura 1 - Command Interpreter Window

Da qui si parte per creare la libreria di progetto e per stabilire il file di tecnologia da utilizzare.

2.1. CREAZIONE DI UNA LIBRERIA

Con la sequenza *CIW* → *Tools* → *Library Manager* compare la finestra del Library Manager (Fig. 2a) che è divisa in tre colonne. La prima a sinistra è la libreria di progetto, che può contenere diversi schemi elettrici. Le *Cell* sono un unico schema elettrico che può avere diverse *View* (schematico, simbolo, layout, estratto).

Esistono sia librerie con nome in maiuscolo che in minuscolo. Le librerie in minuscolo, come *analogLib*, fanno parte di Virtuoso e contengono componenti che possono essere simulati ma non implementati sul silicio (generatori, impulsatori, riferimenti di tensione e anche capacità, resistenze). Le librerie in maiuscolo fanno parte dell'Hit-Kit fornito dalla fonderia e contengono, dunque, tutti i componenti implementabili (pmos, nmos, resistenze, capacità, pad, via).

Per creare la libreria di progetto e collegarla al file di tecnologia da utilizzare, la sequenza *Library Manager* → *File* → *New Library* ci consente di impostare il nome della libreria (Fig. 2b) e poi (Fig. 2c) di collegarla al file di tecnologia C35B4 che selezioniamo nella finestra successiva (Fig. 2d).

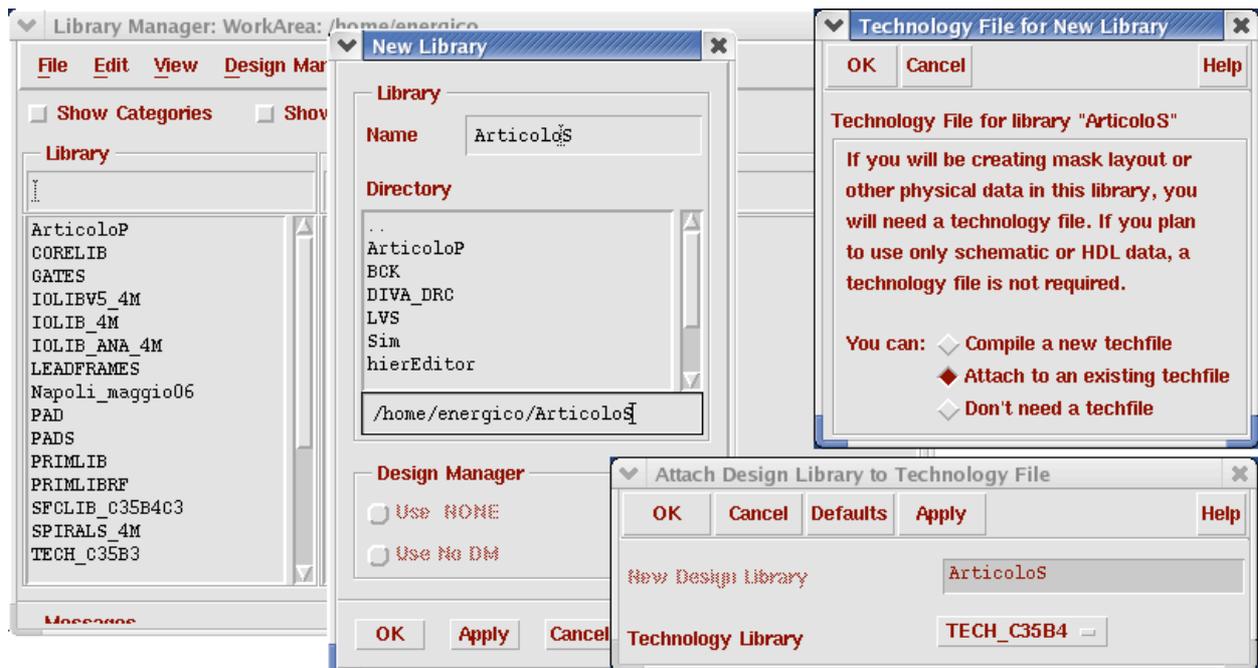


Figura 2 - Library Manager Window (2a); New Library Window (2b); Technology File Window (2c); Attach Window (2d).

3. CREAZIONE DI UNO SCHEMA ELETTRICO

Per creare un nuovo schematico si seleziona prima la libreria di lavoro, poi si inserisce il nome del circuito nella casella *Cell* e il tipo di vista nella casella *View*. Le impostazioni vanno confermate nella finestra *Create New File* (Fig. 3a), assicurandosi che alla voce *Tool* sia selezionato *Composer-Schematic*.

Nel *composer-Schematic* (Fig. 3b) possiamo cominciare a disegnare il circuito.

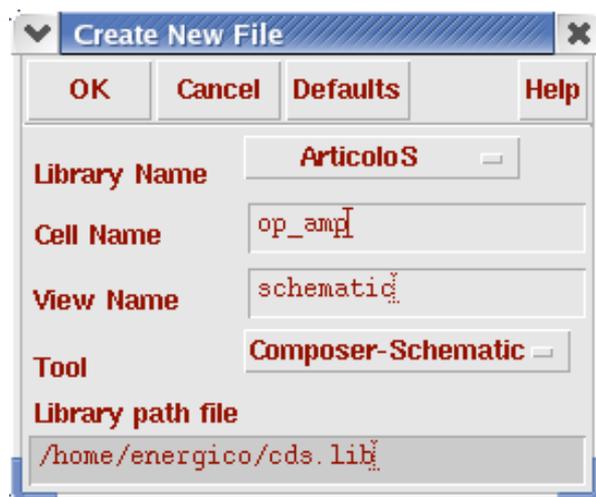
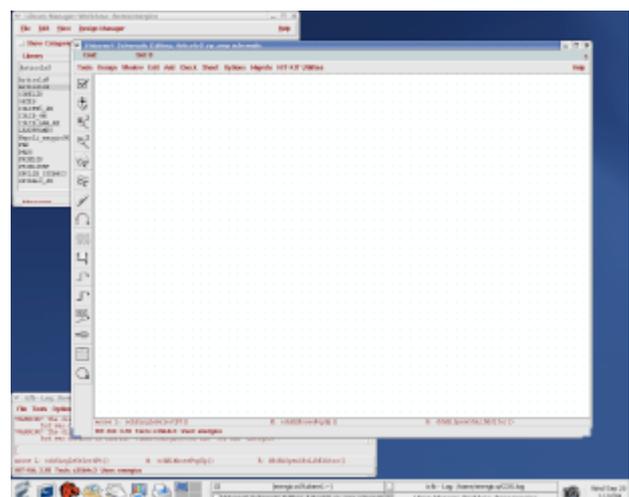


Figura 3a – New File Window



3b – Composer-Schematic

3.1. MENU E BINDKEY

I menu, e i BindKey più utilizzati nella realizzazione di uno schema sono: *Add*, per inserire un componente con Istance [i]; per tracciare un Pin [p] o i collegamenti Wire [w]; *Edit*,

per editare [q], copiare [c], spostare [m], ruotare [tasto destro mouse], cancellare [Del]; *Tools*, da qui si lanciano tutti tool, compreso quello di simulazione: Analog Environment.

3.2. POSIZIONAMENTO COMPONENTI

Disegniamo l'amplificatore operazionale, inserendo i componenti con Add → Instance, e poi *Browse* per navigare le librerie e selezionare il componente (Fig. 4a) e collegandoli fra di loro.

Selezioniamo nmos4 dalla libreria PRIMLIB, e poi cpoly (capacità), con la View impostata su Symbol. E' possibile ruotare, specchiare ed editare i parametri del componente dalla finestra *Add Instance*.

Per creare i collegamenti fra i componenti, selezionato Add → Wire si attiva il comando Wire. Quando si collegano fra loro due fili automaticamente viene creato un nodo. Non è possibile collegare più di due net su un unico nodo.

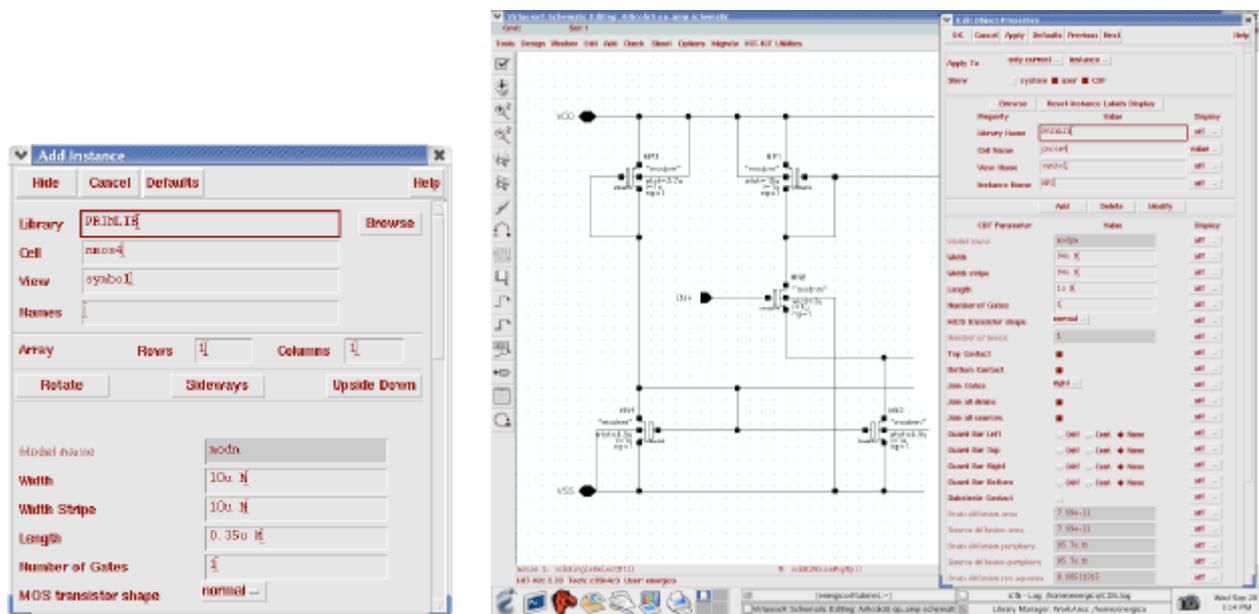


Figura 4 – Add Instance Window(4a); Composer-Schematic (4b); Edit Object Property (4c)

Per editare le proprietà e i parametri dei componenti è sufficiente selezionarli e premere il tasto *Q* sulla tastiera. In alternativa selezionare *Edit* → *Property*. Nella finestra *Edit Object Property*, in Fig. 4c, è possibile editare tutti i parametri del componente selezionato (ad es. la *W* e la *L* dell' *nmos4*).

Con *Add* → *Wire name* è possibile assegnare un nome ad una determinata net, cosa utile in fase di simulazione per identificare le net in base il nome da noi assegnato.

Nei punti del circuito che vanno a interfacciarsi con l'esterno bisogna inserire i *Pin* che nel caso dell'operazionale sono le due alimentazioni, i due ingressi e l'uscita. Con *Add* → *Pin* si sceglie il nome dei pin e le direzioni che per il nostro circuito sono: VDD, VSS, IN+, IN- e OUT.

Si inseriscono tutti i componenti fino a ottenere lo schema in Fig. 5, e si salva col comando *Design* → *Check and Save*.

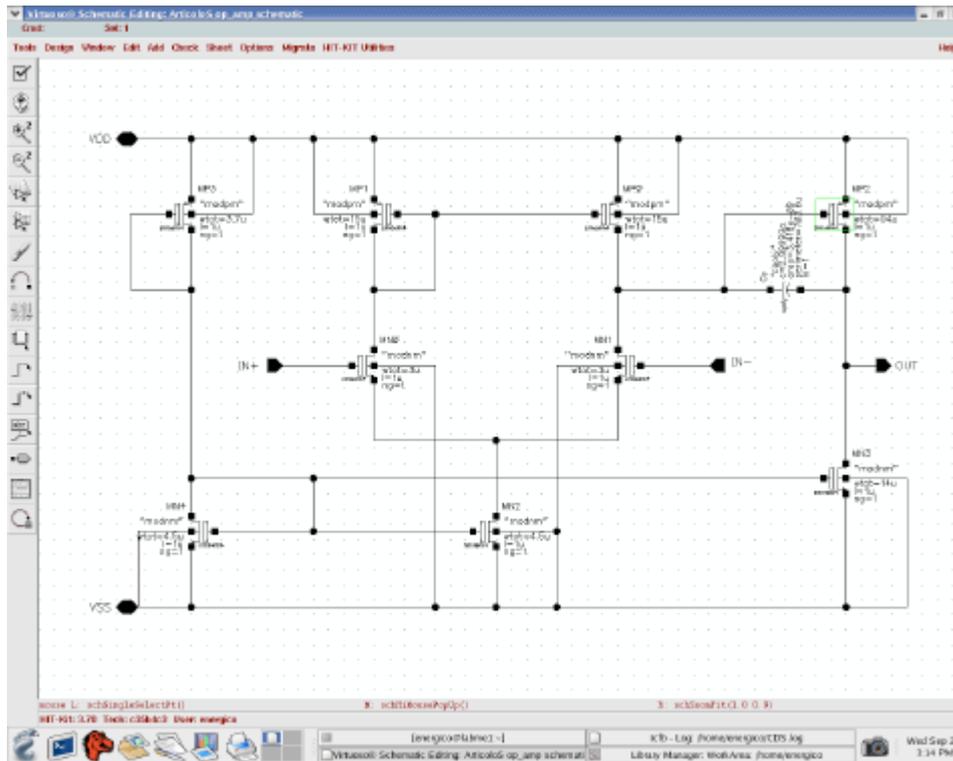


Figura 5 – Schema Amplificatore Operazionale

3.3. CREAZIONE DEL SIMBOLO

Infine creiamo il simbolo dello schema disegnato con *Design* → *Create Cell View* → *From CellView*. Si aprirà una finestra che chiede conferma dello schema di cui creare il simbolo e il nome da assegnare a quest'ultimo (Fig. 6a). La finestra *Symbol Generation Option* ci permette di indicare su quale lato del simbolo mettere i relativi pin ed, eventualmente, di fare modifiche.

Una volta dato l'OK si aprirà una nuova finestra con il simbolo del nostro circuito (Fig. 6a). In questa fase, con i comandi del menù *Edit* è possibile modificare il disegno del simbolo per rappresentarlo nel modo desiderato, come in Fig. 6b.

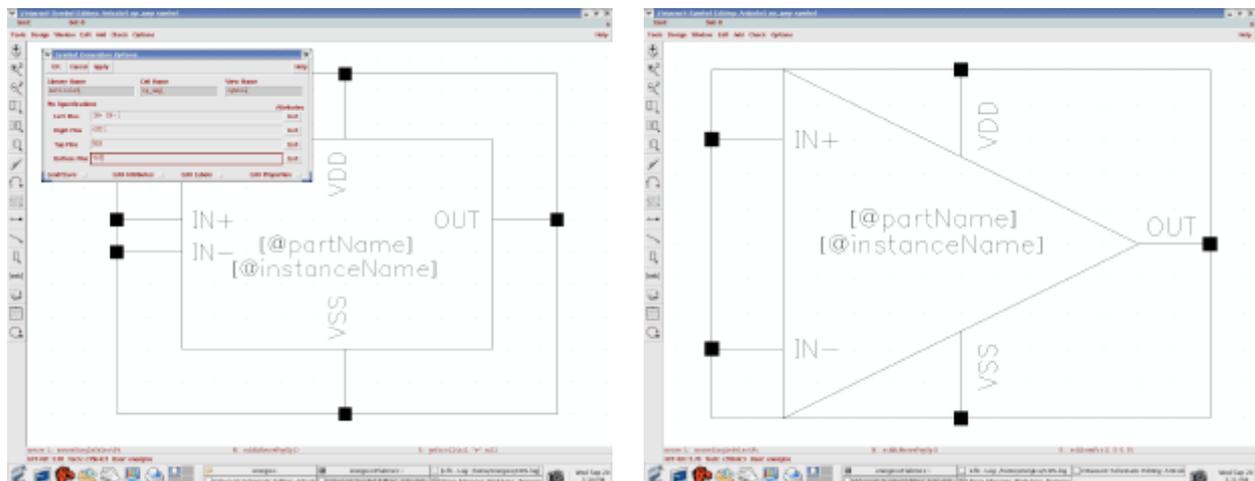


Figura 6 – Symbol Generation Option e Symbol Editor (6a); Symbol Editor Window (6b)

3.4. SIMULAZIONE DEL CIRCUITO

Adesso possiamo creare una nuova *Cell* inserendovi il simbolo appena creato, con il comando *Add* → *Istance*, aggiungendo le alimentazioni e gli impulsatori (Fig. 7) e procedendo con la simulazione del circuito.

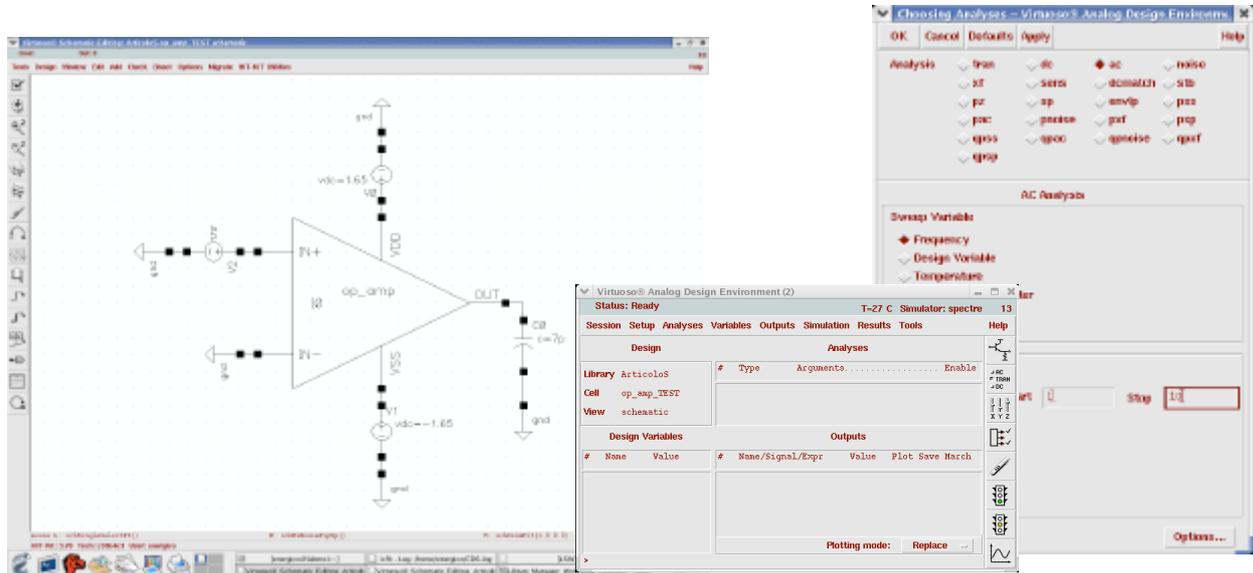


Figura 7 – Circuito di simulazione (7a); Analog Design Environment (7b); Choosing Analyses (7c)

Selezionando *Tools* → *Analog Enviroments* si avvia il tool di simulazione (Fig. 8a). Dal menu *Analyses* impostiamo il tipo di simulazione (transiente, noise, dc, ac) e i parametri. Avviamo la simulazione col comando *Simulation* → *Netlist and Run* e dal menu *Result* → *Direct plot* scegliamo quali dati visualizzare, fra questi il Diagramma di Bode di Fig 8.

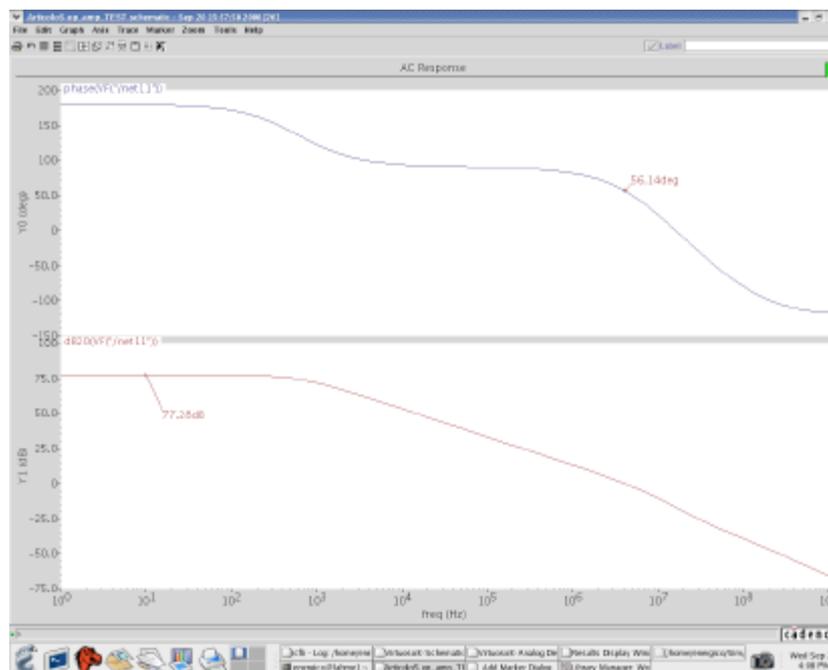


Figura 8 – Bode Plot

Dal grafico notiamo che l'amplificazione in bassa frequenza è 77,28 dB e che il margine di fase è di 56,14 gradi.

4. CREAZIONE DEL LAYOUT

Per la creazione del layout si parte dall'editor dello schema elettrico con: *Tools* → *Design Synthesis* → *Layout XL*. Nella finestra *Create New File*, *View Name* deve essere impostato su *layout* e *Virtuoso* deve essere il *tool*.

Si apre il *Layout Editor*. I componenti si importano con: *Design* → *Gen From Source*. Si apre la finestra *Layout Generation Options*, come in Fig. 9, nella quale è possibile selezionare il layer e le dimensioni dei pin.

Nella finestra *I/O Pins* alla voce *Defaults* selezioniamo *MET2pn* con le dimensioni dei pin a 5u sia in altezza che in larghezza e confermiamo con *Apply*. Selezioniamo poi dall'elenco dei pin sia *VDD* che *VSS* che impostiamo sul layer *MET3pn* e poi diamo un *Update*. Confermiamo col pulsante *OK*.

Tutti i componenti vengono posti sul foglio *Layout Editor*.

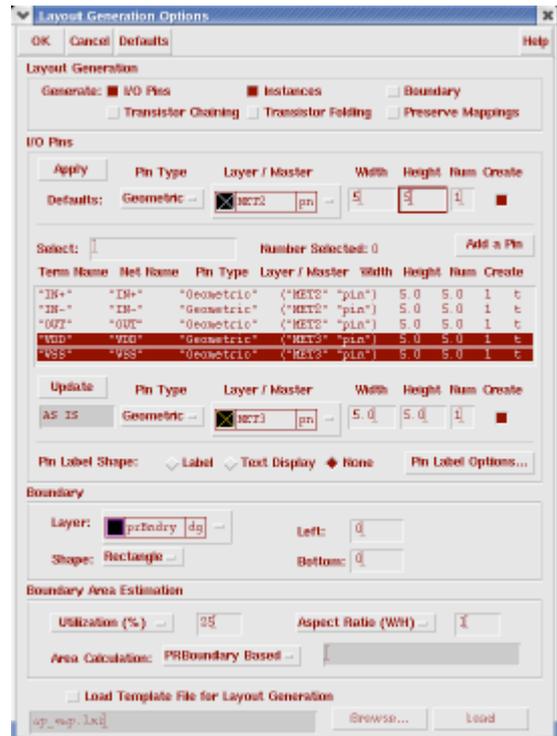


Figura 9 – Layout generation Option

4.1. BINDKEY

I comandi del menu *Edit* ci permettono sia di spostare e ruotare i componenti che di editarne le proprietà. I tasti di scelta rapida utili sono: *MAIUSC + F* per visualizzare tutti i layer; *CTRL + F* per visualizzare soltanto i bordi esterni dei componenti; *M* per spostare i componenti; *F3* per attivare il menù contestuale che permette di modificare la direzione di spostamento dei componenti (AnyAngle, orthogonal, diagonal, horizontal e vertical); *Q* per editare le proprietà dei componenti; ecc.

4.2. PIAZZAMENTO DEI COMPONENTI

I componenti impostati appaiono come in Fig. 10.

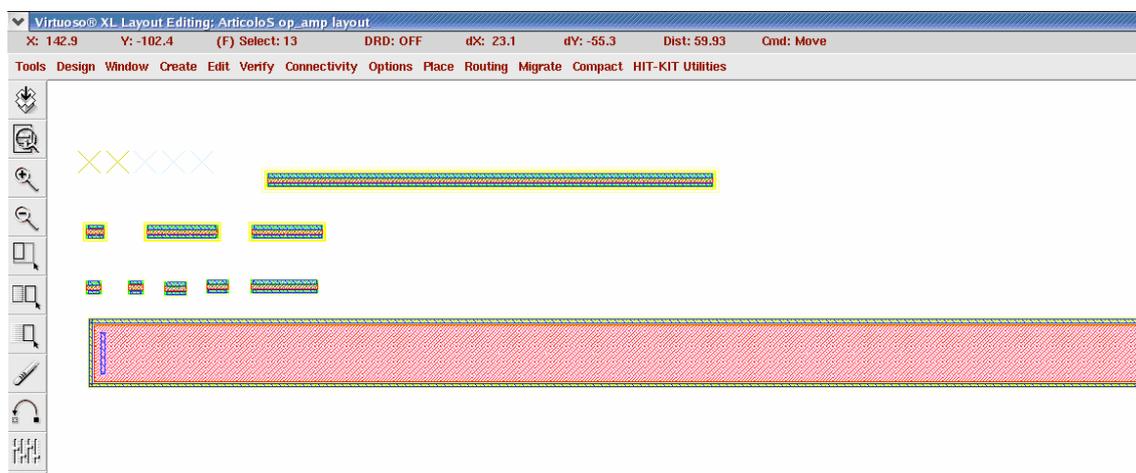


Figura 10 – Importazione componenti

Il blocco rettangolare in basso è la capacità di feedback, mentre quello in alto è il MOS di uscita M_{p2} . L'eccessiva lunghezza va sia a discapito della geometria del blocco che della lunghezza dei collegamenti. Bisogna perciò modificarne le dimensioni senza, ovviamente,

alterarne le caratteristiche elettriche. Selezioniamo la capacità e poi col tasto Q apriamo la finestra *Edit Instance Property* per modificare i parametri del componente. Nel caso della capacità impostiamo la lunghezza a 65um. Il programma modifica il valore della capacità, che dobbiamo ripristinare a 3pF. Fatto ciò, in automatico, otteniamo il nuovo valore della larghezza.

Per modificare la forma del mos M_{P2} lo selezioniamo e, dopo aver premuto su Q, andiamo a modificare il numero di Gates del mos. Questa modifica lascia invariate le sue caratteristiche elettriche. Il risultato ottenuto sarà così quello di Fig. 11.

Il comando *Connectivity* → *Show Incomplete Nets* visualizza le net da collegare. Con *SelectAll* e quindi *Apply* compaiono tutti i collegamenti da realizzare. Le net scompaiono a collegamento avvenuto.

Bisogna adesso piazzare i componenti in posizione ottimale per effettuare i collegamenti. La finestra *LSW* presente già all'apertura del *Layout Editor* consente di selezionare il layer (ad es. Metal, Poly, o le diffusioni di tipo n o p).

I mos devono essere vicini, di modo che abbiano caratteristiche simili e non risentano delle possibili tolleranze del processo di produzione specialmente se in configurazione a specchio. I collegamenti devono essere effettuati in metal e non in poly, perché questo presenta un'elevata resistenza.

Nel caso in cui un mos abbia il collegamento di substrato allo stesso potenziale del source, è possibile creare in automatico il contatto selezionando la voce *Substate Contact* dalla finestra *Edit Instance Properties*. In caso contrario il contatto va creato separatamente e collegato.

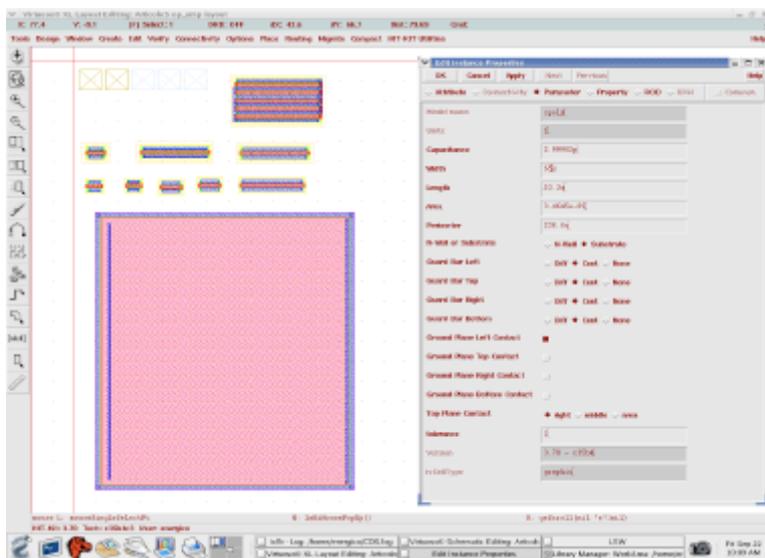


Figura 11 – Ottimizzazione delle dimensioni

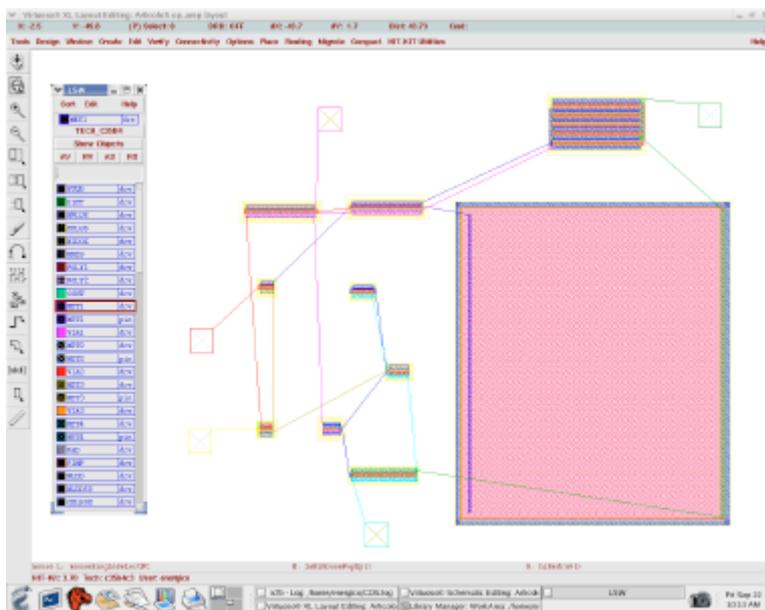


Figura 12 – Rast Nets

4.3. SBROGLIO

Per lo sbroglio selezioniamo il layer *MET1* nella finestra *LSW*. A sinistra della finestra di disegno il menù ci permette di accedere alle funzioni: *Rectangle*, per creare un rettangolo il cui riempimento dipende dal layer selezionato su *LSW*, *Poligon*, per tracciare un poligono, *Path*, per creare una pista delle dimensioni desiderate, e al *Ruler*, un righello molto utile per misurare le distanze fra piste, pad e così via (il righello si attiva anche premendo K; MAIUSC + K li elimina).

Nello sbroglio bisogna far riferimento alle *Design Rules* (CMOS C35B4 dell'AustrianMicrosystem), che definiscono l'insieme delle regole di disegno, le distanze minime e massime, le dimensioni, le forme dei pad, le correnti massime.

Per passare da un metal layer ad un altro si usa il *BindKey O*, e si ha accesso a un menu in cui possiamo scegliere il tipo di pad da usare. I pad sono definiti dalla tecnologia costruttiva e non sono quindi modificabili.

In Figura 13 è possibile osservare il risultato finale. Si possono vedere i pin di ingresso IN- e IN+ sulla sinistra, le due alimentazioni VDD e VSS rispettivamente sopra e sotto e l'uscita a destra del blocco. Tutt'intorno al blocco abbiamo disposto un Guard Ring che isola il circuito dagli altri adiacenti che si troveranno nell'intero chip e che limita le correnti di leakage.

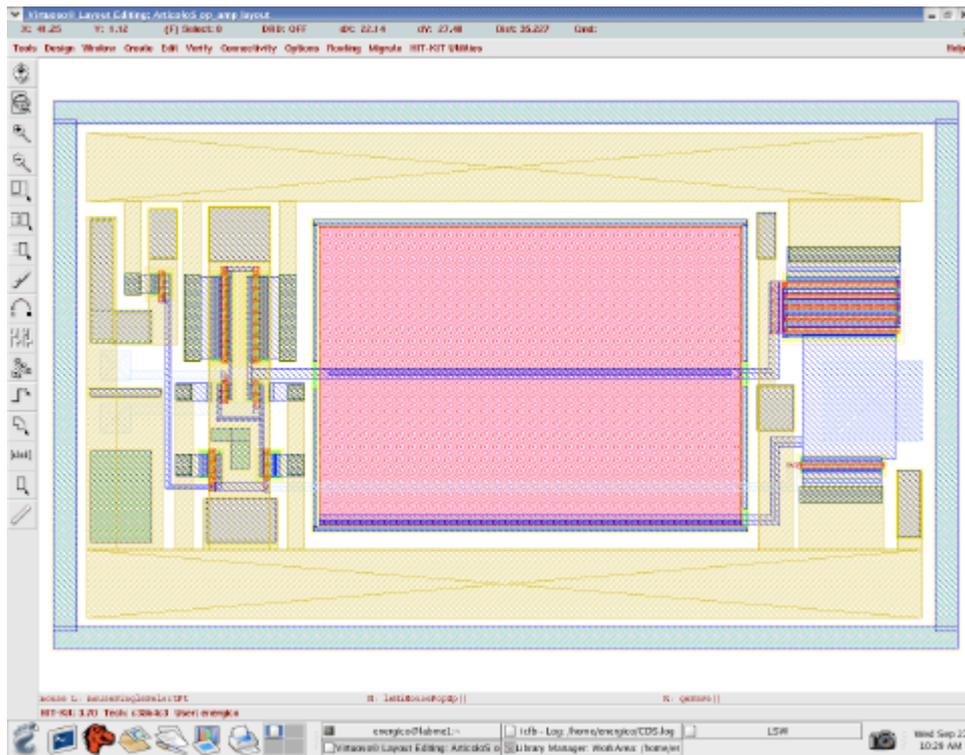


Figura 13 – Layout finale

Lo sbroglio si controlla con *Verify* → *DRC*. Nella finestra del *DRC*, in Figura 14, dobbiamo solo che verificare che si faccia correttamente riferimento al *Rule File*, che nel nostro caso è *divaDRC.rul*, e alla *Rule Library* collegata alla libreria relativa la tecnologia in uso. Una volta dato l'*OK* verrà eseguito il controllo di conformità del disegno. Alla fine del processo nella finestra *CIW* vediamo un report completo degli errori, con relativo codice e posizione rispetto agli assi. Bisogna rimuovere gli errori e rieseguire il *DRC* finché il lavoro non è completo.

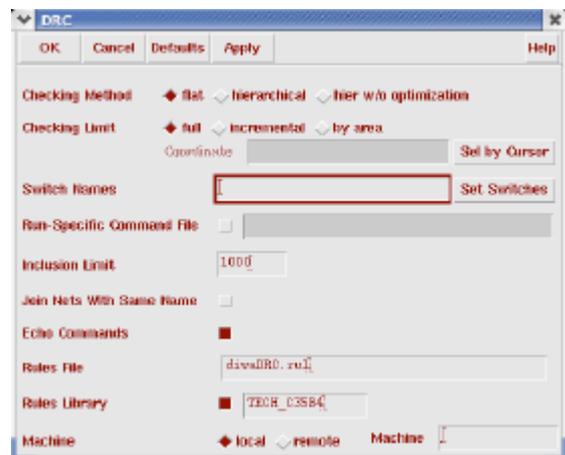


Figura 14 – DRC Window

5. SIMULAZIONE POST LAYOUT

Una delle fasi più importanti e interessanti del flusso di progetto è la simulazione post layout con cui simuliamo tutti i parassiti presenti nel chip, dovuti alle caratteristiche fisiche dei componenti e dei collegamenti.

La simulazione post layout può essere eseguita sia di un circuito con i PADs che senza. Prendiamo, quindi, il layout dell'op-amp e generiamo i file per l'estrazione dei parametri parassiti attraverso il comando *Verify* → *Extract*. Il campo *Switch Name* deve essere impostato su *capall* e *Rules Library* sulla tecnologia in uso *TECH_C35B4* (Fig. 18). Premendo su *OK* viene generato una nuova *View Extracted* del circuito, sulla quale sono riportati i componenti parassiti. Selezioniamo adesso *Verify* → *LVS* per la creazione del file necessario per la simulazione post layout. Dopo aver selezionato lo *schematic* e l'*extracted* del circuito eseguiamo il comando *Run* e, dopo aver verificato eventuali errori, *Build Analog* (Fig. 18b) per la creazione del file *analogExtracted*.

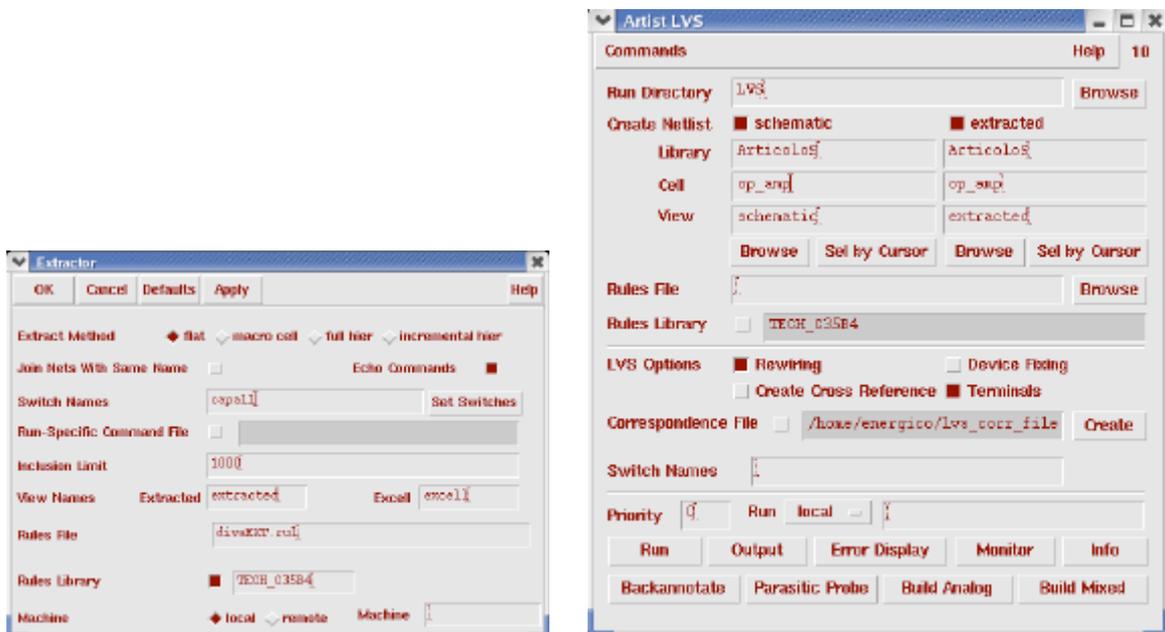


Figura 18 – Extractor Window (18a); LVS Window (18b).

Per la simulazione post layout, apriamo lo schematico e lanciamo la simulazione con *Tools* → *Analog Enviroments*. Poi dal menù *Setup* → *Enviroment Option*, impostiamo la stringa *Switch View List* su: *spectre analog_extracted [cmos_sch schematic]* (Fig. 19). Dopo aver applicato le modifiche lanciamo la simulazione con *Netlist and Run*. Questa volta il simulatore terrà conto del file *analogExtracted* e quindi di tutti i componenti parassiti rilevati. Con *Result* → *Direct plot* → *AC Gain & Phase* visualizziamo il diagramma di Bode del circuito e lo confrontiamo col risultato ottenuto dalla simulazione dello schematico (Fig. 20).

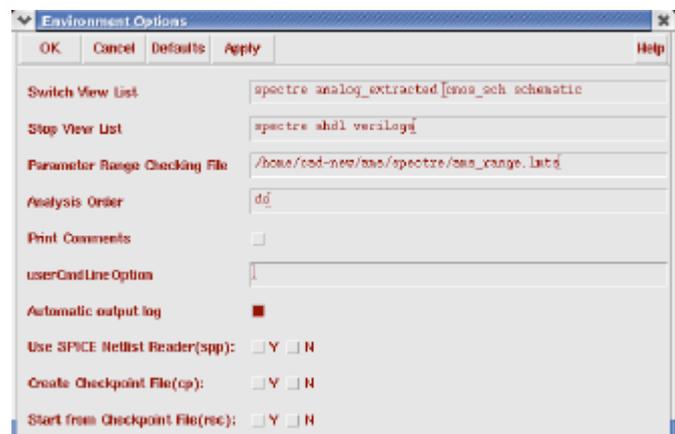


Figura 19 – Simulazione analog_extracted

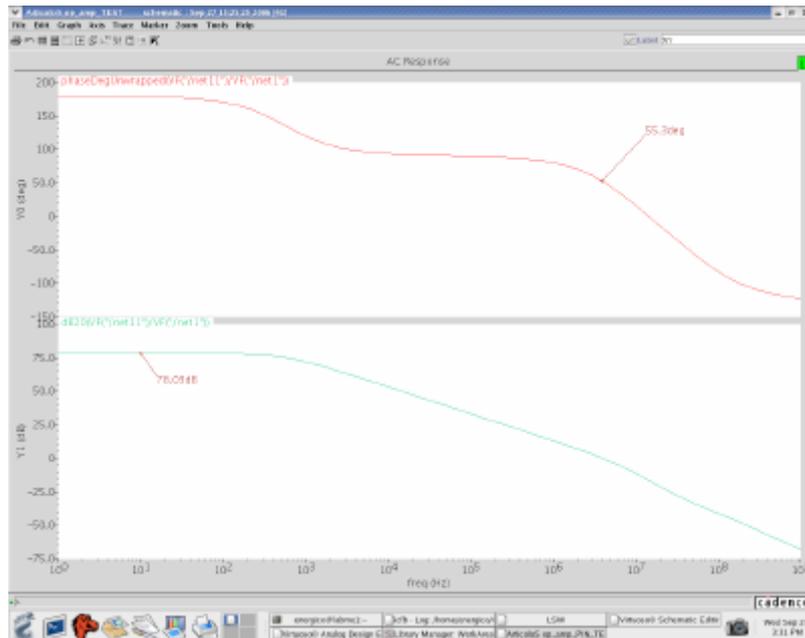


Figura 20 – Bode Plot

Il risultato ottenuto è molto prossimo a quello ideale. Cioè abbiamo un guadagno in DC di 78,03 dB e un margine di fase di 52,39 gradi. Qualora invece le differenze siano tali da non rientrare in una tolleranza accettabile bisogna procedere con modifiche al layout o allo schema.

6. AGGIUNTA DEI PADs

Dobbiamo adesso aggiungere i *PAD* sui quali verrà eseguito il bonding. Questi *PAD* vanno prima aggiunti nello schema elettrico.

Dal *Library Manager* creiamo una nuova *Cell* e la chiamiamo *Op_amp_PIN* e una nuova *View* schematic. Copiamo in questa *View* il circuito *Op_amp* e aggiungiamo i *PAD* (Fig. 15). I *PAD* si trovano nella libreria *PADs*, e sono specifici per *VDD*, *GND*, *I/O*.

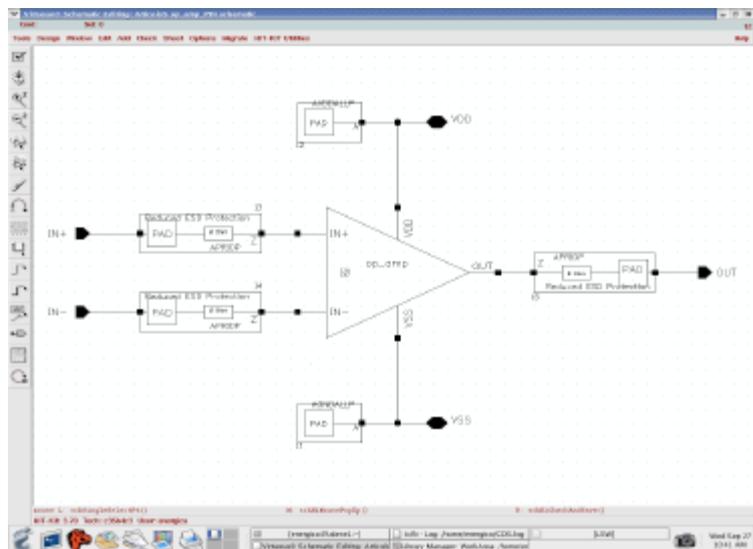


Figura 15 – Inserzione PIN

Avendo aggiunto i pin siamo in presenza di un nuovo schematico e, per procedere con la creazione del layout, vanno rieseguite le operazioni descritte al paragrafo 4. per la creazione di un nuovo layout.

Dopo aver eseguito i collegamenti fra circuito *op_amp* e *PADs* (Fig. 16a), questi ultimi vanno collegati tra di loro (Fig. 16b). In particolare, ogni *PAD* ha collegamenti verso le alimentazioni di riferimento.

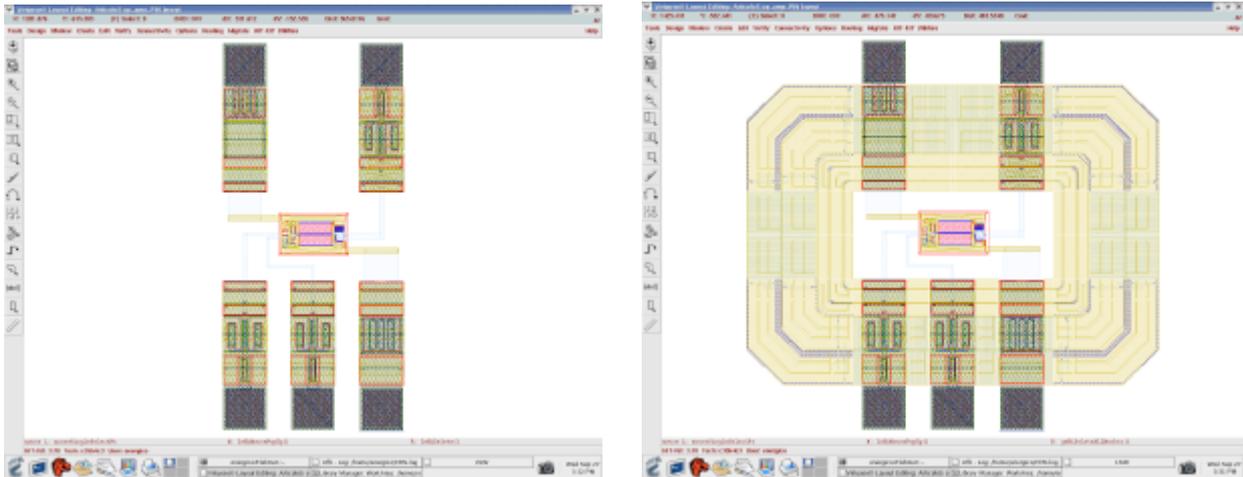


Figura 16 - Layout con PADS (16a); Layout con strutture (16b).

6.1. SCELTA DEL PACKAGE E BONDING

L'ultimo passo è la scelta di un package e del bonding, cioè dei collegamenti tra i PADS sul silicio e quelli del package. Possiamo scegliere il Package dalla libreria *LEADFRAMES*. Dal *CIW* selezioniamo *HIT-KIT Utilities* → *Bonding Diagram Editor*. Nella finestra *Chip Bonding*



Figura 17 – Chip Bonding Window

(Fig. 17) selezionare il Leadframe scelto, il chip e la libreria di destinazione del *Bonding Diagram*. Cliccando su *BondingAbstract* viene creato un nuovo file in cui sono visibili solo i PADS del chip. Infine con *Place* si apre una nuova finestra con il package scelto e il chip al centro. In questo file dobbiamo eseguire le piste di collegamento fra i PADS del chip e quelli del package attraverso il comando *Path*.

6.2. SIMULAZIONE POST LAYOUT CON PADS

E' necessario adesso procedere con una nuova simulazione post layout del circuito con i PADS. Generiamo le *View extracted* e *analogExtracted* come descritto al paragrafo 5., poi creiamo un nuovo circuito di simulazione come fatto al punto 3.4., e infine rieseguiamo la simulazione. I risultati ottenuti sono di 78,03 dB di guadagno alle basse frequenze e un margine di fase di 52,39 gradi.

7. CREAZIONE DEL file.GDS

Per creare il file di progetto da inviare alla fonderia selezioniamo dal *CIW File* → *Export* → *Stream*, poi selezioniamo il layout da realizzare e *OK*.

8. CONCLUSIONI

Questa nota ha mostrato il flusso di progetto per un amplificatore operazionale full custom in tecnologia da 0.35 micron.

Si è dimostrato che effettuando un accurato layout, le prestazioni del circuito sono prossime a quelle dello schematico.

9. BIBLIOGRAFIA

[1] K.S. Kundert "The designer's Guide to SPICE and SPECTRE" Wiley 1993

[2] Alan Hasting "The Art of Analog Layout" Prentice Hall 2001