



**ISTITUTO NAZIONALE DI FISICA NUCLEARE**

**Sezione di Napoli**

---

**INFN/TC-05/06**

**21 Aprile 2005**

**LA SCHEDA AVI (ATOM To VME INTERFACE) PER  
L'APPARATO EXODET**

Antonio Anastasio, Vincenzo Masone, Pasquale Parascandolo

*INFN-Sezione di Napoli, Comp. Univ. di Monte S. Angelo  
Via Cintia, snc-80126 Napoli, Italy*

**Abstract**

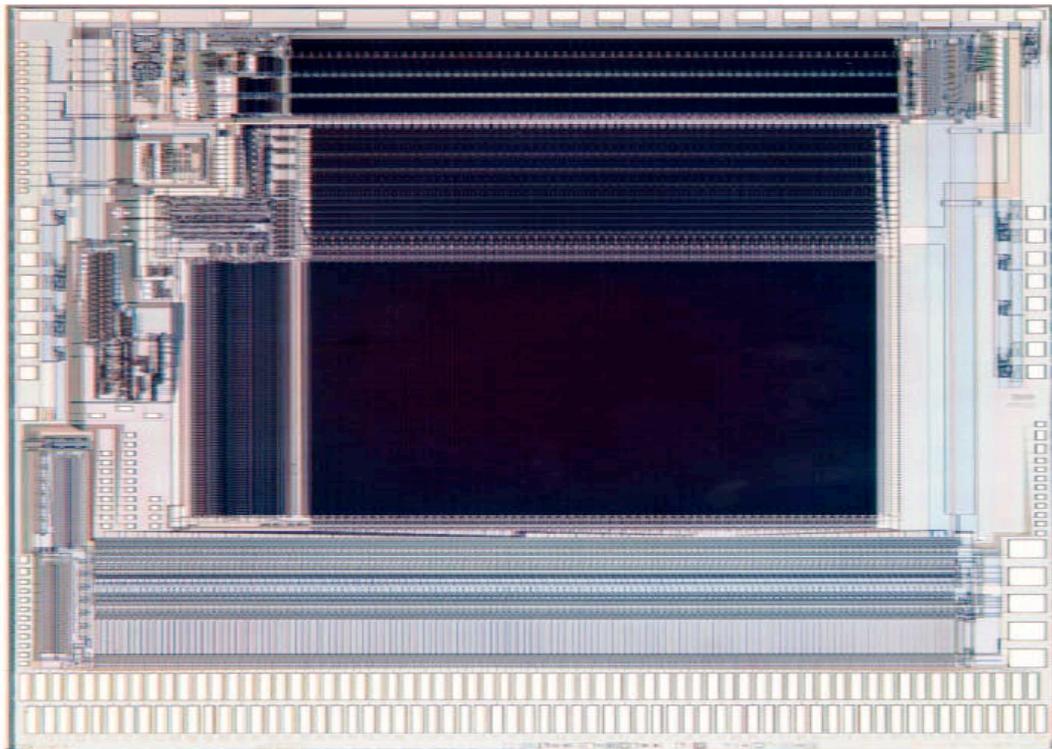
Questa nota descrive la scheda AVI da noi sviluppata e che è stata utilizzata sull'apparato EXODET dapprima ai Laboratori Nazionali di Argonne (USA), poi presso i Laboratori di Riken (Giappone) ed attualmente ai Laboratori Nazionali di Legnaro. La scheda AVI (ATOM to VME Interface) funziona da modulo di interfaccia con il chip ATOM sviluppato originariamente per l'esperimento BaBar.

*Published by SIS-Pubblicazioni  
Laboratori Nazionali di Frascati*

## 1. INTRODUZIONE

Negli esperimenti con fasci radioattivi è molto importante disporre di rivelatori ad alta granularità che coprano il maggior angolo solido possibile. In quest'ottica è stato sviluppato un nuovo apparato sperimentale chiamato EXODET [1], acronimo di **EXOTIC DETECTOR**, che è stato usato per la prima volta ai Laboratori Nazionali di Argonne (USA).

A causa dell'elevato numero di canali d'ingresso (1600), per il read-out è stato necessario impiegare un chip ASIC allo scopo di ottenere l'informazione relativa alla posizione della particella incidente. Il chip ATOM (figg. 1 e 2), sviluppato originariamente per l'esperimento BaBar [2], è stato adattato al range dinamico richiesto per l'apparato EXODET ed utilizzato con successo. In soli  $5.7 \times 8.3 \text{ mm}^2$  il chip racchiude al suo interno una sezione analogica ed una digitale in grado di gestire 128 canali d'ingresso.



*Fig. 1 - Il chip ATOM.*

La catena analogica include un preamplificatore ed uno shaper, costituito da una rete CR-RC, e termina in ingresso ad un comparatore. La tensione di soglia del comparatore è programmabile a mezzo di un DAC a 6 bit con uno step 7.5 mV. L'uscita del comparatore è collegata ad una memoria SRAM da 193 celle che funziona da pipeline. Quando il segnale d'ingresso supera la soglia impostata l'uscita del comparatore si pone ad un livello logico alto ed una serie di 1 è scritta nella memoria per tutto il tempo in cui il segnale d'ingresso al comparatore è sopra soglia (TOT: Time Over Threshold). Per effettuare la diagnostica del chip è possibile iniettare una piccola quantità di carica su ciascun ingresso del preamplificatore, oppure scrivere nella memoria di pipeline un predeterminato numero di 1 allo scopo di simulare la presenza di segnali sui canali d'ingresso al chip. Alla ricezione di un trigger, viene effettuata una ricerca dell'hit in una regione selezionabile di 32 celle; tutti i 128 canali sono analizzati simultaneamente. Per ciascuna transizione nella "trigger jitter window" viene registrata la posizione della prima transizione da 0 ad 1 e contato il numero degli 1 corrispondente al TOT. Quest'informazione, in congiunzione ad un

codice a 7 bit, che rappresenta il canale su cui c'è stato l'hit, viene posto nel buffer di uscita per esser trasmesso all'occorrenza di un segnale di lettura.

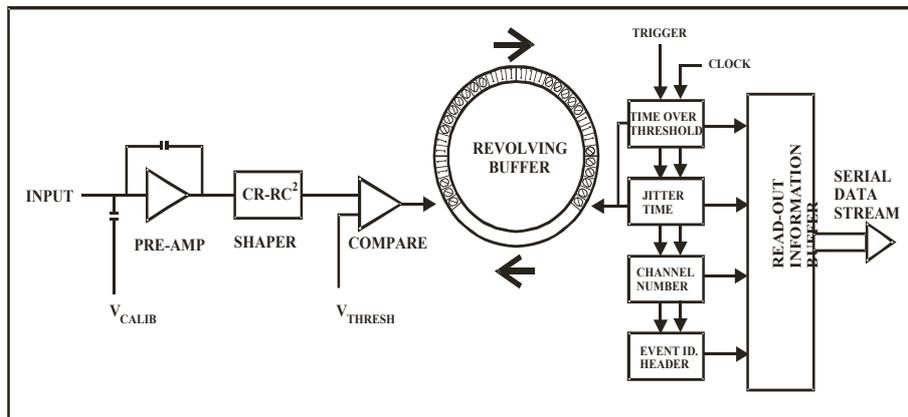


Fig. 2 - Schema semplificato del chip ATOM.

I settaggi del chip sono controllati a mezzo di un registro di controllo a 32 bit, attraverso una maschera a 128 bit e ad un registro di calibrazione, anch'esso a 128 bit. Il registro di controllo a 32 bit consente all'utente di stabilire la soglia del DAC, i parametri per la calibrazione e la "trigger jitter window". In modalità di diagnostica è possibile iniettare sugli ingressi del chip una carica prefissata per un determinato numero di canali mascherando quelli da cui non si vuole risposta.

Il chip ATOM riceve i comandi attraverso un protocollo seriale, in accordo con la trasmissione dei dati anch'essa di tipo seriale. Il clock (30 MHz), i dati d'ingresso e quelli d'uscita sono trasmessi in modo differenziale.

Il formato adottato per l'invio dei comandi seriali è il seguente:

**z s ccccc aaaaa dddddddddd.....**

dove: "z" è lo stato di riposo della linea; "s" è lo start bit che deve essere uguale ad 1; i 5 bit "c" corrispondono al comando; i 5 bit "a" corrispondono all'indirizzo; i bit "d" corrispondono ai dati. Il protocollo di comunicazione con il chip prevede i seguenti comandi:

- Cal\_Strobe
- Clear\_Read\_Out
- L1\_Trig\_accept
- Master Reset
- Read\_Event
- Read\_Registers
- Sync
- Write\_Cal\_and\_Channel\_Mask
- Write\_Control\_Path
- Write\_Control\_Register

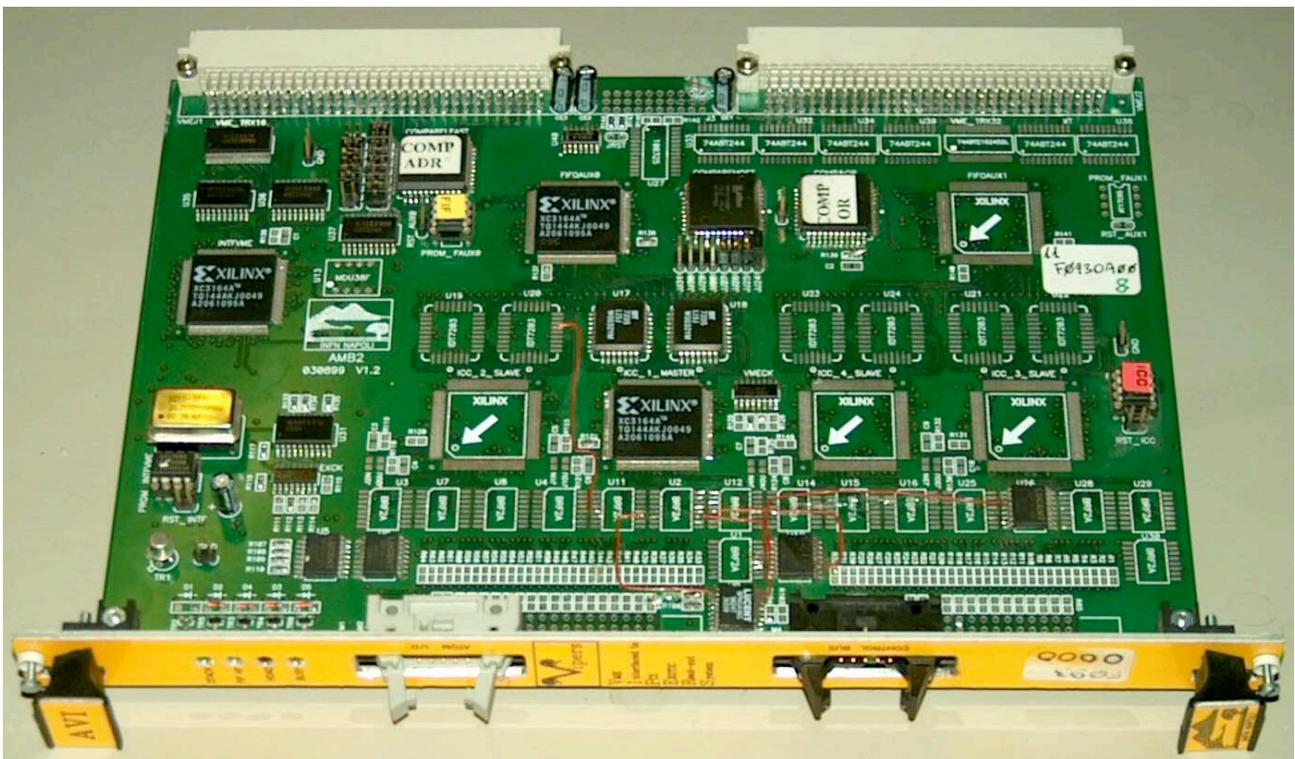
Il comando L1\_Trig\_Accept dà inizio alla ricerca nella "trigger window" ed immagazzina sia il TOT che il "time stamp" nel buffer di uscita per ciascun canale su cui sia presente un hit. Il codice di Trigger-Tag, ricevuto contestualmente al comando di L1\_Trig\_Accept, è immagazzinato nell'header del frame di dati. Questo comando non può esser inviato prima di 12.8  $\mu$ s dall'evento fisico e non può essere ripetuto prima di 3.6  $\mu$ s.

Il comando `Read_Event` dà inizio alla trasmissione dei dati che precedentemente erano stati sistemati nel buffer di uscita. Un nuovo comando di `Read_Event` non può essere inviato prima che siano trascorsi  $4.4 \mu\text{s}$  e non può essere ripetuto prima che la trasmissione del comando precedente sia stata completata. I comandi illustrati e tutti gli altri sono discussi dettagliatamente in ref. 2.

L'interfacciamento tra il chip ASIC ed il bus VME è effettuato dalla scheda AVI, che costituisce l'oggetto di questa nota. All'interno del crate VME possono essere alloggiare fino a 20 schede. Il DAQ dell'apparato EXODET è organizzato in modalità "trigger driven". Ogni frame ricevuto viene etichettato a mezzo di un contatore di trigger e di un contatore di tempo; per ciascun trigger accettato viene, quindi, immagazzinato un numero progressivo e l'istante di tempo in cui lo stesso è stato ricevuto.

## 2. LA SCHEDA AVI

La scheda AVI (fig. 3) funziona da interfaccia tra il sistema di acquisizione basato su VME\_Bus ed il chip ATOM. Essa gestisce sia la presa dati che la diagnostica del chip poiché attraverso la AVI il VME può impostare una serie di parametri di funzionamento, tra cui soglie e maschere, ed impostare impulsi di calibrazione.



*Fig. 3 - La scheda AVI.*

La AVI utilizza 3 FPGA della Xilinx (XC3164ATQ144-09) [3] denominate: A\_INTF (ATOM INTerface); F\_INTF (FIFO INTerface); VME\_INTF (VME INTerface) e due FIFO IDT 7205.

La comunicazione verso il chip ATOM è seriale ed è completamente gestita dalla scheda AVI che invia i comandi ed il clock e raccoglie i dati che arrivano sincroni con il clock inviato. Lo schema a blocchi della scheda è rappresentato in figura 4.

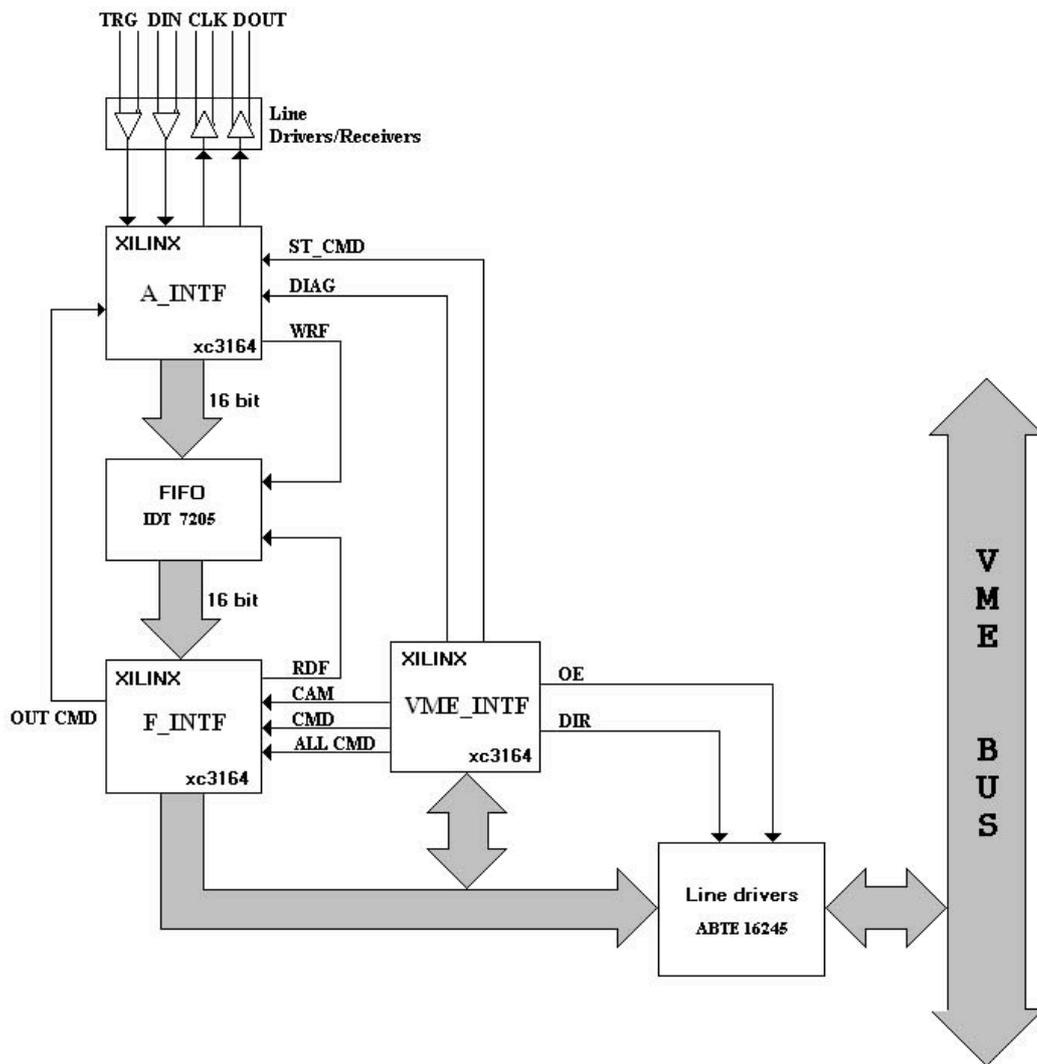


Fig. 4 - Schema a blocchi della scheda AVI.

### 3. L' INTERFACCIA CON IL CHIP ATOM

La A\_INTF è l'FPGA che si occupa di interfacciare il chip ATOM alla AVI; all'occorrenza di un segnale di trigger la stessa provvede ad inviare tutti i comandi previsti per la lettura dei dati provenienti dagli ATOM ad essa collegati. Il formato dei comandi verso il front-end segue lo stesso protocollo messo a punto per l'esperimento BaBar.

La trasmissione dei dati da e verso il chip avviene mediante l'utilizzo di segnali differenziali attraverso i quali la AVI è in grado di gestire tutte le funzionalità previste all'interno del chip sia in modalità di diagnostica che d'acquisizione.

Le operazioni nella A\_INTF iniziano alla ricezione del trigger che viene etichettato con un numero progressivo ed associato al tempo di occorrenza. Trascorso il tempo di latenza viene inviato il comando L1\_Trigger\_Accept e successivamente il comando Read\_Event. Poiché sul chip ATOM è presente una pipeline che consente la ricezione di 4 trigger, all'interno di A\_INTF è stata prevista una logica a puntatore che consente di associare correttamente i dati ricevuti ai trigger inviati.

L'FPGA immagazzina i dati trasmessi verificandone il formato ed alzando eventualmente una flag di Busy per informare la scheda Trigger Supervisor (TS) dell'attività in corso; nell'ipotesi in cui fosse verificata un'incongruenza nel frame ricevuto un'ulteriore flag di STOPDAQ segnala l'errore. I dati seriali d'ingresso, aventi una lunghezza variabile, vengono convertiti in un formato parallelo a 16 bit ed organizzati in modo da essere scritti nella FIFO esterna. Il formato del frame di dati adottato è mostrato nella tabella 1.

Tab. 1 - Organizzazione dei frames di dati.

AAAA	Header
FFXX	Time Counter (8 bit)
FFXX	AVI Trigger Tag (8 bit)
XXXX	Chip Data
0000	End of Frame
0000	End of Frame

All'interno della A\_INTF un ruolo chiave è svolto dal blocco Pointer Encoder (fig. 5), il quale effettua la gestione della coda di trigger prevista dal chip. Esso è costituito da uno shift-register a 3 bit che funziona con modalità simile ad un contatore up-down.

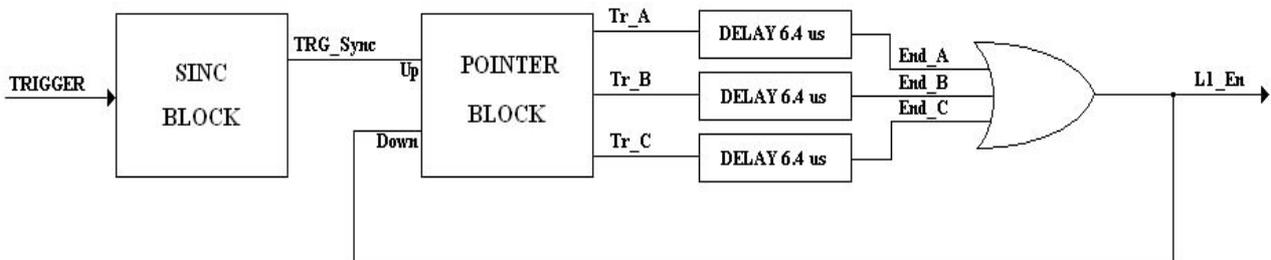


Fig. 5 - Schema semplificato del Pointer Encoder Block.

La pipeline può arrivare al massimo a tre trigger; con il terzo trigger in itinere viene alzata la flag di Busy, destinata al Trigger Supervisor, in modo da inibire l'ulteriore produzione di trigger.

Il modulo di ritardo DELAY funziona come un monostabile digitale. In presenza del segnale Tr\_X viene settato un flip-flop che al termine dei 6.4  $\mu$ s di latenza viene nuovamente resettato. L'OR logico dei segnali di End\_RX costituisce il segnale L1\_TRIGGER\_ACCEPT destinato al chip ATOM.

Il segnale L1\_EN viene inviato ad un contatore di trigger a 5 bit, per la produzione del Trigger-Tag, e ad un contatore di tempo a 14 bit (fig. 6); in questo modo ciascun frame di dati sarà identificato sia temporalmente che con un numero progressivo. Un gruppo di registri conserverà le informazioni corrispondenti a ciascun evento in attesa nella coda di trigger in modo da poterle attaccare al corrispondente pacchetto di dati all'occorrenza del relativo segnale di lettura.

Il blocco RDE\_BLK (fig. 7) rappresenta il cuore dell'interfaccia verso l'ATOM. Esso riceve i dati provenienti dal chip ed effettua una conversione seriale parallelo (in uno shift-register a 16

bit) oltre a tutta una serie di controlli sull'integrità dei dati. Il primo controllo effettuato all'interno del blocco riguarda il formato dell'header affinché risulti quello previsto dalle specifiche e successivamente che ci sia una corrispondenza tra l'Event-Number puntato dalla FPGA ed il Trigger-Tag rinvio dal chip ATOM. Se viene rilevata la piena corrispondenza di questi parametri viene prodotto un segnale di Header\_OK. In questa fase i dati che arrivano dal chip ATOM possono essere acquisiti e posti nella FIFO. A partire da Header\_OK viene prodotto un segnale di WR\_Header che scrive l'header nella FIFO. Successivamente viene scritto il contenuto del contatore del tempo mediante il segnale WR\_Time\_Cnt ed infine l'event number. Il ciclo termina in corrispondenza del segnale di RDE\_END prodotto quando per 32 clock successivi sono letti tutti zeri.

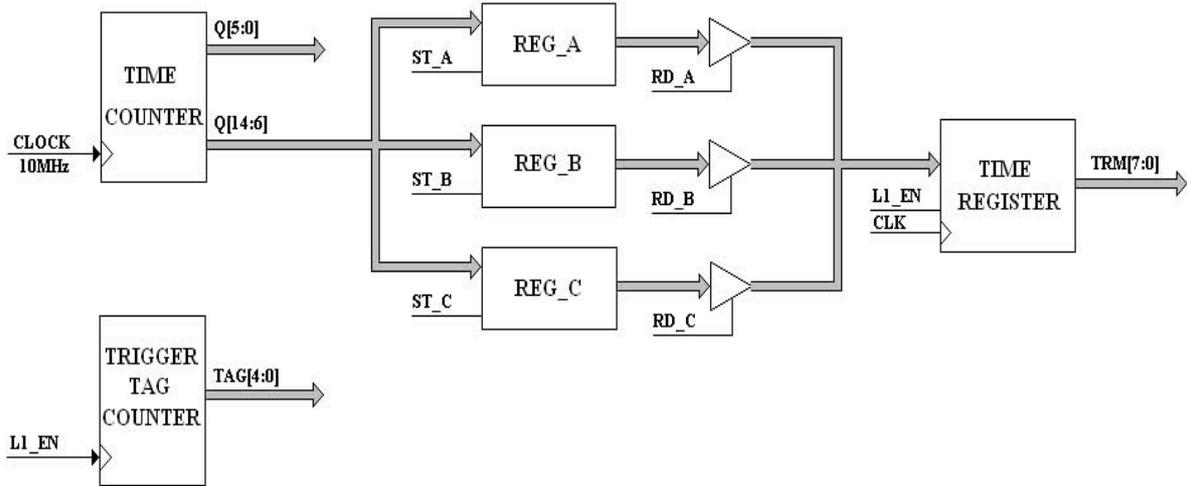


Fig. 6 - Schema semplificato del Time Trigger Counter Block.

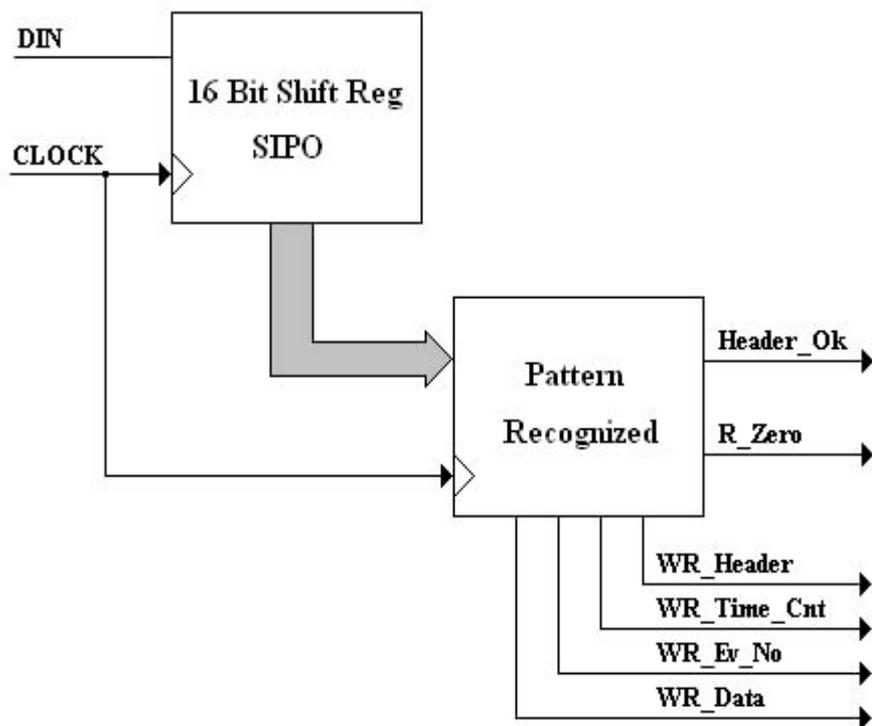


Fig. 7 - Schema a blocchi di RDE\_BLK.

Se la scheda AVI viene posta in diagnostica è possibile effettuare dei test sul chip ATOM. Per inviare un comando viene usata la stessa FIFO che in acquisizione è utilizzata per immagazzinare i dati. Il VME scrive dapprima nella FIFO, attraverso la A\_INTF, il numero di parole a 16 bit richiesto ed in seguito invia il comando appropriato (CMD, CAM e ALL\_CMD) alla F\_INTF.

#### 4. L'INTERFACCIA CON LA FIFO

La F\_INTF (fig. 8) riceve in ingresso i dati provenienti dalle FIFO e li trasmette ad un registro a 16 bit d'uscita; in essa, inoltre, viene gestita tutta la logica di diagnostica inerente al chip ATOM. Per ciascun comando di diagnostica ricevuto (CMD, CAM e ALL\_CMD) è stato implementato un monostabile digitale che rimane attivo per tutto il tempo necessario ad effettuare una o più letture dalla FIFO, in base al tipo di comando selezionato. I dati letti sono poi serializzati e, tramite la A\_INTF, trasmessi al chip ATOM.

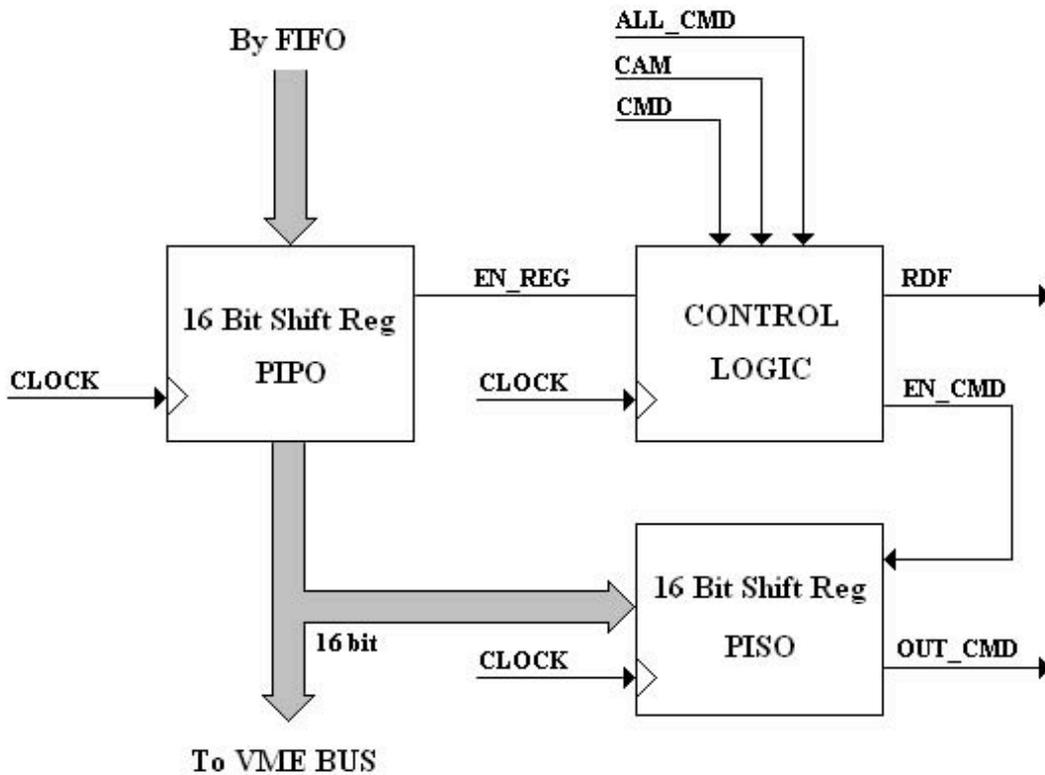


Fig. 8 - Schema a blocchi della F-INTF.

#### 5. L'INTERFACCIA VERSO IL VME

L'interfaccia verso il VME è realizzata in gran parte all'interno della VME\_INTF, anch'essa implementata all'interno di una FPGA Xilinx XC3000-PQ144-3. La decodifica degli indirizzi A[32:6] e degli address modifiers AM[5:0] è invece effettuata in due MACH210A prodotte dalla AMD. La scheda AVI lavora in modalità "memory mapped" e la sua interfaccia è A32-D16. Quando si verifica una corrispondenza tra gli indirizzi ed i jumpers di selezione e quando il codice degli address modifiers indica un'operazione sulla scheda la VME\_INTF riceve un segnale di

abilitazione. Per lanciare un comando basta far riferimento ad una locazione di memoria come indicato nella tabella 2.

*Tab. 2 - AVI Memory Map*

LW	A5	A4	A3	A2	A1	Comando
1	0	0	0	0	0	CS
1	0	0	0	0	1	ALLCMD
1	0	0	0	1	0	CMD
1	0	0	0	1	1	CAM
1	0	0	1	0	0	RDFVME
1	0	0	1	0	1	CW

L'interfaccia verso A\_INTF e verso F\_INTF è realizzata secondo un protocollo seriale. All'interno della VME\_INTF è presente uno shift-register a 16 bit che registra in parallelo i dati che arrivano dal bus VME e li trasferisce serialmente verso le altre due FPGA. Ciascun comando, precedentemente scritto all'interno della FIFO, viene lanciato facendo riferimento all'opportuna locazione di memoria.

## 6. CONCLUSIONI

La scheda AVI è stata impiegata con successo dapprima in un esperimento effettuato a CORNEILLE negli USA, poi a RIKEN in Giappone ed infine ai Laboratori di Legnaro.

## 7. RINGRAZIAMENTI

Si ringrazia il dott. Mauro Romoli per gli utili suggerimenti nella progettazione e nella realizzazione della scheda.

## 8. BIBLIOGRAFIA

- [1] M. Romoli et al: "*The EXODET Apparatus And Its First Experimental Results:  $^{17}F$  Scattering By  $^{208}Pb$  Below The Coulomb Barrier*" AIP Conf. Proc. vol. 704 (2004) 202.
- [2] A. Perazzo, N. Roe: "*User's Guide to the ATOM IC*", BaBar notes #501 (1999).
- [3] *Xilinx FPGA Data Book*.