



ISTITUTO NAZIONALE DI FISICA NUCLEARE

Sezione di Napoli

INFN/TC-04/12
29 Giugno 2004

**LA CONTROLLER BOARD DELLO SPETTROMETRO DI MUONI
DELL'ESPERIMENTO OPERA**

Vincenzo Masone

INFN – Sezione di Napoli

Abstract

Questa nota descrive la scheda Controller Board (CB) progettata nell'ambito dell'esperimento OPERA in allestimento presso i Laboratori Nazionali del Gran Sasso. Scopo principale del progetto è la realizzazione di un'interfaccia tra le schede di Front-End collegate ai rivelatori ed il sistema di acquisizione basato sullo standard Ethernet. I dati d'ingresso sono sottoposti ad un processo di soppressione degli zeri e successivamente immagazzinati in attesa di essere acquisiti. Per la gestione della scheda è stato implementato un protocollo di controllo, basato sullo standard RS-232, che costituisce un sistema alternativo di acquisizione dei dati provenienti dalle Front-End Boards.

1 – INTRODUZIONE

Il principale compito dello spettrometro magnetico di muoni dell'esperimento OPERA [1] è quello di fornire precise indicazioni per l'identificazione dei muoni prodotti dall'interazione dei neutrini con l'apparato. Lo spettrometro [2] è costituito da due distinti sub-detectors, ciascuno dei quali comprendente 22 piani di RPC (Resistive Plate Counters) divisi in due bracci di 11 piani. Gli RPC sono equipaggiati da entrambi i lati con strips orizzontali e verticali, per un totale di circa venticinquemila canali di lettura.

I segnali rilevati da ciascun gruppo di 64 strips vengono inviati alle singole schede FEB (Front-End Board) dove sono discriminati e memorizzati in attesa di essere acquisiti successivamente (Fig.1).

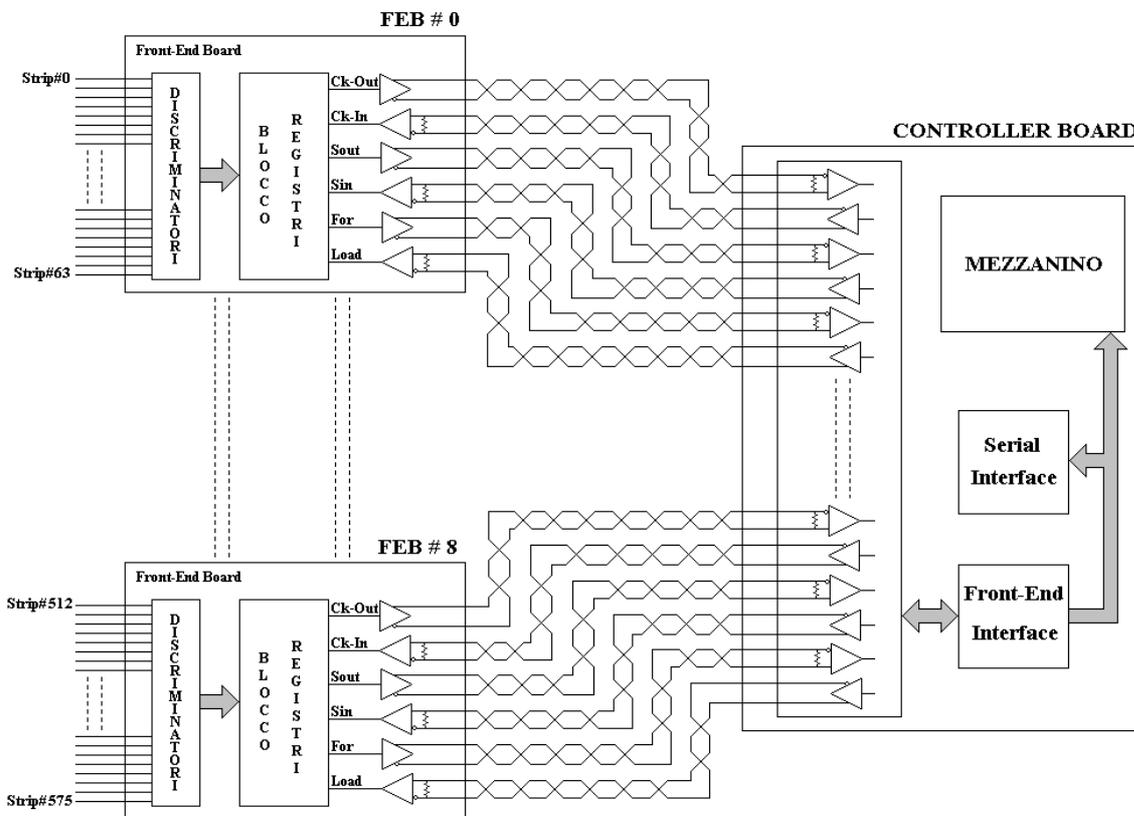


Fig.1 – Connessione tra Front-End Boards e Controller Board

2 – LA CONTROLLER BOARD

La scheda Controller si occupa della lettura e dell'impacchettamento dei dati seriali provenienti dalle 9 FEB necessarie alla lettura delle strips di entrambi i lati di un singolo piano di RPC. Essa, inoltre, provvede alla loro organizzazione prima dell'invio al sistema di acquisizione operando la soppressione degli zeri relativi alle strips non interessate. Il Controller, infine, gestisce gli Slow-Control, cioè quei comandi di controllo necessari alla gestione delle FEB.

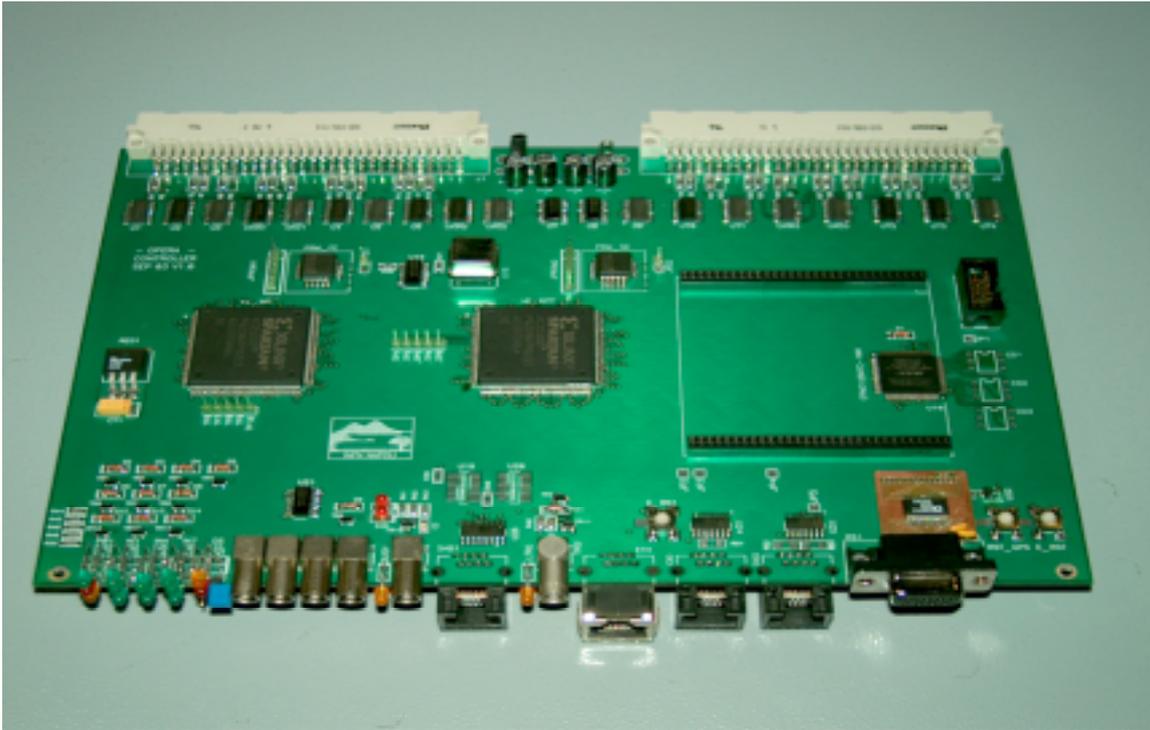


Fig.2 – La Controller Board

Nella scheda (Fig.2) possiamo individuare due blocchi principali che coincidono con le due FPGA (XILINX Spartan Xc2S100pq208-5) [3] utilizzate nel progetto: la Front End Interface e la Serial Interface (Fig.3).

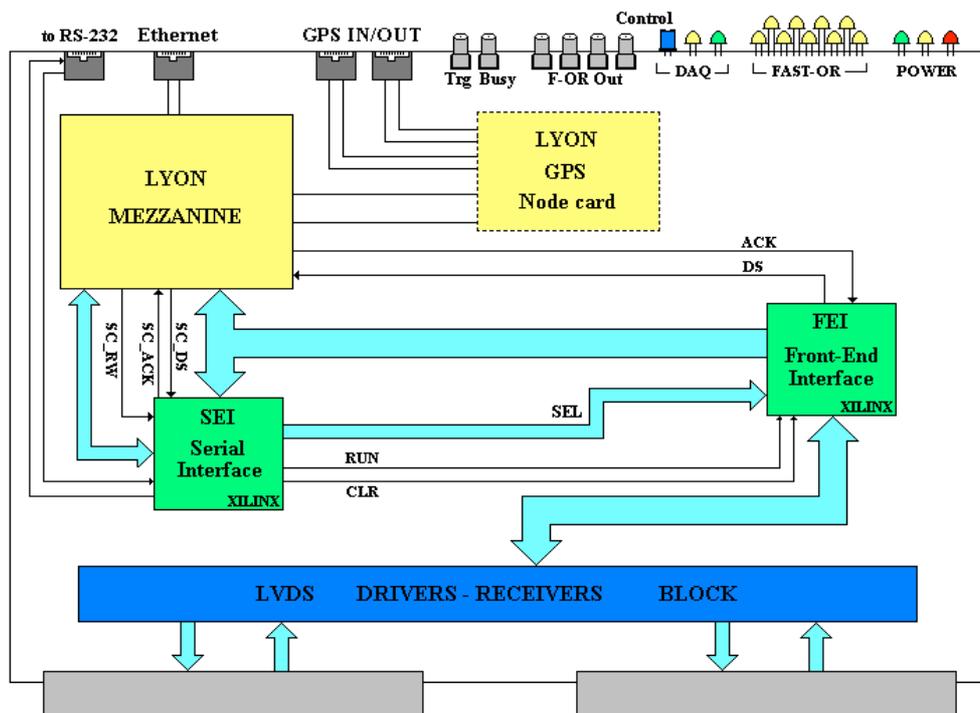


Fig.3 – Controller Board: Schema a blocchi

Il Controller, inoltre, ospita un modulo aggiuntivo prodotto dal Dipartimento di Fisica dell'Università di Lione, denominato "Mezzanino", avente il compito di controllare la scheda e di trasferire i dati verso il DAQ System in standard Ethernet. In alternativa è possibile gestire il Controller mediante un protocollo seriale RS-232 a 19200 baud. La Controller Board opera ad una frequenza di 40 Mhz.

2.1 – La Front-End Interface

La Front End Interface (Fig.4) è quella parte di Controller Board che riceve i dati seriali ed i relativi clocks provenienti dalle Front End Board's tramite receivers LVDS DS90C032S (National) [4]. All'occorrenza di un trigger la FEI invia un segnale di Load a tutte le FEB e successivamente 65 colpi di clock (64 per i bit di strip + 1 per il bit di parità), con una frequenza di 10 Mhz (100 ns). I drivers LVDS utilizzati sono i DS90C031S (National).

Per la lettura dei dati provenienti dalle FEB il segnale di clock viene da queste ritrasmesso al Controller il quale, inoltre, esegue una bufferizzazione di 8 bit durante la ricezione dei segnali seriali; in questo modo vengono scongiurati errori di lettura causati da elevate o eventualmente diverse lunghezze dei cavi utilizzati per il trasferimento.

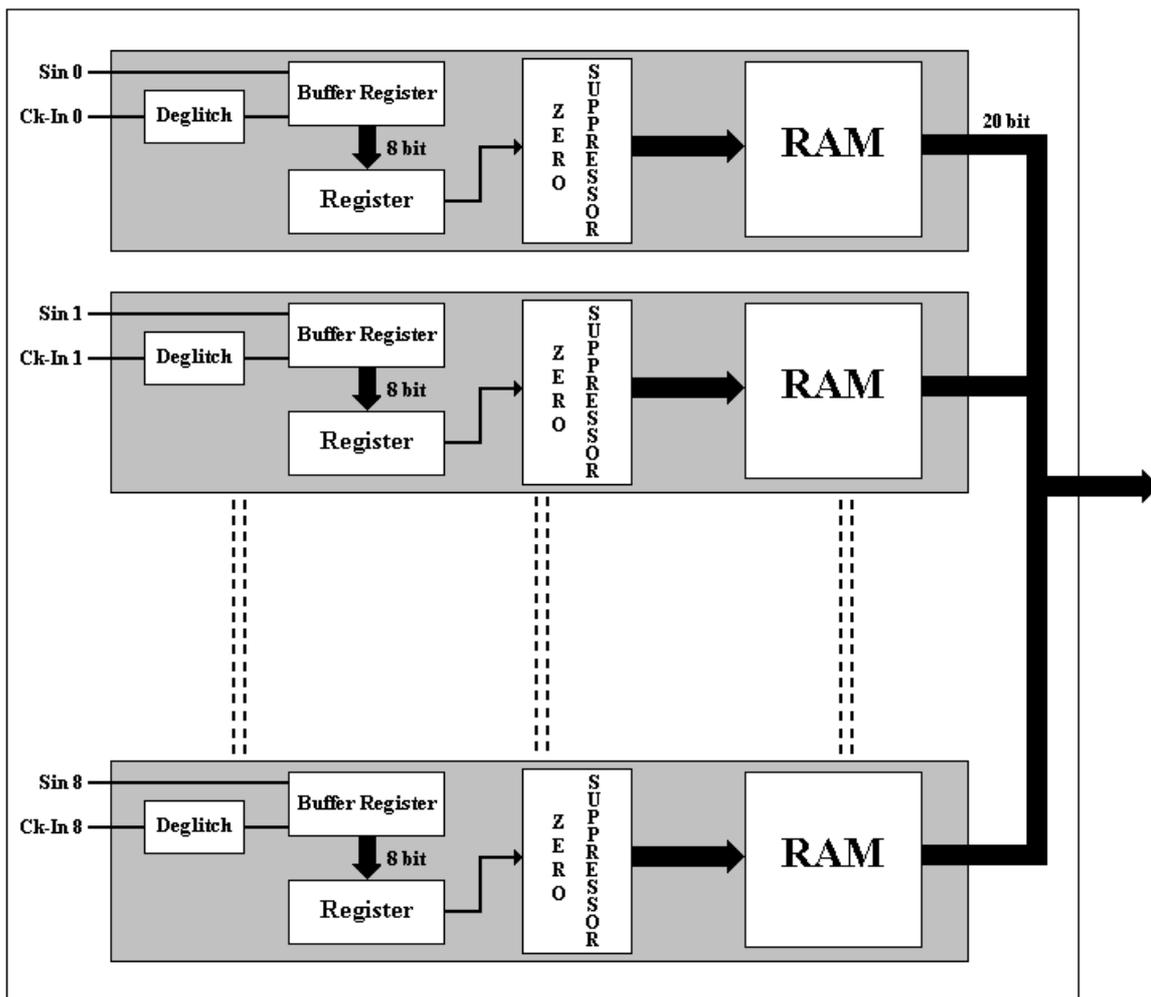


Fig.4 – La Front-End Interface (FEI)

Ciascun ingresso è inoltre corredato di un circuito di “de-glitch” avente il compito di evitare errate letture dei dati d’ingresso causate da indesiderate transizioni dei segnali di clock.

Successivamente viene eseguita una soppressione degli zeri presenti tra i dati ricevuti prima che gli stessi vengano immagazzinati in nove blocchi di RAM (implementate all’interno dell’FPGA), ciascuno riservato ad un canale d’ingresso. La soppressione prevede per ogni cluster di bit accesi la creazione di una parola contenente il canale di appartenenza (4 bit), la posizione del primo 1 del cluster all’interno del pattern di 64 bit (6 bit) e la larghezza del cluster stesso (6 bit). Alla locazione 0x00 di ciascuna RAM è contenuto il numero totale di parole immagazzinate nella stessa. Durante la ricezione dei dati viene calcolata la parità su ogni canale e alla fine del trasferimento quest’ultima viene confrontata con quella inviata dalle FEB. I risultati di tali confronti andranno a far parte del pattern di uscita verso il Mezzanino.

Per il colloquio con il Mezzanino ospitato sulla scheda si è optato per un protocollo handshake che prevede l’utilizzo di due segnali, denominati DS (Data Strobe) e ACK (Acknowledge), entrambi attivi bassi (Fig.5). Quando tutti i dati relativi allo stesso trigger sono stati letti, soppressi ed immagazzinati nei nove blocchi di RAM, il Controller rende disponibile il dato contenuto nella prima locazione della RAM del canale zero abbassando il segnale DS⁽¹⁾. A questo punto il Mezzanino immagazzinerà tali dati ed abbasserà il segnale ACK⁽²⁾. Una volta acquisiti i dati il Controller rialzerà il segnale DS⁽³⁾, in risposta al quale anche il Mezzanino rialzerà ACK⁽⁴⁾. Tale procedura verrà ripetuta fino alla completa lettura dei dati contenuti nelle RAM.

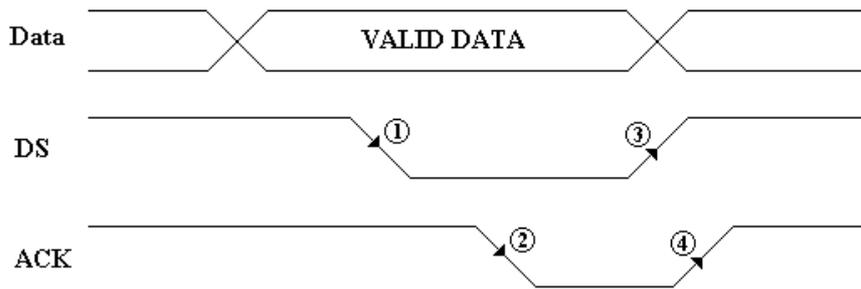
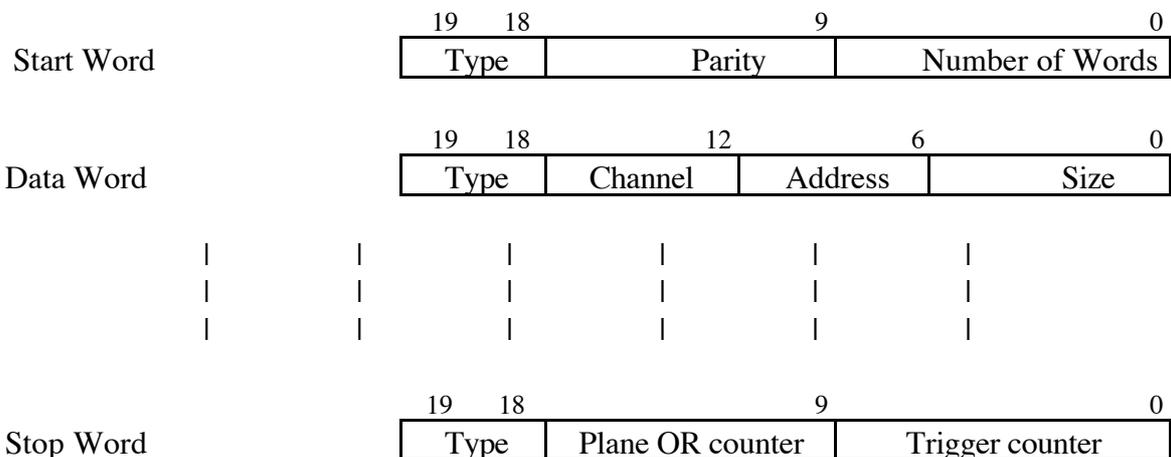


Fig.5 – Protocollo di comunicazione con il Mezzanino

I dati trasmessi al mezzanino sono stati organizzati secondo il seguente schema:



- TYPE identifica il tipo di dato trasmesso in base al seguente schema:

10 Start Word - 00 Data Word - 01 Stop Word

- La Parity Word consiste in una parola di 9 bit in cui ciascun 1 presente in essa indica una differenza tra la parità trasmessa dalla corrispondente FEB e quella calcolata dal Controller;
- Number of Words è la somma totale delle parole contenute nelle nove RAM;
- CHANNEL indica a quale dei nove ingressi appartiene l'hit immagazzinato;
- ADDRESS indica la posizione dell'hit all'interno del pattern di 64 bit;
- SIZE indica la larghezza del gruppo di hit;
- Trigger Counter indica il numero di trigger ricevuti tra due cicli di lettura consecutivi e non seguiti da acquisizione;
- Plane-OR counter è il numero di segnali di OR di piano ricevuti tra due cicli di lettura consecutivi; fornisce, quindi, l'informazione di quanti trigger vengono persi a causa del BUSY dell'acquisizione.

Un segnale di BUSY viene prodotto ogni volta che un trigger dà inizio ad un trasferimento e mantenuto attivo fino a quando l'ultimo dato sia stato acquisito dal Mezzanino. Tale segnale è disponibile all'uscita della scheda in standard TTL ad uso di un eventuale dispositivo di gestione del trigger. Tra i compiti della FEI è compreso anche l'invio dei comandi di Slow-Control destinati alla gestione delle FEB ad essa collegate. Tale comando, prodotto dall'FPGA Serial Interface (SEI), viene indirizzato sull'uscita indicata dal valore presente sul bus d'ingresso SEL.

2.2 — *La Serial Interface*

La Serial Interface (Fig.6) ha una duplice funzione: permette l'invio dei comandi di Slow-Control verso le schede di Front-End e colloquia, tramite un protocollo seriale RS-232, con un Personal Computer (PC) per la completa gestione della scheda in assenza del Mezzanino prodotto a Lione. In questa FPGA, inoltre, viene eseguita un'operazione di sommatoria (OR) sui nove ingressi di Fast-Or provenienti dalle FEB per la generazione di un successivo segnale di trigger esterno.

La scelta del sistema di controllo Seriale/Ethernet avviene agendo su di un jumper denominato Control: in assenza di quest'ultimo la gestione è unicamente affidata al protocollo RS-232 gestito da un PC. L'accensione di un led evidenzierà il sistema di controllo selezionato.

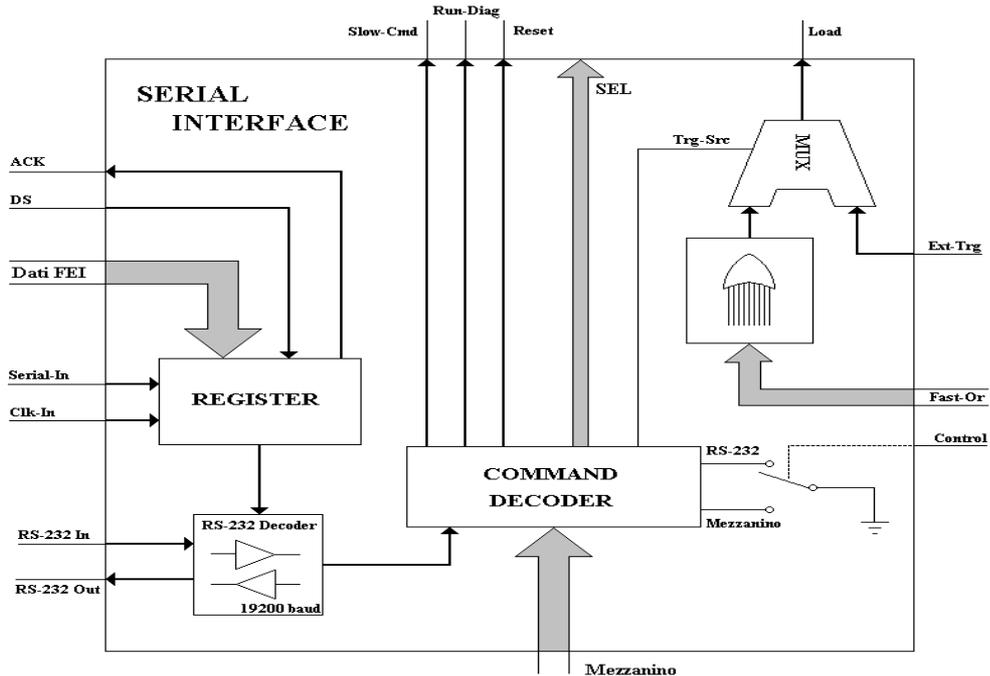


Fig.6 – La Serial Interface (SEI)

2.3 — La gestione del Mezzanino

In tale configurazione la Controller Board viene gestita unicamente dal Mezzanino francese, il quale può:

- acquisire i dati immagazzinati nei nove blocchi di RAM;
- mandare i comandi di Slow-Control;
- leggere l'eventuale risposta al comando precedentemente inviato;
- gestire la Controller Board (Control Word).

2.3.1 — La gestione del Mezzanino: Slow-Control

Un comando di Slow-Control ha la seguente struttura:

N -- Byte_1 -- Byte_2 -- P -- N

- N è la condizione della linea normalmente a 1
- Byte_1 e Byte_2 rappresentano il comando
- P è il bit di parità

Per una completa gestione della Controller Board è stato previsto un particolare registro a 16 bit, denominato Control Word (CW), a cui il Mezzanino potrà fare accesso, ad esempio, per porre la scheda in RUN o DIAG-MODE, oppure resettare la stessa. Per accedere alla CW il Mezzanino deve effettuare un'operazione di scrittura all'indirizzo 0xCF0X dove in base al valore di X si stabiliscono le varie modalità di funzionamento:

0000 Diag Mode
0001 Reset
0010 Run Mode in modalità Internal-Trigger
0110 Run Mode in modalità External-Trigger

Nella modalità Internal-Trigger il segnale di Load inviato alle FEB sarà prodotto unicamente dall'operazione di OR sui segnali di Fast-OR d'ingresso; in quella External il Load sarà l'effetto della ricezione di un segnale esterno proveniente da un'eventuale Trigger-Board. A tale scopo la scheda dispone di un ingresso di External-Trg e di quattro uscite aggiuntive, tutte in standard NIM, per la gestione avanzata dei segnali di trigger.

2.4 — La gestione della RS-232

In tale configurazione la Controller Board viene gestita unicamente via RS-232 attraverso la quale è possibile:

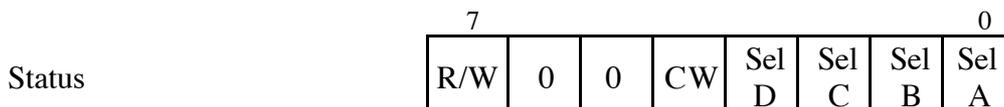
- acquisire i dati immagazzinati nei nove blocchi di RAM;
- inviare i comandi di Slow-Control;
- leggere l'eventuale risposta al comando precedentemente inviato;
- gestire la Controller Board (Control Word).

2.4.1 — La gestione RS-232: Acquisizione Dati

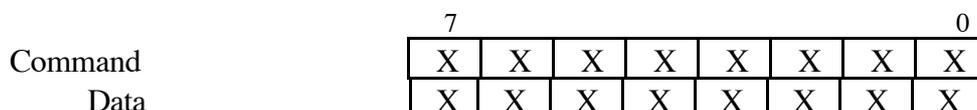
Quando tutti i dati relativi allo stesso trigger saranno stati letti, soppressi ed immagazzinati nei nove blocchi di RAM il Controller invierà i primi 3 bytes verso la RS-232 in modo da informare il programma di acquisizione sul numero di parole da trasferire successivamente. A questo punto il PC dovrà inviare un particolare codice (0x60) che comanderà alla SEI di trasferire l'intero pacchetto dati relativi allo stesso evento di trigger. Naturalmente l'ultima parola immagazzinata sarà confrontata con il Type tipico della Stop Word.

2.4.2 — La gestione RS-232: Slow-Control

Per inviare un comando di controllo verso una determinata FEB, il PC dovrà inviare un primo pattern seriale di 8 bit secondo tale schema:



Dalla decodifica di tale comando il Controller verrà istruito sull'operazione da effettuare. Alla parola di Status seguiranno, se necessari, altri due pattern ad 8 bit:



Per la gestione degli Slow-Controls la scheda dovrà trovarsi in Diag-Mode. In tale modalità, inoltre, la RS-232 potrà accedere alla Control Word mediante l' utilizzo del relativo bit all'interno della parola di Status.

In caso di lettura (R/W=1) all'invio dell'intero comando di controllo seguirà una risposta del Front-End (lettura di soglie, maschere o flags) che verrà immagazzinato dalla SEI in attesa di essere trasferito al PC.

La Serial Interface riceve, inoltre, i segnali di fast-or provenienti da ciascuna delle nove schede collegate alla Controller Board. La sommatoria di questi segnali viene inviata all'esterno della scheda per la generazione del segnale di trigger (in modalità Internal-Trigger). Lo stesso segnale viene utilizzato nella gestione del Busy all'interno della FEI.

Come detto in precedenza all'occorrenza di un segnale di trigger sarà immediatamente prodotto un segnale di Busy che rimarrà attivo fino al completo trasferimento dei dati al Mezzanino. Ulteriori trigger ricevuti durante lo stato di Busy saranno ignorati ed inviati unicamente al Mezzanino per una semplice registrazione. I due contatori, presenti nella parola di Stop, renderanno possibile evidenziare l'efficienza del sistema di acquisizione.

3. — LA SCHEDA DI TEST

Per valutare il corretto funzionamento del prototipo realizzato è stata sviluppata una scheda di test aggiuntiva (Fig.7) che simula la presenza delle nove schede di Front-End collegabili al Controller; tale collegamento avviene mediante un cavo flat a coppie twistate della lunghezza di 12 metri.

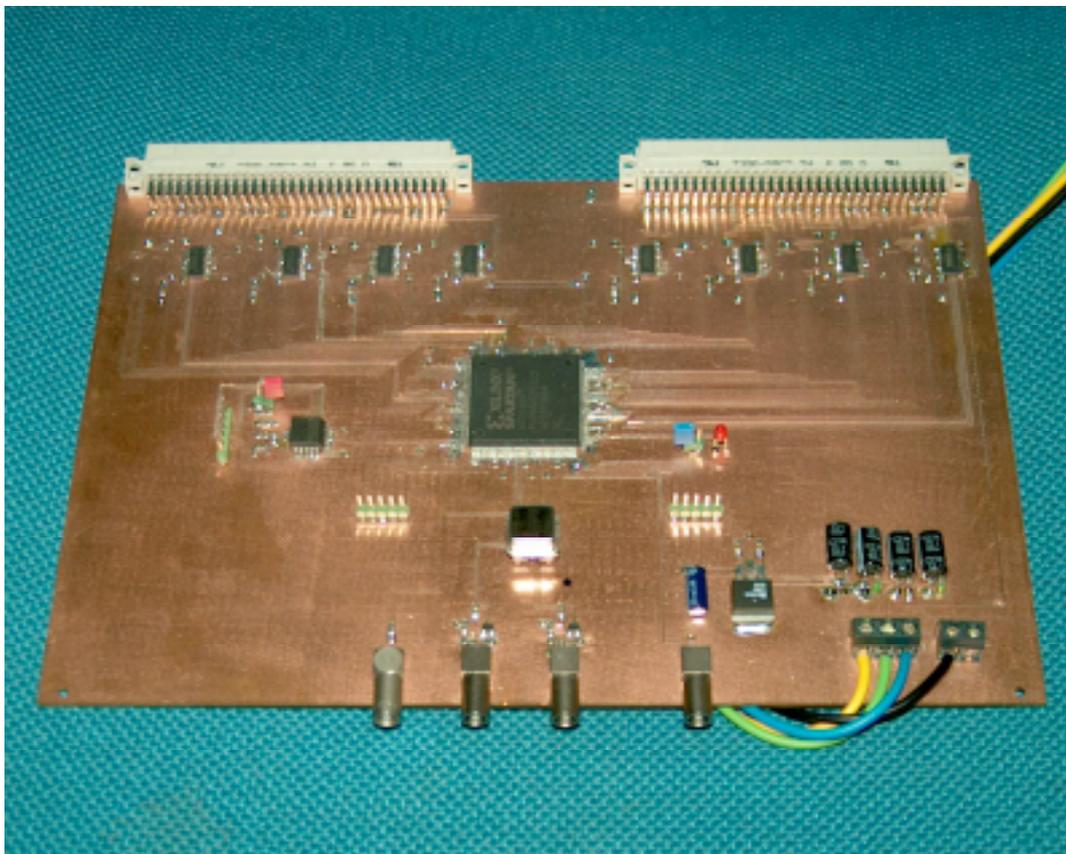


Fig.7 – La scheda di Test

Questa scheda permette di gestire sia la modalità di acquisizione che quella di diagnostica consentendo un controllo approfondito sulle funzionalità della Controller Board. Inoltre, su di essa sono state previste alcune linee di ingresso ed uscita aggiuntive in formato NIM/TTL le quali permettono l'implementazione di alcune funzioni tipiche per la produzione di un segnale di trigger esterno.

All'occorrenza di un segnale di Load proveniente dal Controller la scheda riceve i 65 colpi di clock che vengono ritrasmessi per l'invio di un pattern fisso da ciascuna delle nove uscite disponibili. Tale pattern può essere riprogrammato nell'FPGA in modo da simulare le svariate combinazioni di cluster verificabili nella realtà. E' da mettere in evidenza che la possibilità di disporre di un pattern costante nel tempo rende molto più agevole l'analisi rivolta al test e al debug del prototipo in esame.

In figura 8 possiamo osservare un esempio di acquisizione caratterizzato da 8 cluster presenti su ciascuno dei nove canali.

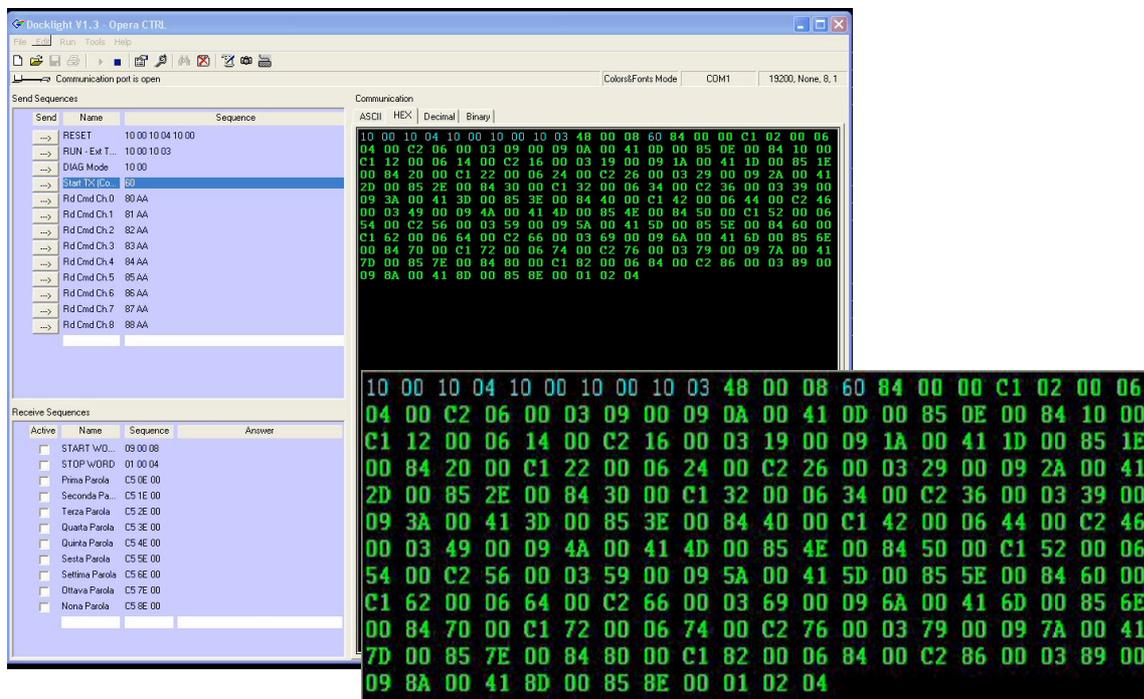


Fig.8 – Programma di Test in modalità di acquisizione

Le 24 parole trasferite sono racchiuse tra la parola di START (48 00 08) e quella di Stop (01 02 04).

4. — CONCLUSIONI

Il prototipo realizzato, in congiunzione con la scheda di test, sta funzionando secondo le aspettative. Un telescopio costituito da 4 RPC aventi dimensioni di 2 m² è stato installato presso la sezione INFN di Napoli allo scopo di effettuare test completi dell'elettronica di read-out utilizzata nell'esperimento in condizioni controllabili.

5. — RINGRAZIAMENTI

Ringrazio il dott. Giovanni Sorrentino, dottorando c/o il Dipartimento di Scienze Fisiche dell'Università di Napoli, per gli utili suggerimenti nella progettazione e realizzazione della scheda.

6. — BIBLIOGRAFIA

- [1] A. Ereditato, K. Niwa, P. Strolin:
"OPERA: a long baseline nutau appearance experiment in the CNGS beam from Cern to Gran Sasso"
CERN/SPSC 99-20, SPSC/M635, LNGS-LOI 19/99;
- [2] M. Ambrosio et al.:
"Electronic design of the OPERA magnetic muon spectrometer"
proceeding RPC 2003 submitted to Elsevier Science;
- [3] *"Spartan-II Data Sheets"*
Xilinx Inc;
- [4] *"LVDS Owner's Manual & Design Guide"*
3rd Edition – National Semiconductor.