



**INFN/TC-00/13**

**17 Luglio 2000**

**CLOCK GENERATOR FOR BOREXINO EXPERIMENT**

Adriano Bevilaqua, Fabio Pratolongo

*INFN-Sezione di Genova Via Dodecaneso 33, 16133 Genova, Italy*

**Sommario**

In questo documento vi è la descrizione del progetto della scheda di clock per l'esperimento BOREXino [1]. Sono presentate le misure effettuate sulla scheda, per caratterizzare e per verificare che rispetti i vincoli fissati dall'esperimento. Lo scopo di questa scheda è di generare i clock a 20 Mhz, a 50 Mhz e ad 60 Mhz, oltre che un segnale di clock programmabile, che può essere variato in un range da 30 fino a 70 Mhz. Questi segnali sono necessari a far funzionare correttamente tutte le schede dell'elettronica digitale dell'esperimento BOREXino.

## 1 INTRODUZIONE

BOREXino è un rivelatore, in tempo reale, per i neutrini solari di bassa energia [2]. Il rivelatore consiste di una sfera contenente un liquido scintillatore che è osservato da oltre 2000 foto-moltiplicatori. Il segnale di trigger è generato quando almeno 10 foto-moltiplicatori sono colpiti in una finestra temporale di 50 ns [3]. L'elettronica d'acquisizione fornisce una misura d'energia e una misura del tempo d'arrivo dell'impulso generato dai foto-moltiplicatori [4]. Per fare questo, il sistema ha bisogno di diversi segnali di clock a frequenze differenti.

Per ottenere queste informazioni bisogna fornire al sistema una serie di clock che abbiano delle ottime prestazioni. È importante che questi segnali siano perfettamente sincronizzati tra loro perciò devono avere un basso clock skew, inteso come differenza del tempo d'arrivo del clock in due schede differenti. Altrettanto importante, il jitter dei segnali deve essere basso, in modo tale da non degradare la risoluzione della misura temporale. Inoltre, il duty cycle dei segnali generati dovrebbe avvicinarsi il più possibile al 50%.

È necessario un segnale di clock a 20 Mhz, utilizzato per l'acquisizione principale della carica (cioè dell'energia) e del tempo d'arrivo dei segnali dei fototubi. Ovviamente non basta un solo segnale ma ne serve uno per ogni crate. Il crate, successivamente, si occuperà di distribuire il clock alle schede al suo interno. In definitiva abbiamo bisogno di 20 segnali a 20 Mhz. Questi segnali sono in logica ECL per rispettare i vincoli progettuali delle schede già costruite.

Altre schede hanno bisogno del clock e sono: la scheda chiamata TAB (Trigger Adder Board) e la scheda chiamata BTB (BOREXino Trigger Board). Queste schede vogliono due segnali di sincronizzazione: uno a 60 Mhz come clock interno, in logica PECL, e un segnale di clock, sempre in logica PECL, che sia in grado di cambiare la sua frequenza in un range da 30 a 70 Mhz che noi abbiamo chiamato clock programmabile. Questo clock serve per gestire il trigger ed è inviato ai crate d'acquisizione tramite le TAB. Per queste applicazioni abbiamo generato 16 segnali di entrambi i clock.

Sul frontale della scheda sono portate alcune copie dei segnali creati, questa volta a livello TTL per usi locali e per i monitor.

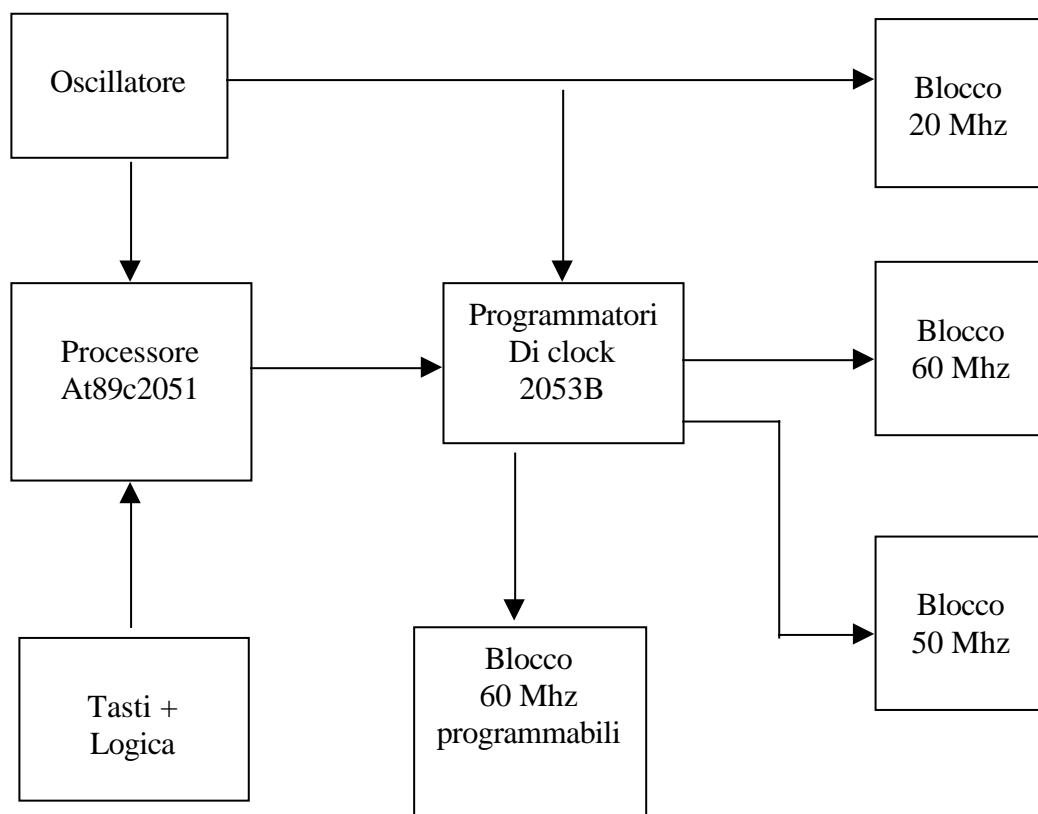
## 2 DESCRIZIONE DELLA SCHEDA

Lo schema a blocchi dell'intera scheda progettata è rappresentato nella figura 1.

Il formato meccanico della scheda è un VME 6U X 280 mm. Il connettore J2 è quello che fornisce il clock a 60 Mhz e quello programmabile. Il collegamento è effettuato con un cablaggio custom.

Il funzionamento di questo circuito è piuttosto semplice: l'oscillatore genera una frequenza a 20 Mhz che va a tre buffer del tipo CY7b9910 che forniscono 20 segnali sincronizzati, questi sono poi convertiti in segnali differenziali ECL attraverso dei 10H124 e mandati in uscita tramite connettori SMB.

Per generare le altre frequenze si fa uso di un microprocessore della famiglia 8051 dell'Amtel che è l'AT89C2051 [5]. Questo processore gestisce due porte da otto pin che il programmatore può decidere di mettere come input o come output.



**FIG. 1:** lo schema a blocchi della scheda.

Il processore, in sintesi, si occupa di generare tre pattern di segnali, uno per ogni segnale di clock in uscita (50, 60 e programmabile), per programmare i PLL. Il flusso di dati arriva al dispositivo logico che genera realmente i clock che è un IDC2053B della Cypress [6]. Il dispositivo riceve questi dati e genera in uscita un clock con la frequenza specificata dall'utente.

A questo punto il clock da 50 Mhz è mandato in uscita tramite due connettori Lemo sul frontale, mentre il segnale a 60 Mhz è spedito ai buffer da cui escono 16 segnali, che sono convertiti in logica PECL con dei 10H351. Dopo di che sono mandati sul connettore J2 in uscita.

In maniera analoga al segnale di clock a 60 Mhz si tratta il segnale di clock programmabile.

L'ultimo blocco, quello dei tasti logici, ha la funzione di far decidere all'utente il valore della frequenza programmabile che sarà generato dal microprocessore.

### 3 DESCRIZIONE DEL PROGRAMMA

Il processore deve creare i pattern per programmare i PLL che genereranno i segnali a 50 Mhz, a 60 Mhz e quello programmabile. Per fare ciò si sono implementate due funzioni, la funzione *pattern()* e la funzione *sendword()*.

La funzione *pattern()* effettua i calcoli per la programmazione dei PLL a partire dalla frequenza in ingresso al processore così come specificato nel manuale del componente [6].

Sfortunatamente, il dato così ottenuto non è detto che sia sempre valido. Per esempio, non è permesso un dato con tre o più uno consecutivi. Per superare il problema si richiama una procedura *changearray()*, che ha come obiettivo quello di analizzare l'array appena generato ed eventualmente correggerlo.

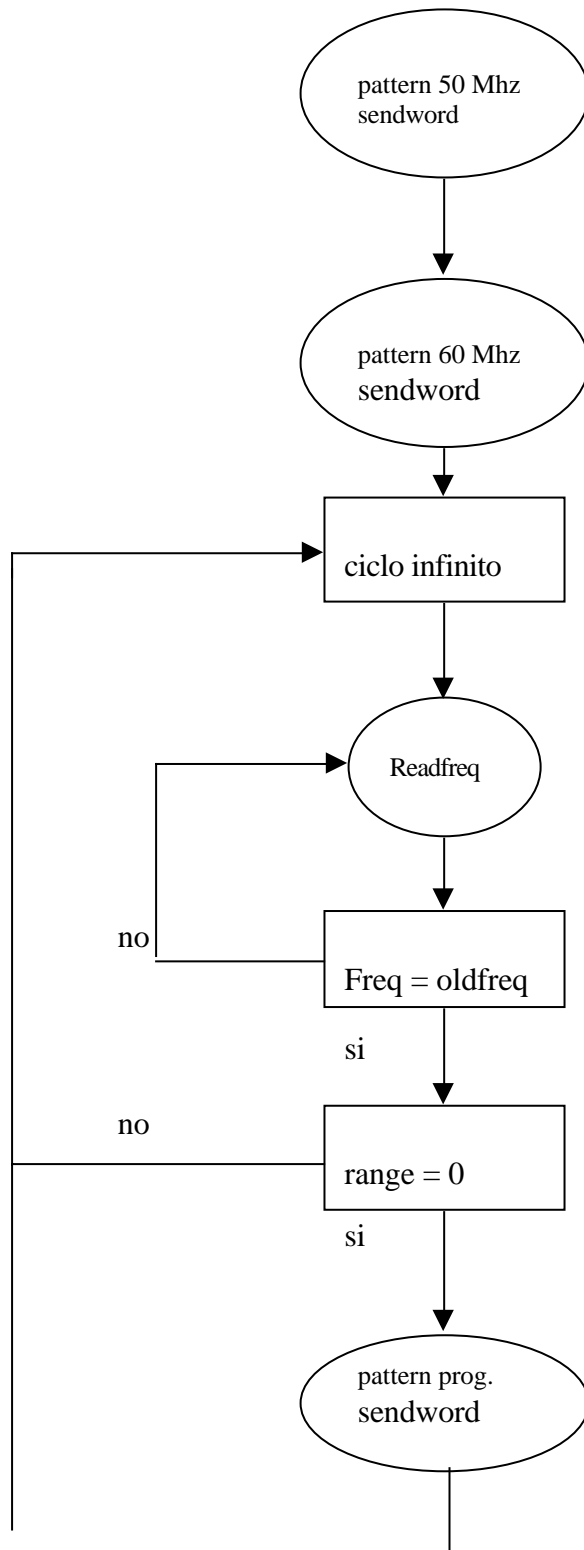
La funzione *sendword()* è stata fatta tenendo conto che per spedire un dato valido al 2053 si deve seguire un determinato protocollo che prevede di inviare una parola di controllo sia prima sia dopo che sono stati inviati i dati generati dalla funzione di *pattern()*, come si vede meglio in [6].

Fatto questo si apre un ciclo infinito che serve per consentire di cambiare la frequenza programmabile in tempo reale agendo sui tasti messi sul frontale della scheda. La funzione *readfreq()*, che all'interno chiama un'altra funzione *readswitch()*, ha il compito di leggere il numero presente sui tasti in ingresso.

Se il numero rimane identico per un tempo sufficientemente lungo si può procedere, altrimenti si aspetta una situazione stabile. Il programma prevede un ulteriore controllo per segnalare se la frequenza è stata settata in maniera inesatta, cioè se è minore di 30 Mhz o maggiore di 70 Mhz. Questo controllo è segnalato con l'accensione di due led.

Se si sono passati entrambi i controlli, si esegue nuovamente la funzione *pattern()* e la funzione *sendword()* per la frequenza programmabile e si va all'inizio del ciclo per aspettare una modifica della frequenza.

Il diagramma di flusso del programma è presentato nella figura 2.



**FIG. 2:** diagramma di flusso del programma.

#### 4 PERFORMANCE DELLA SCHEDA

La prima misura eseguita è quella riguardante il clock skew dei segnali a 20 Mhz.

Questa misura è molto importante perché se lo skew è alto, cioè molto diverso tra tutti i segnali di clock generati, si potrebbero presentare dei problemi perché non si avrebbe più una perfetta sincronizzazione tra i diversi segnali di clock sulle diverse schede, che è una condizione necessaria per la buona riuscita dell'esperimento.

Le uscite che forniscono un clock con una frequenza di 20 Mhz sono: due segnali sul frontale che noi abbiamo chiamato monitor1 e monitor2, e altri 20 segnali differenziali ECL che escono dalla scheda tramite connettori SMB.

Esaminiamo per prima cosa, con l'ausilio di un immagine presa dall'oscilloscopio digitale, il confronto tra due segnali: il primo è il monitor1 e l'altro è un canale cioè uno dei 20 segnali. La differenza in altezza tra i due segnali è spiegata dai valori differenti della scala di tensione.

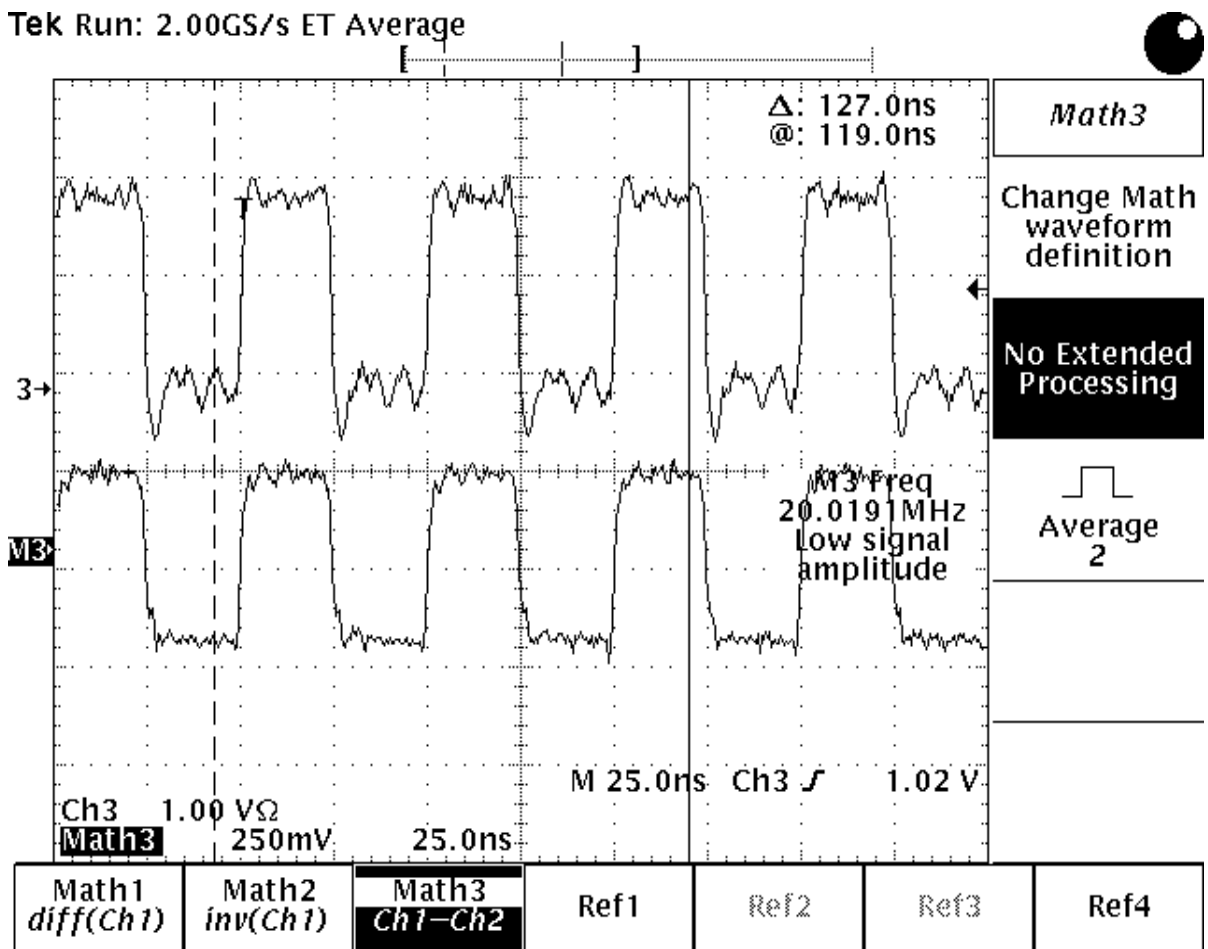


FIG. 3: confronto tra segnali a 20 Mhz.

Per effettuare la misura del clock skew si deve utilizzare una maggiore amplificazione del segnale, come quella che si vede nella figura numero 4, che ci presenta il canale 12 confrontato

con il segnale proveniente dal monitor1 che è quello di sopra. È mostrata la frequenza del canale 12, mentre la delta in alto a destra ci dice la distanza temporale tra i due cursori, che rappresenta lo skew.

Infatti, noi abbiamo misurato questo parametro prendendo in esame come partenza l'inizio del fronte di salita del segnale del monitor1, che quindi diventa il segnale di riferimento, e misurando, per esempio, lo skew a metà della commutazione successiva del segnale in esame.

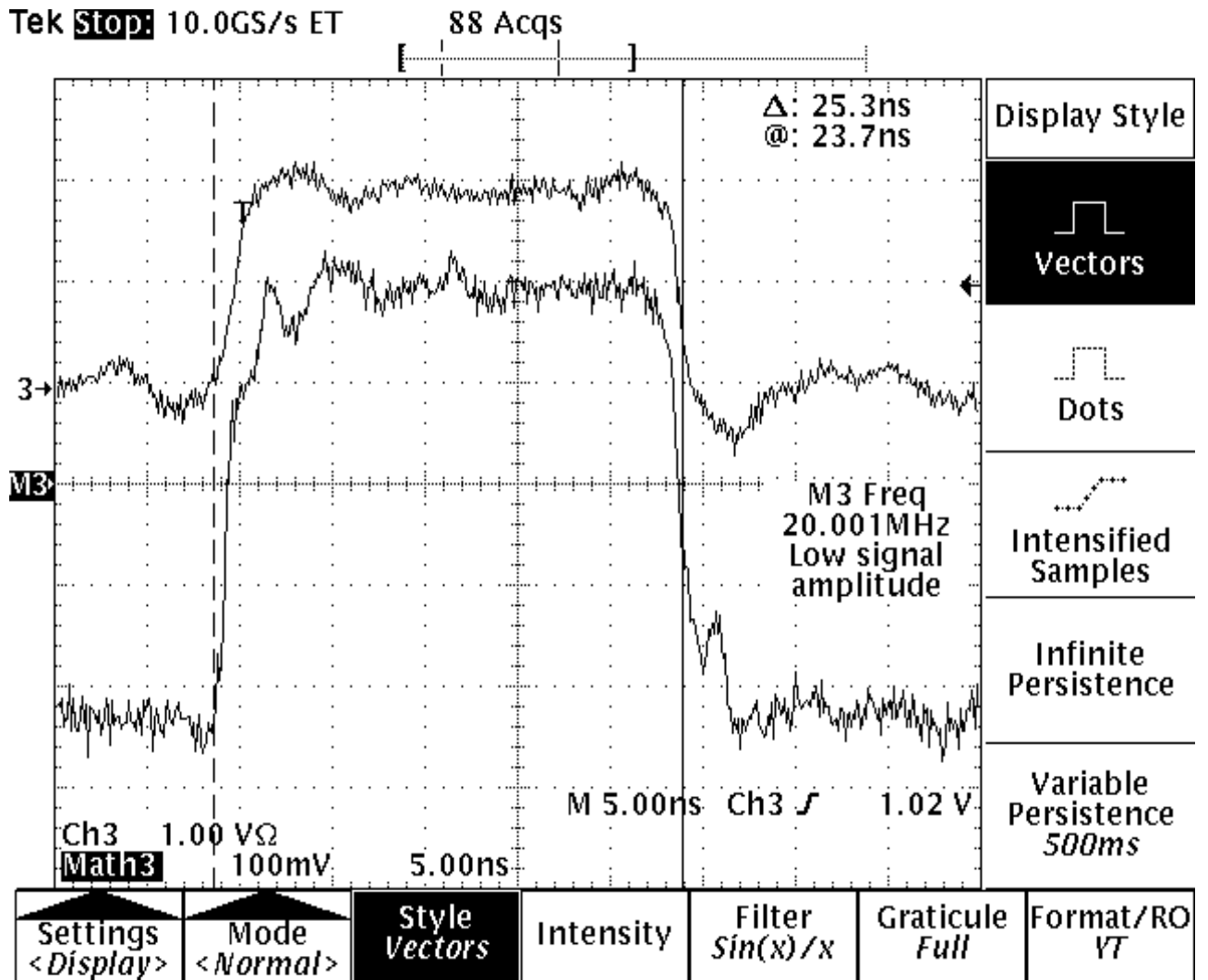


FIG. 4: confronto tra il monitor1 e il canale 12.

Vediamo i valori rilevati per tutte le uscite dei canali tenendo conto che abbiamo inserito anche i valori misurati per i due segnali d'uscita a 50 Mhz che sono sul frontale della scheda.

**TAB. 1:** clock skew e duty cycle per i segnali a 20 Mhz.

<b>CANALE MISURATO</b>	<b>MISURA (ns)</b>	<b>DUTY CYCLE (%)</b>
Monitor1	Riferimento	52,2
Monitor2	25,2	52,1
Canale 1	25,4	50,6
Canale 2	25,1	50,1
Canale 3	25,4	50,2
Canale 4	24,8	54,9
Canale 5	24,8	50,9
Canale 6	25,1	50,0
Canale 7	25,8	50,3
Canale 8	25,2	50,6
Canale 9	25,1	51,8
Canale 10	25,2	51,0
Canale 11	25,5	52,0
Canale 12	25,3	51,0
Canale 13	25,6	51,5
Canale 14	25,2	50,2
Canale 15	25,5	50,8
Canale 16	25,5	51,3
Canale 17	26,0	50,6
Canale 18	25,9	50,2
Canale 19	25,9	50,4
Canale 20	25,7	50,6
50 Mhz Monitor1	Riferimento	52,8
50 Mhz Monitor2	11,32	52,6

Se ci concentriamo sulle misure dei segnali a 20 Mhz possiamo notare come la differenza massima tra gli skew, sia quella tra i canali 4 e 5 con il canale 17 che è:

$$26,0 - 24,8 = 1,2 \text{ ns.}$$

Questo valore rappresenta lo skew massimo misurato. La cosa più interessante è la media dello skew. Per media dello skew noi intendiamo la media calcolata prendendo come skew la differenza tra il valore misurato e il minimo valore rilevato che in questo caso è 24,8 ns. La media così calcolata è di 0,591 ns.

Per quanto riguarda il duty cycle, si può notare facilmente che tutti i valori non si discostano l'uno dall'altro. Il migliore è con il 50% mentre il peggiore è con il 54,9% mentre la



media è del 51.0%. In questo caso possiamo vedere che su 20 canali più il monitor2 misurati ben 19 stanno con un semiperiodo positivo che in percentuale è tra il 50% e il 52%.

Un'altra misura importante da fare è la misura del jitter. Il jitter è una qualsiasi deviazione dell'uscita del clock dalla sua posizione considerata ideale. Per misurarlo abbiamo preso un segnale, per esempio quello del canale 12, e abbiamo usato l'oscilloscopio digitale per vedere la sua forma d'onda con la persistenza infinita. A questo punto abbiamo acquisito il segnale. Per calcolare il jitter abbiamo fatto la differenza tra la persistenza della traccia finale e la persistenza della traccia iniziale, dividendo tale numero per il numero di periodi del segnale tra le due misure (circa 20 periodi). In questo modo si è ottenuta la misura dello jitter del canale 12 che è: 17,5 ps.

Misure analoghe sono state trovate per gli altri segnali. Si evidenzia pertanto da queste misure che il segnale di clock dei 20 Mhz sarà distribuito in maniera assolutamente compatibile con le richieste dell'esperimento.

In maniera equivalente forniamo il confronto tra i due segnali a 50 Mhz che sono riportati sul frontale della scheda. In più si può notare che sul disegno c'è anche la misura del duty cycle dei due segnali.

Tek Run: 4.00GS/s ET Average

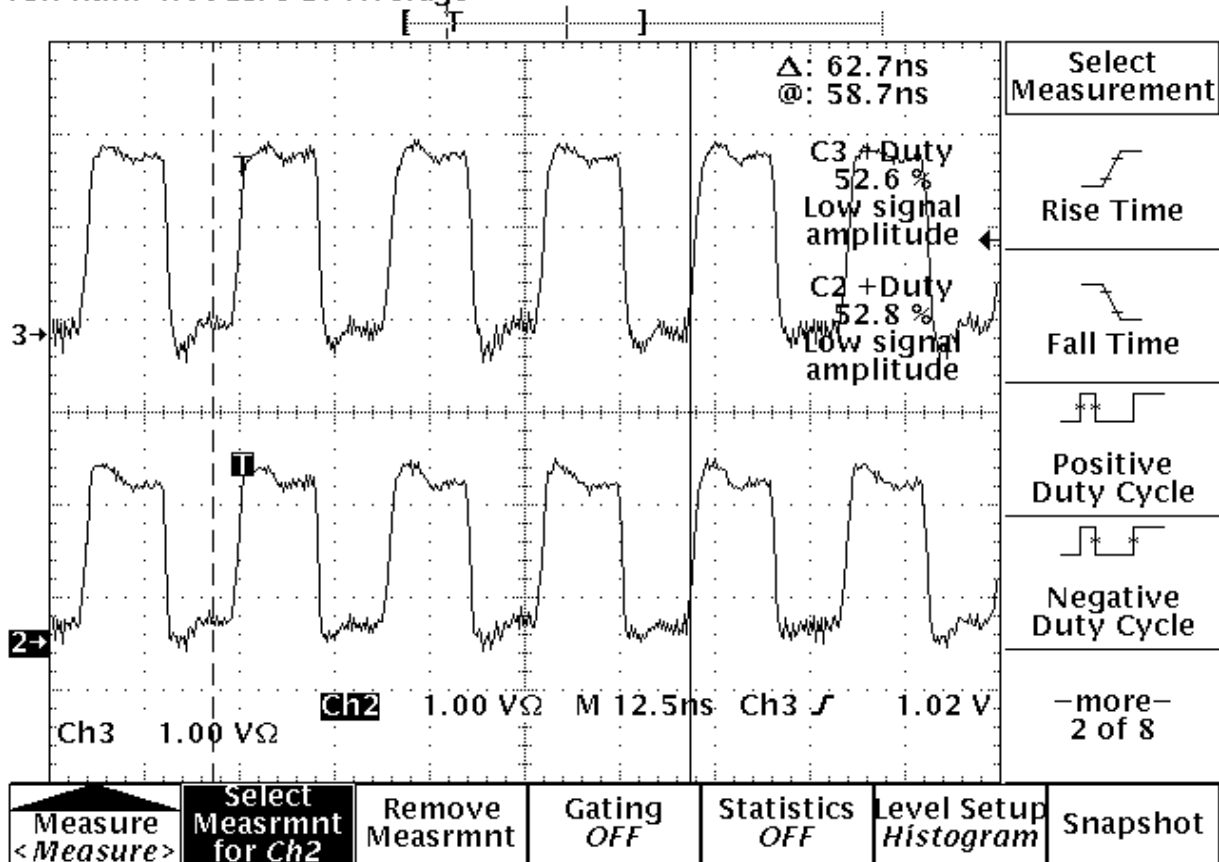


FIG. 5: confronto tra i segnali a 50 Mhz.

Il jitter rilevato per questa forma d'onda è 25 ps.

Vediamo ora le misure fatte per i segnali a 60 Mhz. Uno è sul frontale della scheda e va ai monitor ed è stato preso come riferimento nelle nostre misure. Gli altri segnali sono sul back plane sul connettore J2. In questo caso i canali sono di tipo PECL mentre il riferimento è di tipo TTL. Come metodologia di misura usiamo la stessa del calcolo dello skew per la frequenza di 20 Mhz. Nella tabella successiva ci sono tutte le uscite.

**TAB. 2:** clock skew e duty cycle per i segnali a 60 Mhz.

<b>CANALE MISURATO</b>	<b>MISURA (ns)</b>	<b>DUTY CYCLE (%)</b>
60 Mhz Monitor1	Riferimento	51,5
Canale 1	9,52	51,2
Canale 2	9,56	54,2
Canale 3	9,84	51,5
Canale 4	9,96	52,3
Canale 5	9,24	52,9
Canale 6	9,32	51,2
Canale 7	9,48	53,1
Canale 8	9,20	51,4
Canale 9	9,36	52,8
Canale 10	9,48	52,6
Canale 11	9,64	51,5
Canale 12	9,44	50,8
Canale 13	9,32	54,7
Canale 14	9,36	50,0
Canale 15	9,44	52,9
Canale 16	9,56	52,1

Si può notare che lo skew minore si ha per il canale numero 8 mentre quello maggiore si ha per il canale numero 4. La differenza tra i due è:

$$9,96 - 9,20 = 0,76 \text{ ns.}$$

Questo valore rappresenta lo skew massimo misurato. La media calcolata, in maniera analoga ai segnali a 20 Mhz, è: 0,282 ns.

Si può vedere che il duty cycle migliore è con il 50% mentre il peggiore è con il 54,7% mentre la media è del 52,2%. In questo caso possiamo vedere che su 16 canali misurati ben 11 stanno con un duty cycle che è inferiore al 53%.

Per quanto riguarda la misura del jitter, fatta sempre nelle stesse condizioni di quella a 20 Mhz, il risultato è di 15 ps.

Analogamente si può procedere per i segnali del clock programmabili. In questo caso bisogna scegliere per prima cosa la frequenza alla quale generare i segnali. Per esempio, quella mostrata in figura 6 è la situazione per una frequenza di 55 Mhz tra il riferimento che è il segnale in uscita dal frontale della scheda e uno dei segnali che si estraggono dal connettore J2.

Il clock programmabile ha un segnale sul frontale mentre 16 sono inviati fuori dalla scheda attraverso il connettore J2. Per le misure si è scelta una frequenza di 40 Mhz, tra tutte quelle possibili, per avere una differenza sostanziale tra quelle a 50 Mhz e 60 Mhz.

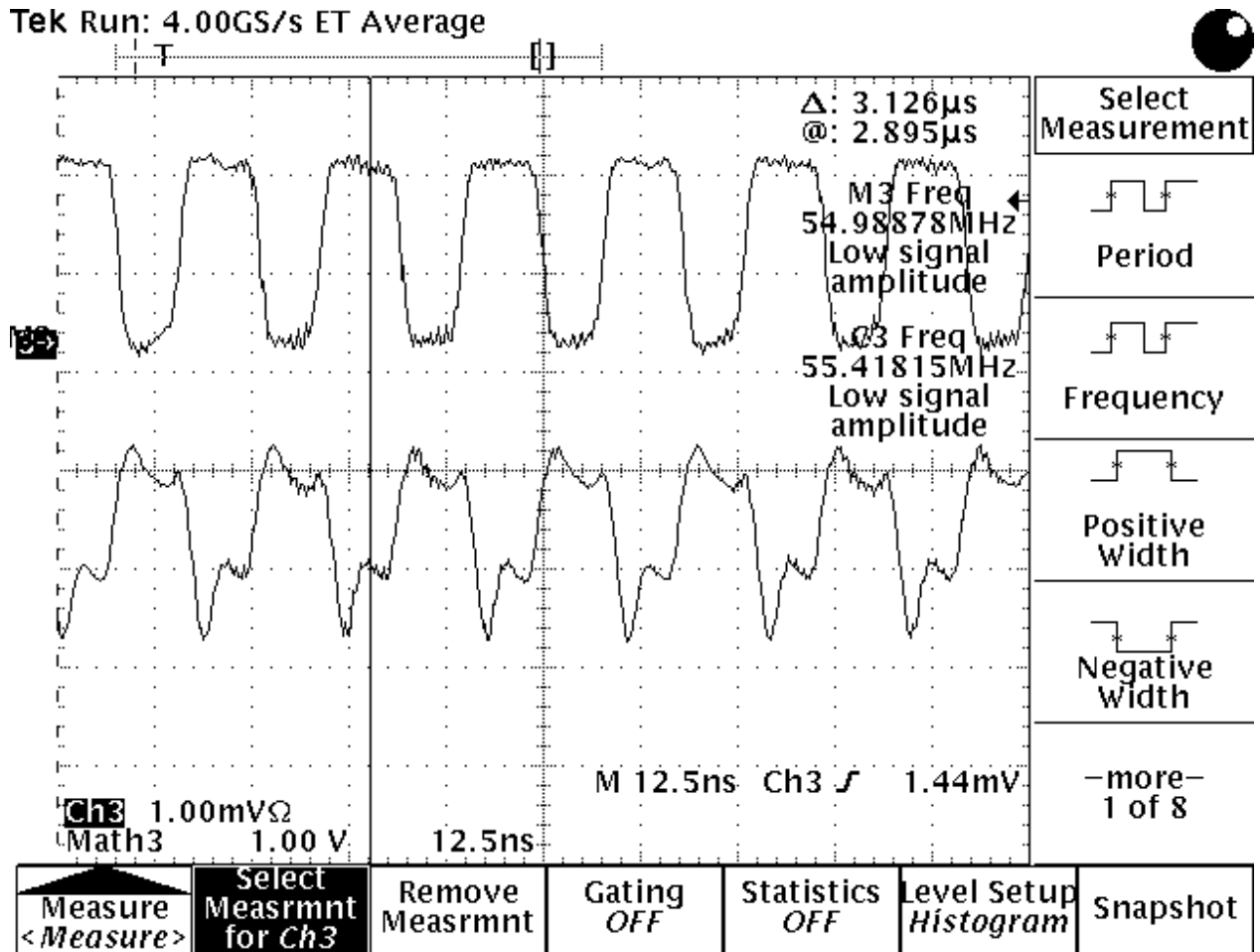


FIG. 6: confronto tra i segnali a 55 Mhz.

Vediamo tutte le misure raccolte nella seguente tabella:

**TAB. 3:** clock skew e duty cycle per il clock programmabile.

<b>CANALE MISURATO</b>	<b>MISURE (ns)</b>	<b>DUTY CYCLE (%)</b>
40 Mhz Monitor1	Riferimento	50,8
Canale 17	13,46	50,4
Canale 18	13,52	50,7
Canale 19	13,52	52,1
Canale 20	13,32	51,2
Canale 21	13,16	50,4
Canale 22	13,64	50,4
Canale 23	13,16	50,1
Canale 24	13,34	51,2
Canale 25	13,36	50,4
Canale 26	13,24	50,5
Canale 27	13,28	51,1
Canale 28	13,36	51,2
Canale 29	13,32	50,6
Canale 30	13,29	51,2
Canale 31	13,56	50,5
Canale 32	13,64	50,7

Si può notare che la misura minore ha il valore di 13,16 ns mentre quella più alta ha il valore di 13,64 ns perciò lo skew massimo è di:

$$13,64 - 13,16 = 0,48 \text{ ns.}$$

La media è di 0,226 ns.

Per quanto riguarda il duty cycle il valore migliore è 50,1% mentre il peggiore è 52,1%. La media è 50,79% e solo un canale è superiore al 52%.

Il jitter rilevato per questa forma d'onda è 22 ps.

## 5 CONCLUSIONI

Il progetto della scheda del clock è stato presentato in questo documento. Questo progetto è già stato realizzato e costruito. Le misure per il clock skew di tutte le uscite, che portano i clock a 20 Mhz, a 60 Mhz e il clock programmabile, sono nei vincoli imposti dal progetto. Lo stesso vale per le misure del jitter e per il duty cycle.

La scheda è già operante nel set-up d'installazione in sezione e sarà installata nei Laboratori Nazionale del Gran Sasso insieme a tutto il sistema d'acquisizione probabilmente durante il prossimo autunno.

## 8 BIBLIOGRAFIA

- [1] BOREXino Collaboration, “Proposal of BOREXino: A Real Time Detector for Low Energy Solar Neutrino”, LNGS (1991).
- [2] BOREXino Collaboration “Addendum the BOREXino Proposal”, document of BOREXino Collaboration (1996).
- [3] P. Musico, A. Nostro, M. Ruscitti “A Possible Data Acquisition System for the BOREXino Experiment” INFN (1997).
- [4] F. Gatti, P. Musico, M. Pallavicini, A. Razeto, S. Vitale, P. Ciparelli, L. Isabella, F. Longoni, “A Multi-hit and Multi-event Acquisition Board for the Borexino Experiment” submitted to Nuclear Instruments and Methods in Physics research.
- [5] “8-bit Microcontroller with 2K Bytes Flash: AT89C2051”. Atmel Publications.
- [6] “Programmable Clock Generator”. Cypress Semiconductor Corporation.