

ISTITUTO NAZIONALE DI FISICA NUCLEARE
Laboratori Nazionali di Frascati

Sezione di Padova

INFN/BE-84/3
18 Gennaio 1984

A. Buscemi, M. De Poli, C. Rossi Alvarez e R. Zanon:
UN SISTEMA DI ACQUISIZIONE DATI PER SPETTROSCOPIA NUCLEARE

Servizio Documentazione
dei Laboratori Nazionali di Frascati
Cas. Postale 13 - Frascati (Roma)

UN SISTEMA DI ACQUISIZIONE DATI PER SPETTROSCOPIA NUCLEARE

A. Buscemi, M. De Poli^(*), C. Rossi Alvarez e R. Zanon

INTRODUZIONE

Gran parte delle ricerche in Fisica Nucleare, specie di bassa energia, è basata sull'analisi di spettri, cioè di istogrammi che rappresentano la distribuzione delle ampiezze dei segnali provenienti dai sistemi di rivelazione. Normalmente questa analisi viene effettuata mediante analizzatori d'ampiezza multicanali.

Il multicanale è uno strumento composto da un convertitore e da un banco di memoria.

Il convertitore analogico-digitale (ADC) trasforma l'ampiezza in Volt del segnale in ingresso in un numero ad esso proporzionale. Questo numero serve quindi ad individuare la cella nel banco di memoria il cui contenuto verrà incrementato di una unità.

E' possibile classificare i multicanali in due gruppi: il tipo "hardware" ed il tipo "computer based", ciascuno con i suoi pregi e difetti.

Il primo è più veloce, il tempo morto è dato dal tempo di conversione dell'ADC e dal ciclo d'incremento di memoria. I controlli sono del tipo a pulsante e rendono abbastanza semplice il suo uso. Tuttavia è un sistema rigido, il numero di ingressi è limitato ed è difficile adattarlo alle condizioni imposte dalle misure.

Il secondo tipo ha il grande vantaggio della flessibilità; nuove esigenze possono essere soddisfatte attraverso l'elaborazione di nuovi programmi senza modifiche circuitali. Questo fatto è di notevole importanza poichè le attrezzature sperimentali di costo elevato possono così essere dedicate ad esperimenti di tipo molto diverso.

La quantità di memoria necessaria è adattabile alle particolarità sperimentali, il controllo della misura avviene tramite console ed è possibile utilizzare un gran numero di periferici altamente specializzati, (Stampanti veloci, Nastri magnetici, Dischi, Plotters, Video grafici). Lo svantaggio principale di un sistema basato su computer sta nel tempo di acquisizione relativamente lungo.

(*) Laboratori Nazionali di Legnaro dell'INFN, Legnaro (Padova).

L'acquisizione di un dato richiede, infatti, le seguenti fasi:

- 1) Rendere attiva la possibilità di interruzione del computer.
- 2) Identificare la sorgente di interruzione e verificarne la validità.
- 3) Preparare i parametri necessari al trasferimento dei dati ed alla costruzione dell'istogramma.
- 4) Trasferire ad immagazzinare i dati raccolti.
- 5) Ritornare al programma interrotto.

In accumulo di spettri singoli o multipli non correlati temporalmente l'operazione 4) corrisponde al ciclo di incremento della memoria.

Poichè l'informazione trattata è di tipo nucleare, quindi casuale, è necessario che sia i programmi che il sistema operativo consentano dei tempi di risposta quanto più brevi possibili per poter gestire le interruzioni in modo soddisfacente.

Le operazioni descritte devono essere ripetute per ogni evento e richiedono, anche con l'uso di canali di DMA, tempi compresi tra 10 e 100 μsec a seconda del tipo di calcolatore e di sistema operativo. Poichè questo tempo può essere più lungo del tempo di conversione dell'ADC, esso contribuisce in modo significativo al tempo morto del sistema.

Il tempo di acquisizione dei dati aumenta notevolmente se durante un esperimento il programma dovesse gestire un certo numero di convertitori che raccolgano dati correlati temporalmente. In questo caso le operazioni di controllo reciproco e di abilitazione diventano talmente complesse che si è costretti ad aumentare le parti circuitali per ridurre i tempi di acquisizione con la conseguente introduzione di elementi di rigidità nel sistema.

Un altro inconveniente importante che si incontra è dovuto alla diversità della logica di interfacciamento tra i vari modelli di calcolatori anche se della stessa Ditta. Questa limitazione scompare quasi totalmente con l'uso dello standard CAMAC che è computer-independent. Tuttavia il collegamento via CAMAC ha una velocità complessiva di acquisizione che risulta fortemente influenzata dal carico complessivo di trasferimento sostenuto dal CAMAC stesso. Queste considerazioni generali ci hanno indotto a studiare e realizzare un sistema di acquisizione basato su calcolatore che unisse alle caratteristiche di flessibilità quelle di velocità.

Questo articolo riporta la descrizione di tale sistema installato nella sua prima versione presso l'acceleratore CN dei Laboratori Nazionali di Legnaro nell'Ottobre del 1978.

Le sue caratteristiche principali sono:

- 1) Alta velocità: il sistema può sostenere una velocità di conteggio di 250 KHz; il software relativo, con acquisizione microprogrammata, 500 KHz.
- 2) Compatezza: il sistema per 8 linee, convertitore AD, logica di controllo, lettore digitale di tempo morto, e l'interfaccia verso il computer occupa un solo alimentatore NIM.
- 3) Facilità d'uso: le regolazioni, anche per l'esecuzione degli esperimenti più complessi sono ridotte al minimo.

PARTE PRIMA

GENERALITA'

Il sistema è costituito da una parte hardware e da un programma di gestione. Entrambe le parti vengono denominate SADIC nel corso di questo articolo.

Questo articolo viene dedicato all'elettronica del SADIC, ai compiti che è in grado di svolgere e alle prestazioni ricavate da prove di test effettuate in fase di collaudo. Un'altra sezione sarà dedicata al programma SADIC realizzato per funzionare sotto un Sistema Operativo di tipo DOS su calcolatori HP della serie 2100 e 21MX.

Il sistema è stato specificatamente progettato con l'intento di semplificare al massimo la messa a punto dei singoli elementi e di salvaguardare l'elevata velocità di conversione (2 o 4 μ sec).

LA LOGICA DEL SADIC

Il SADIC (Sistema di Acquisizione Dati Interfacciabile a Calcolatore) è costituito dall'insieme di tre differenti moduli dello standard NIM. Esso è destinato alla conversione analogico-digitale di tensioni continue (lentamente variabili nel tempo) e/o di impulsi lineari come quelli forniti da catene di rivelazione, da Convertitori Tempo-Ampiezza, etc., le cui costanti temporali di formazione siano maggiori di 0.25 μ sec di forma gaussiana o semigaussiana sia bipolari che unipolari. Prima di entrare nella descrizione particolareggiata è importante mettere in risalto alcune caratteristiche del sistema SADIC:

- 1) In misure di spettri diretti di eventi provenienti da sistemi di rivelazione lineari in cui si utilizzi un monitor di normalizzazione, la struttura del SADIC rende superflue le correzioni di tempo morto (almeno al primo ordine), fonte di notevoli problemi.
- 2) In misure di coincidenza, il sistema lavora con segnali logici che garantiscono la presenza d'informazione nei moduli lineari. Ciò costituisce un valido filtro che impegna il modulo di conversione solo in presenza di dati effettivamente validi. Normalmente in sistemi a molti convertitori è necessario adottare complicati sistemi di filtro a posteriori e in certi casi la mole di dati scartata è grande e appesantisce notevolmente il lavoro dei convertitori.
- 3) Il SADIC consente un modo di accumulo misto con priorità alle coincidenze, che permette di monitorare le misure di coincidenza attraverso l'acquisizione degli spettri diretti.

Il numero di unità del sistema dipende dalle esigenze di misura, ma nella configurazione completa il sistema è composto da:

- 1) 8 moduli lineari (ML) per la memorizzazione analogica del valore di picco dei segnali. Questo modulo svolge funzioni simili a quelle di un Linear gate and Stretcher e verrà indicato nel seguito come ML. Ogni ML occupa una slot in un alimentatore NIM.
- 2) Un Convertitore Analogico Digitale, con multiplexer analogico, per la conversione digitale delle tensioni d'ingresso. Il numero massimo d'ingressi è 8. Il modulo occupa due slot di alimentatore NIM e verrà nel seguito indicato come MdC (Modulo di Conversione).

3) Un'unità ausiliaria (opzionale) con diverse funzioni tra cui la lettura del tempo morto dei diversi elementi del sistema, lo smistamento logico dei dati convertiti, tramite la generazione di 3 bits di riconoscimento, e una sezione d'interfaccia dipendente sia dal sistema operativo sia dal particolare Calcolatore utilizzato. Questa unità verrà nel seguito indicata come MdS (Modulo di Servizio). Il MdS occupa due slot di alimentatore NIM. Il complesso dei moduli descritti è interamente contenuto in un alimentatore NIM fornito di +6 Volt. In Fig. 1 è mostrato l'insieme e uno schema sintetico dei collegamenti.

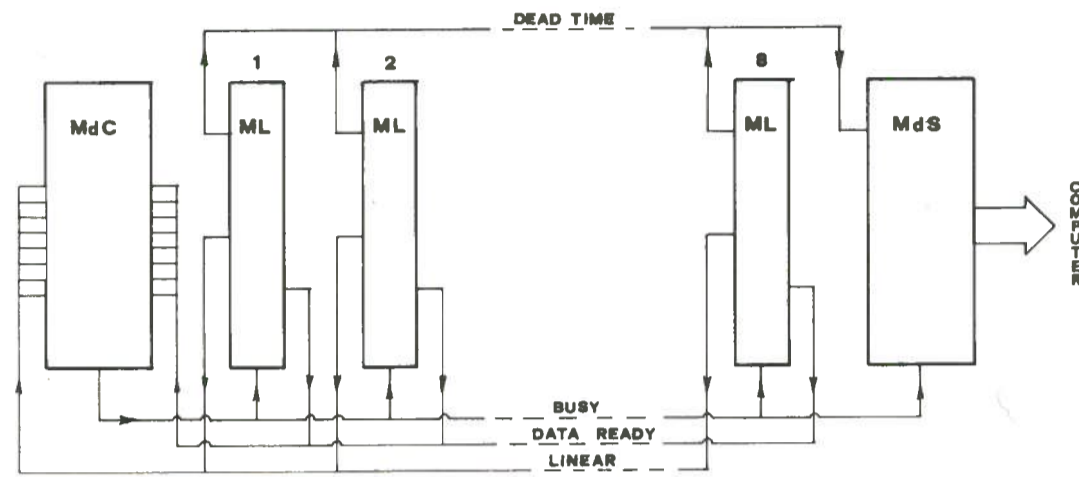


FIG. 1 - Schema dei collegamenti tra i moduli del sistema.

Nel SADIC sono previsti vari modi di accumulo, via via più complessi, che vanno dall'acquisizione di spettro singolo a forme miste di singole e coincidenze.

In tutte queste funzioni, selezionabili con un commutatore esterno, rimane invariato il modo di collegare le varie unità. Infatti il colloquio tra i ML e il MdC avviene tramite i seguenti segnali e collegamenti:

- 1) DR (Data Ready). Segnale logico. Comunica al MdC che nel relativo ML c'è un dato pronto per la conversione.
- 2) LINEAR. Segnale lineare. È il segnale analogico da convertire memorizzato dal ML.
- 3) BUSY. Segnale logico. È un segnale di asservimento del MdC, è generato dal MdC in risposta a una richiesta di conversione (DR) e blocca i ML durante la fase di conversione e di acquisizione dell'evento. Alla fine di questo segnale ogni ML provvede ad azzerare la propria memoria analogica.

La stabilità dei collegamenti rispetto al modo di accumulo consente di cablare l'alimentatore NIM riducendo l'ingombro dei cavi sui pannelli frontali.

In linea di principio il funzionamento dell'hardware del sistema è il seguente.

Ogni qualvolta un segnale impulsivo inviato sul ML soddisfa alle condizioni selezionate di ampiezza e di eventuale coincidenza con segnali logici esterni, il segnale viene memorizzato all'ampiezza di picco e mantenuto così per il tempo necessario alla conversione. Contemporaneamente viene generato un DR che, inviato al MdC, annuncia la presenza di un dato pronto per l'analisi. Il verificarsi delle condizioni previste dal modo di accumulo provoca la conversione della tensione statica memorizzata nel ML.

La fine della conversione (o del ciclo di conversioni), o il non verificarsi delle condizioni previste dal modo di accumulo, provoca l'azzeramento della memoria analogica e la riapertura del sistema a nuove analisi d'ampiezza.

I modi di accumulo riguardano: spettri diretti, coincidenze multiparametriche ed entrambe. Sul pannello frontale del convertitore sono selezionabili vari modi di accumulo indicati con le sigle MPX, MPR, MPRD, (MPX-MPR).

1) MPX Acquisizione di dati da (max) 8 linee indipendenti.

Tipo di accumulo tipico di misure di spettro singolo o di distribuzioni angolari con più rivelatori e monitor. Il MdC commuta sull'ingresso che per primo chiede attenzione.

Nel caso di segnali separati da tempi minori di 100 nsec. la priorità è assegnata internamente all'ingresso con numero d'ordine più elevato. Questo sistema è orientato all'accumulo di spettri diversi con tempi morti costanti per tutte le linee in quanto il tempo morto del sistema è dato dalla velocità complessiva di accumulo e non da come essa è distribuita tra le varie linee. Questa caratteristica rende il sistema pratico ed evita l'aggiunta di complessi sistemi di controllo del tempo morto.

2) MPR-MPRD. Acquisizione da max 8 linee coincidenti o da due gruppi indipendenti di max 4 linee coincidenti rispettivamente.

Quando in tutti gli ingressi logici corrispondenti alle linee abilitate con gli switch del pannello frontale è presente un DR e vi è coincidenza temporale tra essi, ha inizio il processo di conversione in sequenza a partire dalla linea 1 in MPR (oppure dalla linea 1 o 5 MPRD) che, in questo senso, agiscono da Master; un contraves posto sul pannello frontale permette di arrestare la sequenza alla linea voluta. E' possibile pertanto far partire una sequenza ponendo condizioni più o meno stringenti, rispetto ai dati da accumulare. Dal verificarsi della coincidenza tra DR fino alla fine della conversione dell'ultima linea selezionata, tutti i ML vengono bloccati e infine azzerati. In MPRD la priorità spetta al gruppo che per primo verifica le condizioni di coincidenza e si comporta analogamente al caso precedente qualora ci sia conflitto temporale, assegnando la priorità alla coincidenza con numero di linea più alto.

3) MPR-MPX. Acquisizione in MPX sulle prime 4 linee (max 4) e in MPR sulle seconde 4 linee (max 4).

La priorità è assegnata al MPR. Se gli stessi segnali di MPX concorrono alla formazione della coincidenza, saranno convertiti come singoli se alla fine del DR non si sarà verificata alcuna coincidenza.

Viene data nel seguito una più dettagliata descrizione dei singoli moduli.

LINEAR GATE E STRETCHER

Il ML ha il compito di effettuare operazioni analogiche e logiche sul segnale da analizzare. Le prime consistono essenzialmente nei procedimenti che portano alla memorizzazione della tensione di picco del segnale analogico da convertire. Le seconde, invece, permettono di controllare l'ampiezza del segnale in ingresso che, per essere accettato, deve essere compreso tra la soglia inferiore e quella superiore. Viene inoltre verificata la relazione temporale tra il segnale lineare ed un segnale logico di coincidenza qualora si lavori con questa opzione abilitata. Inoltre la parte logica del circuito controlla ad ogni apertura lo stato della linea di base del segnale analogico: se la trova superiore al valore di soglia fissa, (20 mV), inibisce la memorizzazione e ritarda l'apertura del gate d'ingresso a quando la verifica della soglia darà esito negativo.

Tutte queste verifiche logiche determinano l'accettazione o il rigetto del segnale in ingresso cioè, se le condizioni per l'accettazione non sono soddisfatte, il segnale viene azzerato, e se invece lo sono viene mantenuto il valore di picco. Dopo un intervallo di tempo regolabile (Trimpot DELAY) dall'istante di picco, viene inviato al MdC un segnale di DR la cui durata è altresì regolabile (Trimpot WIDTH). Se si lavora in COINC. ON, il segnale di coincidenza esterna deve essere presente a questo tempo. Il DR comunica al MdC la presenza di un dato pronto per la conversione. Se entro 300 ns il MdC non risponde con il segnale di BUSY il segnale memorizzato viene azzerato ed il circuito (salvo il verificarsi delle condizioni d'inibizione) è disponibile per l'accettazione di un nuovo segnale. Se invece il MdC invia il BUSY, il ML mantiene in uscita il segnale analogico fino alla fine del BUSY, dopo di che esegue l'azzeramento con la stessa procedura di cui sopra.

Il controllo della linea di zero alla riapertura è dettato da due diverse esigenze.

- 1) Spesso la durata della conversione è inferiore alla durata dello stesso segnale analogico, specie in accumulo di spettri diretti, per cui può capitare che nel riaprire l'ingresso si sia in presenza della coda del segnale appena analizzato.
- 2) Alla riapertura di un'ingresso è possibile che, per coincidenza accidentale, sia presente un impulso. La memorizzazione di un tale segnale potrebbe essere errata e pertanto si attende la sua fine prima di riaprire gli ingressi.

Oltre a questo è possibile abilitare, azionando un deviatore posto nel pannello posteriore, un ulteriore controllo anche sui valori negativi della linea di zero in modo da poter eliminare anche le eventuali sovrapposizioni di segnali su code negative quando si lavori con segnali bipolari. E' previsto un segnale esterno, DISABLE per asservire, bloccandolo, il ML ad esigenze di altre apparecchiature.

MODULO DI CONVERSIONE

Il Modulo di conversione MdC svolge funzioni di verifica delle relazioni temporali tra i DR, e di assegnazione delle priorità. Ad evento accettato, produce il segnale di asservimento dei ML (BUSY). Contemporaneamente, commuta l'ingresso lineare verso la linea che chiede attenzione quando si lavora con spettri scorrelati temporalmente (MPX) o verso la prima delle sequenze programmate quando siano state scelte le funzioni di correlazione temporale (MPR-MPRD). Successivamente invia il Comando di Conversione (CC), con un ritardo di 0.5 microsec. per dare tempo al commutatore analogico di posizionarsi sulla tensione d'ingresso.

Il convertitore AD esegue la conversione digitale a 12 bits in 3.5 microsec. Durante la conversione l'ADC produce un segnale di occupato (STATUS). Se si lavora in MXP, alla fine dello STATUS si avrà la fine del segnale BUSY. Se si lavora in MPR oppure MPRD verrà invece indirizzata la linea successiva della sequenza in ordine progressivo e l'operazione si ripeterà fino ad esaurimento delle linee programmate dal Contraves END LINE sul pannello frontale. Solo a questo punto verrà a cessare il segnale di BUSY. Il MdC aggiunge al risultato della conversione l'indirizzo logico della linea collegata, il risultato viene poi ridotto al fondo scala di conversione prescelto sul pannello frontale, e se il dato appartiene a un dato MPR, il bit più significativo della parola verrà posto uguale a 1. Il dato così formato viene inviato al MdS insieme a un segnale di Flag Sadic (FS).

Da qui poi esso sarà inviato al calcolatore, il quale potrà così distinguere con il solo test del segno della parola ricevuta se il dato appartiene all'increment mode o al list mode.

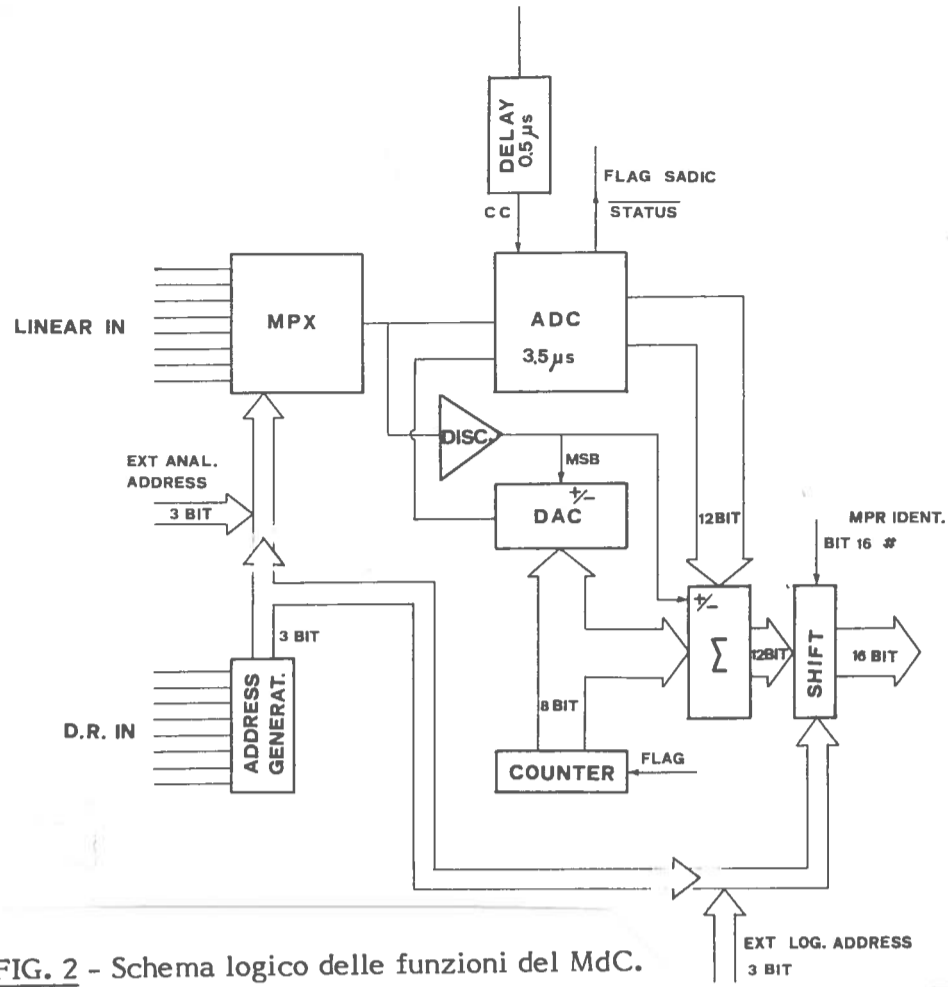


FIG. 2 - Schema logico delle funzioni del MdC.

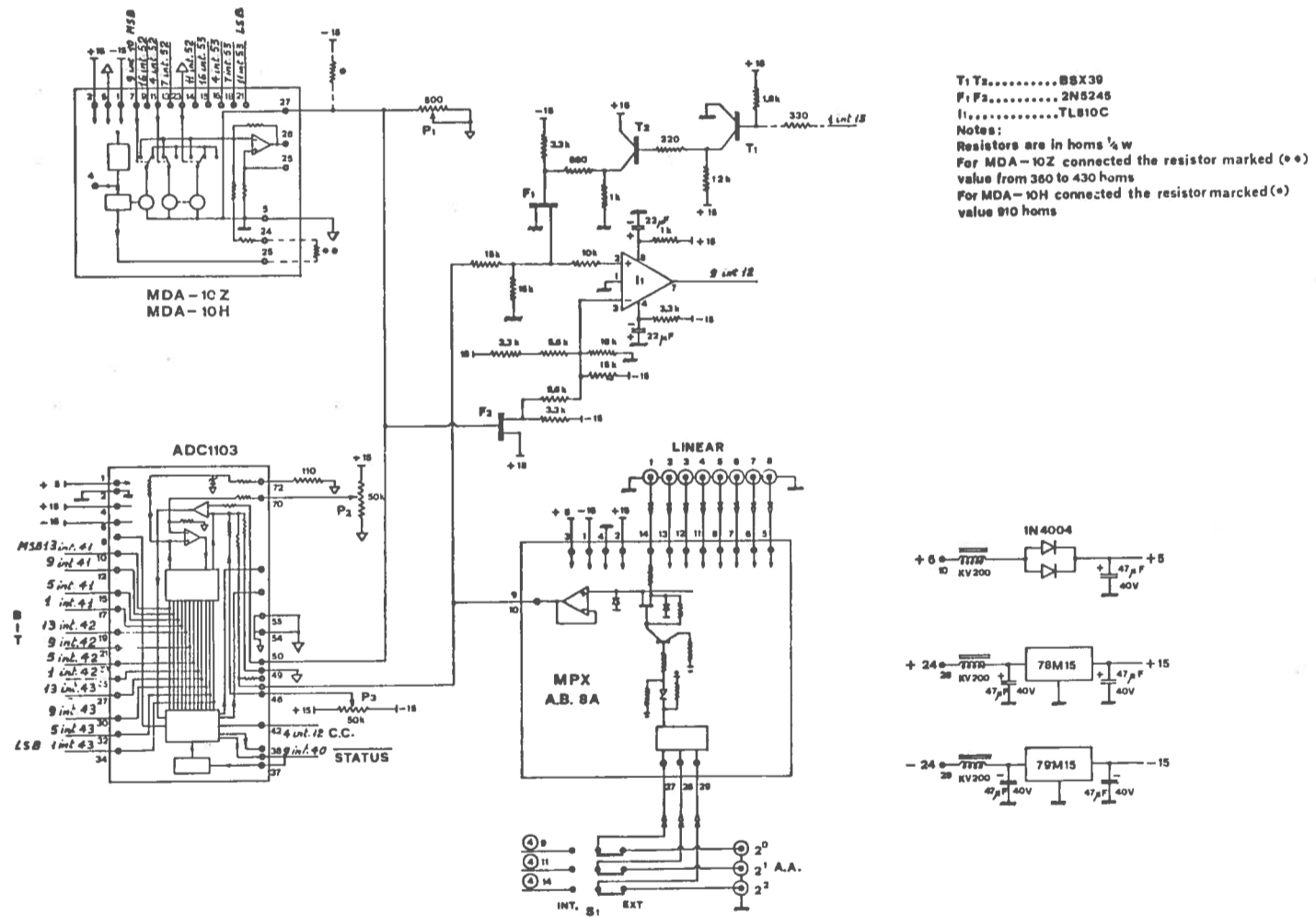


FIG. 3 - Schema dettagliato della sezione analogica del MdC.

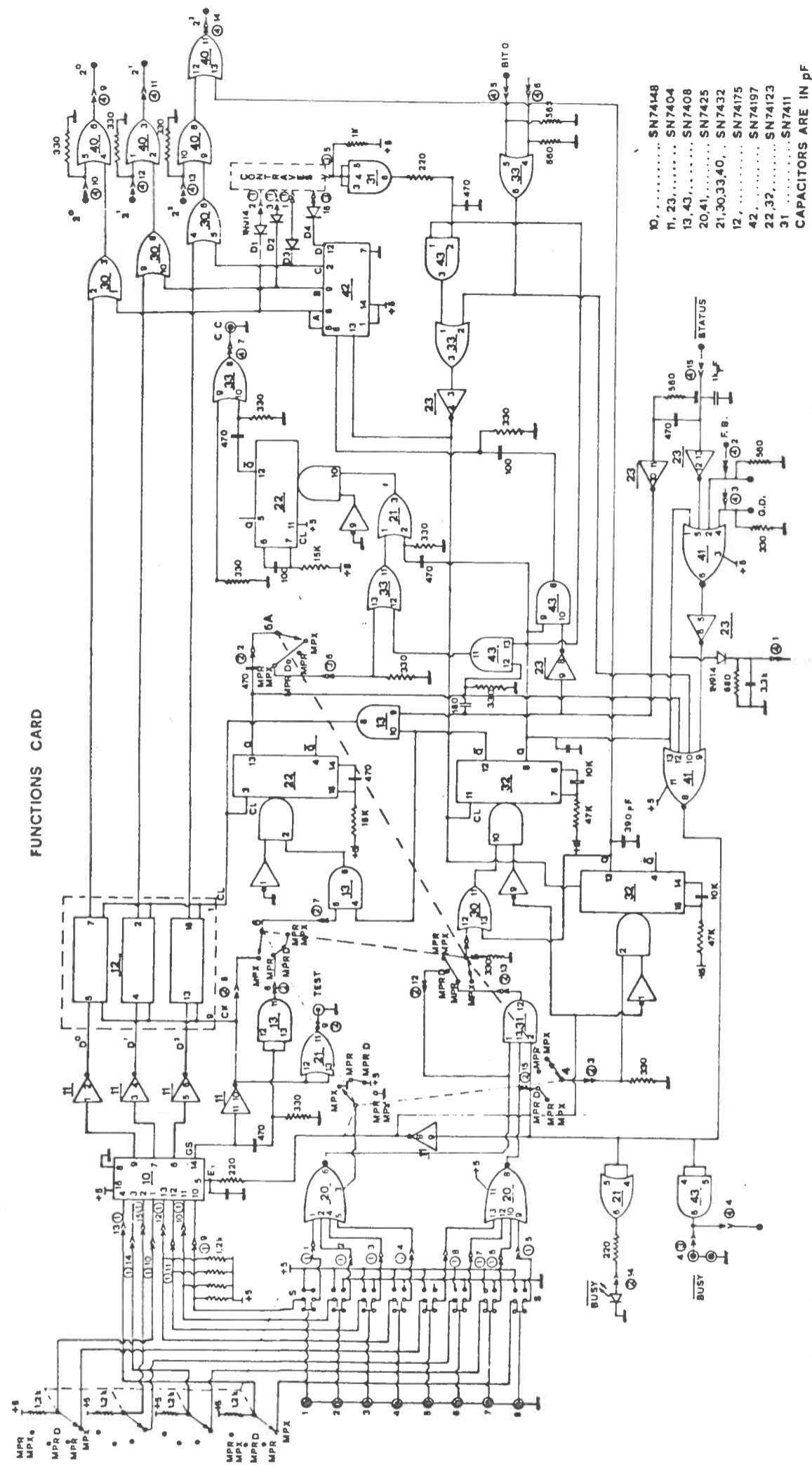


FIG. 4 - Schema completo della scheda di funzione del MdC.

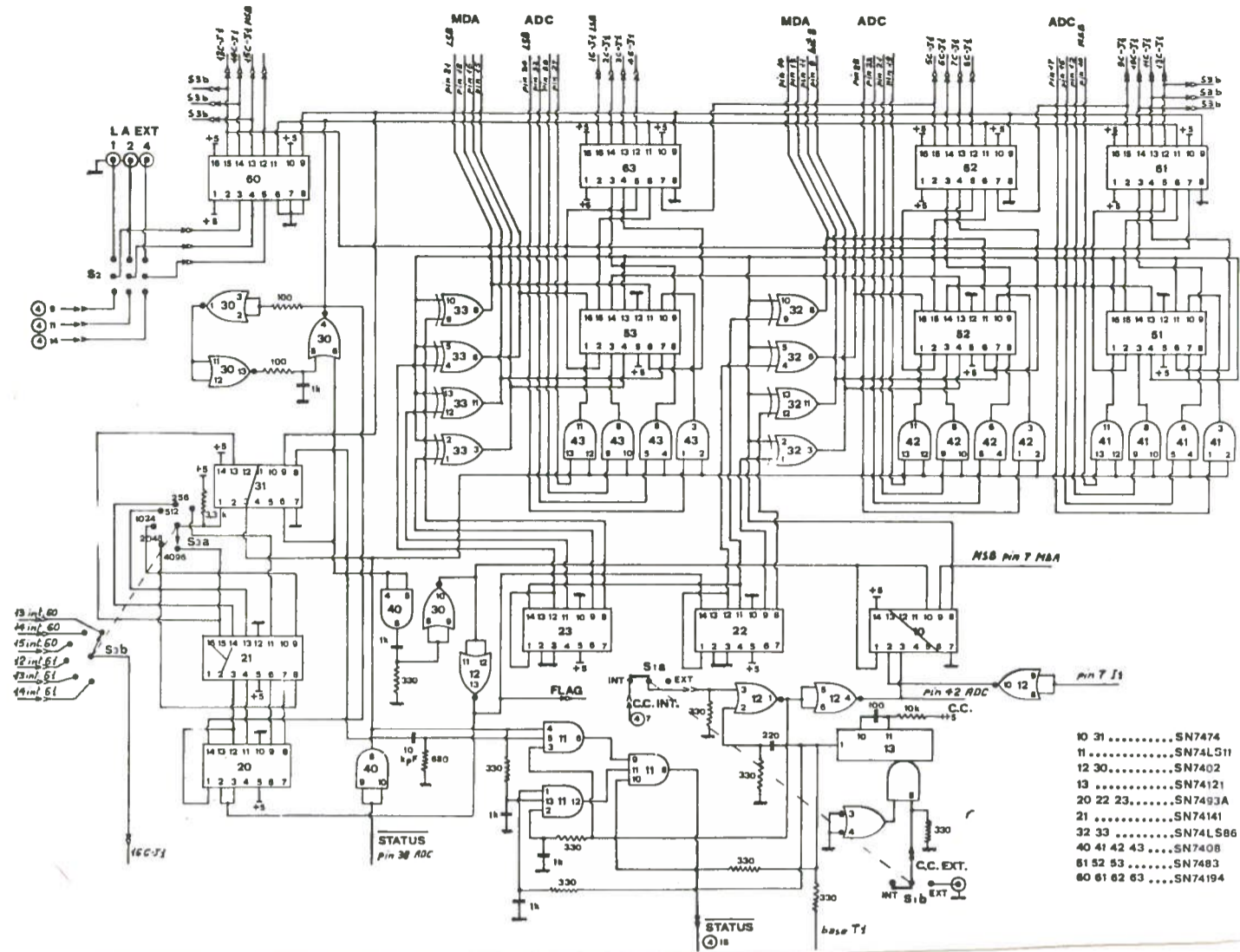


FIG. 5 - Schema completo della sezione di shift del MdC.

I segnali d'indirizzamento logico (codice da aggiungere ai 12 bits risultanti dalla conversione), quelli d'indirizzamento analogico (indirizzo del ML collegato) e/o il segnale di CC, possono essere forniti esternamente ponendo su EXT i deviatori rispettivi nel pannello posteriore del MdC.

MODULO DI SERVIZIO

Questa unità è un completamento funzionale per la migliore utilizzazione del SADIC, sia con il particolare calcolatore (21MX HP) e il Sistema Operativo (DOS IIIB), sia in relazione alla strumentazione di misura. Il MdS genera e/o riceve alcuni segnali di servizio per lo START/STOP di apparecchiatura esterna o l'asservimento del SADIC ad altra apparecchiatura. Il MdS è composto di tre sezioni:

- Il circuito di lettura e presentazione digitale del tempo morto.
- Il Sistema di indirizzamento logico.
- Il Buffer d'interfacciamento con il 21MX.

Il lettore di tempo morto permette di misurare il DT (DEAD TIME) di ogni singolo modulo coinvolto nell'acquisizione. Ogni ML ha un'uscita di DT che presenta un segnale logico la cui durata è pari al tempo di chiusura dell'ingresso. Questo tempo va dunque dall'istante di rivelazione di picco alla

fine del segnale di BUSY o all fine del controllo interno della linea di zero. Se si lavora con il ML in coincidenza il DT di una coincidenza va dalla rivelazione di picco alla fine del DELAY. Il segnale di BUSY del MdC deve essere collegato ai ML e può essere pure inviato al MdS per controllare il tempo morto di conversione che in questo caso si riferirà solo all'intervallo di tempo trascorso tra l'accettazione del segnale d'evento alla fine della conversione o della serie di conversioni, e darà pertanto un'indicazione della velocità di acquisizione. Essendo il ciclo di conversione di circa 4.0 microsec. ogni 1% di DT del MdC corrisponde a circa 2.5 kHz di velocità di acquisizione.

Il lettore di DT tiene conto, in determinati casi, come vedremo in seguito, anche del tempo necessario all'acquisizione da parte del calcolatore.

Il sistema d'indirizzamento logico permette di distribuire in zone diverse di memoria del calcolatore i segnali provenienti da un'unico ML, utilizzando la possibilità di aggiungere dall'esterno gli indirizzi logici (EXT logic addresses) invece di utilizzare gli indirizzi di linea. Il circuito genera un codice da 0 a 7, secondo la linea da cui riceve il segnale logico.

I connettori per tali segnali si trovano nel retro del modulo di servizio. In questo modo un medesimo spettro può essere suddiviso in un massimo di 8 spettri diversi ciascuno corrispondente ad una particolare condizione esterna.

Il Buffer d'interfacciamento a FIFO collega l'uscita del SADIC con l'ingresso dell'interfaccia del calcolatore. La dimensione del Buffer è di 32 parole in due blocchi di 16 parole. Il riempimento del primo blocco di FIFO genera un livello logico di Full Buffer (FB) che si aggiunge in OR al segnale di BUSY del MdC e blocca gli ingressi dei ML in modo da evitare che vengano accettati altri eventi; tuttavia se il MdC ha già iniziato un'operazione di conversione multipla, le 16 parole rimanenti del secondo blocco possono contenere la sequenza di dati, senza che ne sia perso alcuno.

Il buffer viene azzerato ad ogni START proveniente dal calcolatore. I segnali di STOP esterni (provenienti da scale o integratori), fermano l'acquisizione bloccando il MdC ma non producono alcuna interruzione del calcolatore. Il buffer effettua un'azione di derandomizzazione e stoccaggio dei dati. Nell'applicazione particolare adottata nel Laboratorio del CN da 7 MeV è stata scelta la via dell'accumulo in Interrupt, tralasciando la tecnica del DMA che viene dedicata ai periferici di massa, disco e nastro magnetico. In questo caso particolare non si utilizza l'acquisizione microprogrammata e il tempo di risposta del sistema può richiedere alcune decine di microsecondi. Durante questi tempi latenti, il buffer immagazzina l'informazione temporaneamente e poi avuta attenzione dal calcolatore la trasferisce ad alta velocità.

Il segnale di FB aggiunto a quello di BUSY dà nel lettore di DT l'indicazione del DT aggiuntivo del calcolatore. Quando la velocità media di acquisizione è minore di quella media di conversione, il buffer effettua un'opera di derandomizzazione e il DT non risente dei tempi di acquisizione, nè dei tempi durante i quali il sistema operativo inibisce l'interruzione da parte dei periferici. A velocità prossime a quella massima di acquisizione il lettore di DT non dà più un'indicazione del rate di conversione ma solo il DT dell'intero sistema SADIC-Calcolatore.

I programmi di acquisizione, che sono stati sviluppati nei calcolatori in uso dei LNL, hanno velocità molto diverse secondo che utilizzino o meno la microprogrammazione. Una routine di accumulo software senza DMA e senza microprogrammazione consente poco più di 70 kHz. La microprogrammazione dell'incremento di memoria e alcune modifiche dell'interfaccia standard portano questa velocità a circa 500 kHz. Essendo la velocità massima di conversione di circa 300 kHz anche nell'ipotesi di massimo conteggio il calcolatore dispone di circa il 40% del tempo per altre operazioni (fit, preanalisi, display, ecc.).

PARTE SECONDA

DESCRIZIONE DEI CIRCUITI

Il Modulo di Conversione. Il modulo di conversione è un multiplexer ADC composto di una parte Lineare, comprendente il sistema di commutazione degli ingressi (MPX8AB), ed un convertitore AD, e di una parte logica per il controllo del modo di accumulo.

La sezione lineare è composta da un Multiplexer analogico a 8 vie costituito da 8 interruttori seriali a JSFET e di un decodificatore che permette di abilitare la linea voluta. Il codice di comando è a tre bits.

Caratteristica preminente di questa sezione è di avere un tempo di settling (a meno di 0.01% del segnale d'entrata) di $0.5 \mu s$. In queste condizioni l'accoppiamento tra due canali è minore di -52 dB . Lo schema del circuito è riportato in Fig. 6.

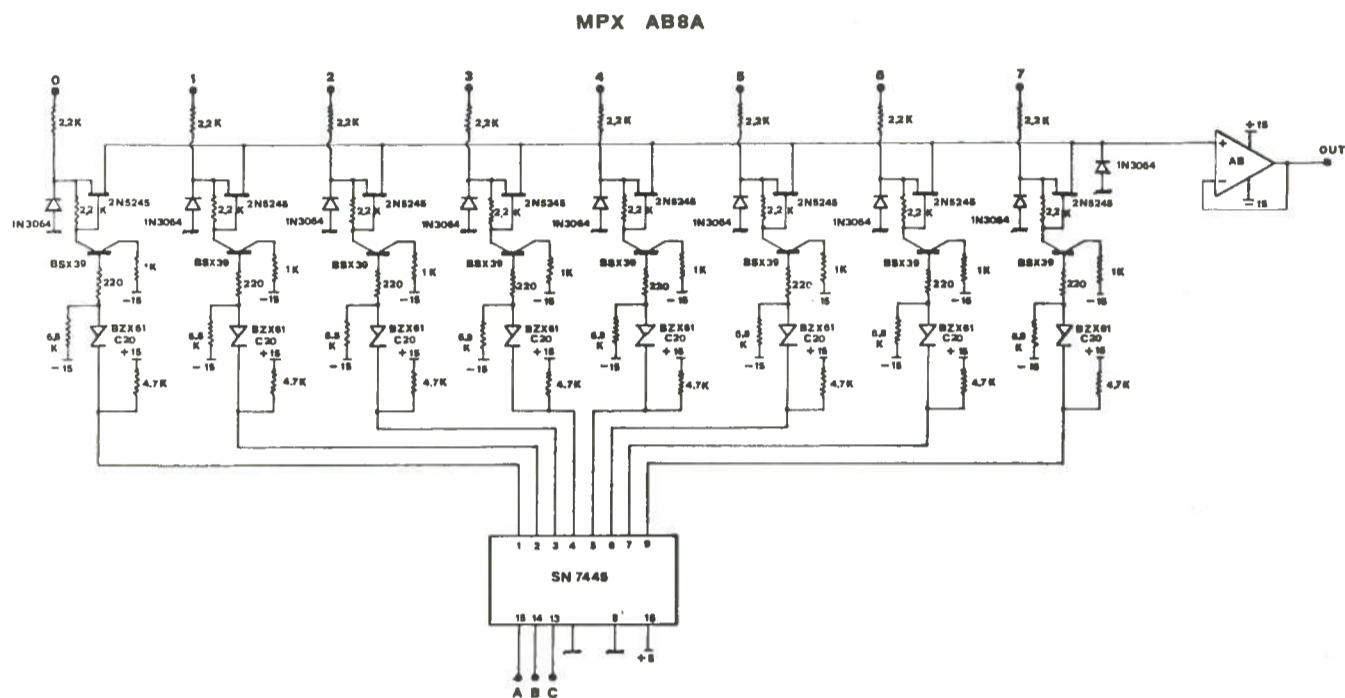


FIG. 6 - Schema elettrico del Multiplexer lineare MPX.

Il convertitore AD è formato da un chip commerciale ADC 1103-003 della Analog-Devices linearizzato con un metodo simile alla equalizzazione statistica ("sliding scale") al fine di portare la linearità differenziale ai valori necessari ($\leq 0.3\%$).

In pratica un convertitore operante con questa tecnica è costruito in modo da potersi porre sequenzialmente o casualmente in M stati interni diversi (M minore di N , con N =numero di canali del convertitore). Per ognuno di questi stati viene generato un segnale analogico $Q_i = iw$, dove w è la lunghezza nominale di canale.

Ad ogni nuova conversione il sistema cambia stato e analizza il segnale $V + Q_i$ anziché l'ampiezza V effettivamente presente al suo ingresso. Il numero i viene quindi sottratto in modo digitale dal risultato della conversione.

Si dimostra che con questo metodo di equalizzazione⁽¹⁾ l'errore sulla larghezza del canale del k-esimo diventa:

$$W_{k i_M} = \frac{\sum_{i=0}^M (\varepsilon_{k+M+i} - \varepsilon_{k+M+i+1})}{M+1}$$

dove l'espressione tra parentesi è l'errore sulla larghezza originaria del canale j-esimo.

La larghezza del k-esimo canale è dunque definita dalla media delle larghezze dei canali del convertitore non equalizzato aventi indici compresi tra k e k+M. Questo fatto comporta la necessità di disporre di un convertitore a N+M canali se si vogliono classificare i segnali di N canali.

Nel MdC questo inconveniente è stato superato facendo in modo che i canali aventi indici k tali che k+M sia maggiore di N vengano definiti dalla media sui canali compresi tra il (k-M)-esimo e il k-esimo, ciò si ottiene cambiando segno al livello analogico Q_i e sommando i al risultato della conversione, quando il segnale da convertire supera un certo valore.

Il valore di Q_i è generato da un DAC MDA-10Z della Analog-Devices (v. Tabella I) dove il bit più

TABELLA I - MDA-10H Convertitore digitale-corrente.

Risoluzione	10 bits
Corrente in uscita	0 ± 2 mA
Tempo di stabilizzazione al fondo scala entro 1/2 L SB	300 ns
Nonlinearità	$\pm 1/2$ LSB
Coefficienti di temperatura:	
guadagno	40 ppm/°C
offset	30 nA/°C

significativo è utilizzato per il cambiamento della polarità, mentre il meno significativo è posto sempre a massa e i rimanenti 8 bits forniscono la tensione desiderata. Il comando di inversione della polarità è generato da un discriminatore il cui livello di scatto è posizionato in corrispondenza di un canale di indice k minore di 4096-256 essendo ± 256 il numero di stati interni del DAC.

I 12 bits del dato in uscita dal sommatore/sottrattore sono inviati poi ad uno shift register a 16 bits unitamente ai 3 bits d'indirizzo della linea convertita. Il bit rimanente (16-imo) viene utilizzato indipendentemente per indicare se il dato appartiene ad un evento in increment mode (=0) o in list mode (=1).

La transizione L--H del livello di STATUS alla fine della conversione provoca la partenza di un oscillatore collegato allo shift register che elimina un bit ad ogni oscillazione cominciando dal bit meno significativo. In questo modo possono essere scartati da 0 a 4 bits e cioè avere dati con fondo scala di conversione da 4096 a 256 canali. Alla fine dello shift il dato così formattato si presenta sull'uscita insieme ad un segnale di avvenuta conversione (FLAG-SADIC).

(1) C. Cottini, E. Gatti and V. Svelto, Nuclear Instr. & Meth. 24, 241 (1963).

Anche il numero binario da inviare al DAC equalizzatore, generato tramite un contatore a 8 bits, viene incrementato alla fine del processo di shift in concomitanza con il segnale di FS.

La scheda logica ha la funzione di far convertire all'ADC la tensione presente nell'ingresso lineare desiderato inviando il codice di linea al multiplexer lineare ed il segnale di CONVERTER COMMAND (CC).

La logica può essere divisa in due sezioni secondo il modo di accumulo: MPX ed MPR. Nella prima, il segnale di DR presente in uno degli ingressi, genera, attraverso un decodificatore, l'indirizzo della corrispondente linea e dopo un ritardo di 500 ns necessario per il settling del multiplexer, invia il CC alla sezione di conversione lineare. Nella funzione di MPR, viene dapprima eseguita la coincidenza tra i DR abilitati in ingresso. Se ciò si verifica, l'evento positivo viene memorizzato nella bistabile che fornirà anche il bit di coincidenza (16-imo). Nello stesso tempo si invia il primo CC della frequenza. La fine conversione con la transizione L--H dello STATUS incrementa il contatore fornendo il seguente codice di linea e un nuovo CC.

La coincidenza tra contatore e contraves di END-LINE sul pannello frontale arresta la sequenza di conversioni e provoca l'azzeramento della bistabile e del contatore.

Durante tutto il tempo necessario alle conversioni viene mantenuto basso un segnale di BUSY per il blocco degli STRETCHERS.

Il Modulo Lineare. L'elemento fondamentale del ML è un circuito di "Sample and Hold" per la memorizzazione del valore di picco della tensione del segnale lineare, in cui il segnale di Hold è ricavato dal cambiamento di segno della derivata prima del segnale stesso. A questo circuito se ne aggiungono altri con funzioni accessorie:

- 1) Il controllo delle ampiezze minima e massima e la verifica delle relazioni temporali con l'eventuale segnale di coincidenza esterna.
- 2) Il blocco dell'ingresso durante il processamento e la successiva conversione.
- 3) L'azzeramento del segnale memorizzato o per rigetto o per fine del processo di acquisizione.

Lo schema a blocchi è riportato in Fig. 7, ed in Fig. 8 lo schema dettagliato.

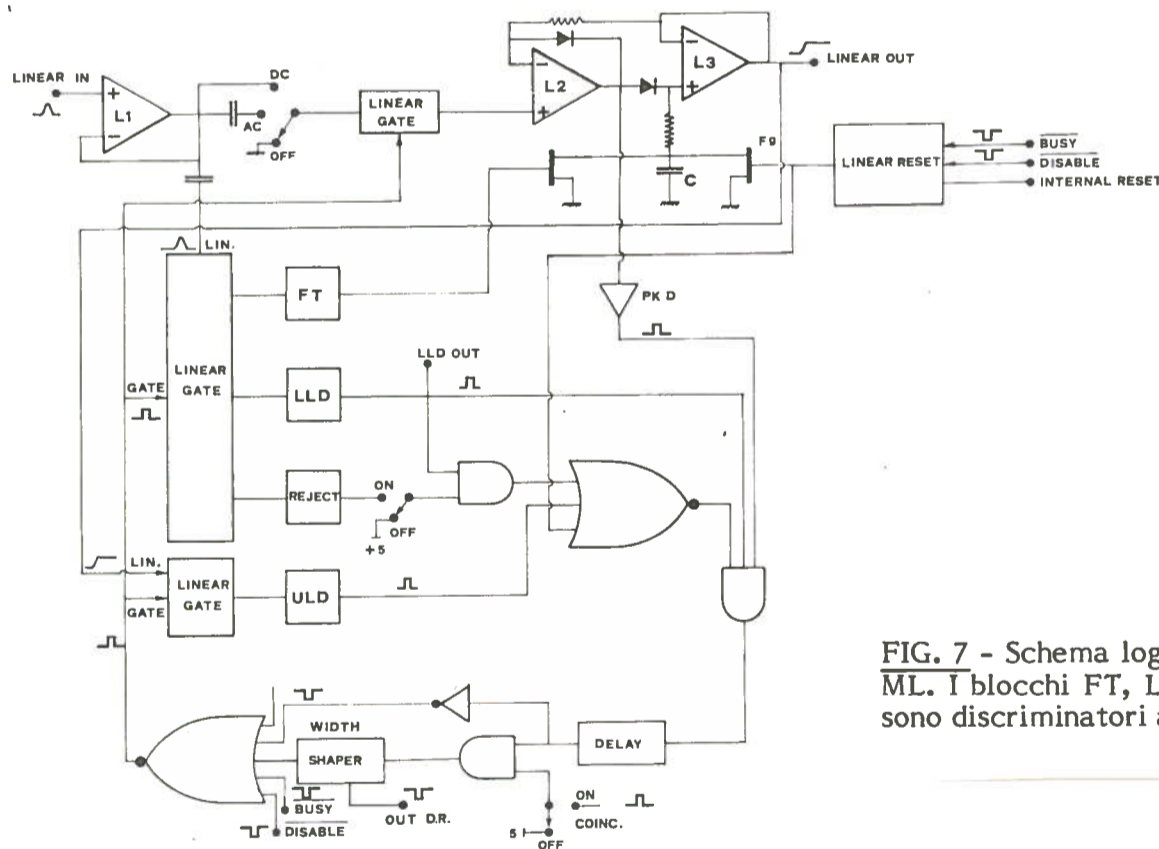
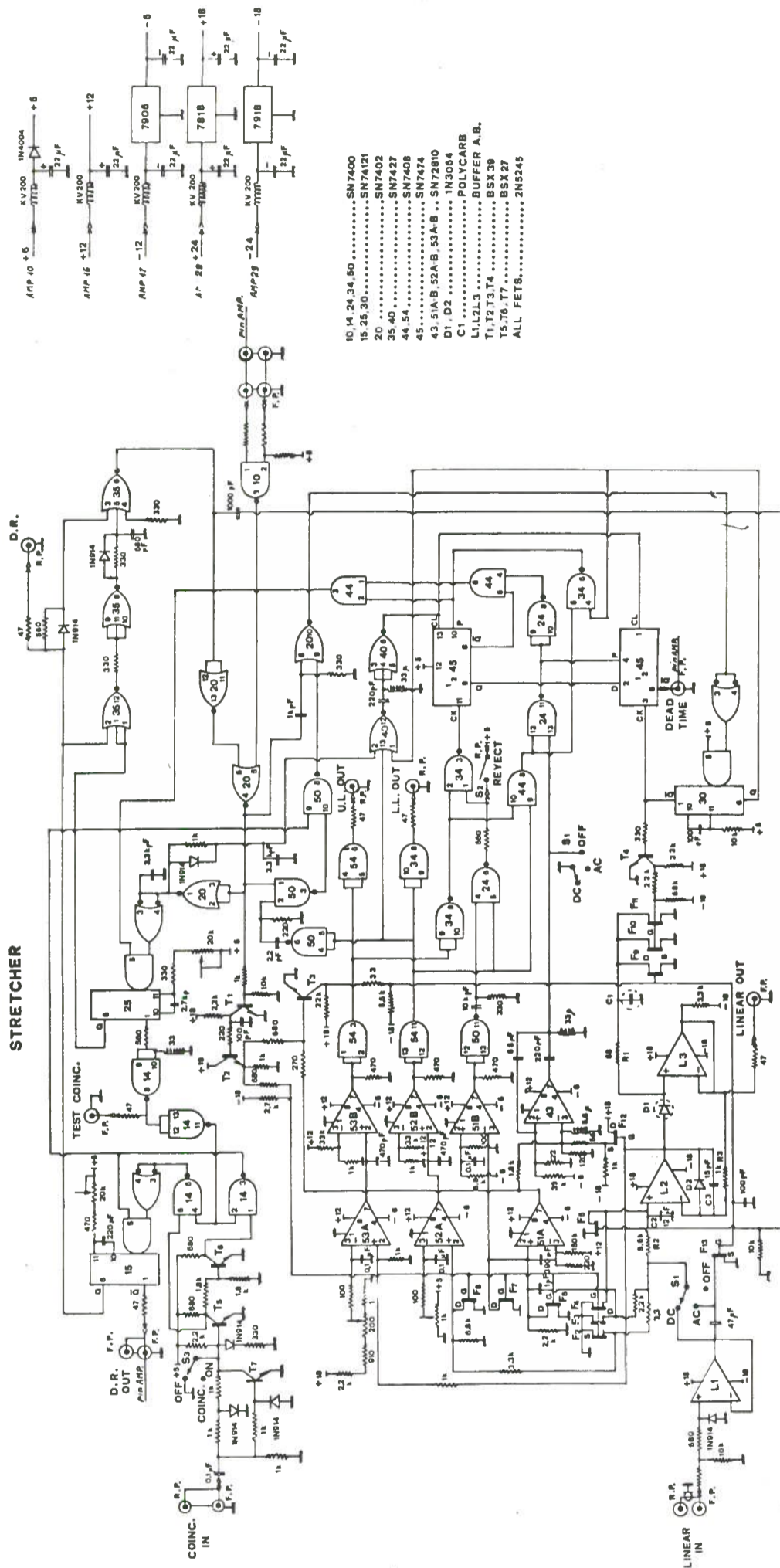


FIG. 7 - Schema logico delle funzioni del ML. I blocchi FT, LLD, ULD e REJECT, sono discriminatori a soglia.



- 10, 14, 24, 34, 50 SN7400
- 15, 25, 30 SN74121
- 20 SN7402
- 35, 40 SN7427
- 44, 54 SN7408
- 45 SN7474
- 43, 51A-B, 52A-B, 53A-B SN72810
- D1, D2 1N3084
- C1 POLYCARB
- L1, L2, L3 BUFFER A.B.
- T1, T2, T3, T4 BSX39
- T5, T6, T7 BSX27
- ALL FETs 2N5245

FIG. 8 - Schema complessivo del ML.

In linea di principio distingueremo due parti nel ML, una lineare ed una logica. La parte lineare comprende il buffer ed il linear gate d'ingresso, i discriminatori d'ampiezza e il memorizzatore-allungatore.

Riferendoci allo schema di Fig. 9, l'operazione L1, inserito come EF, fa da separatore tra

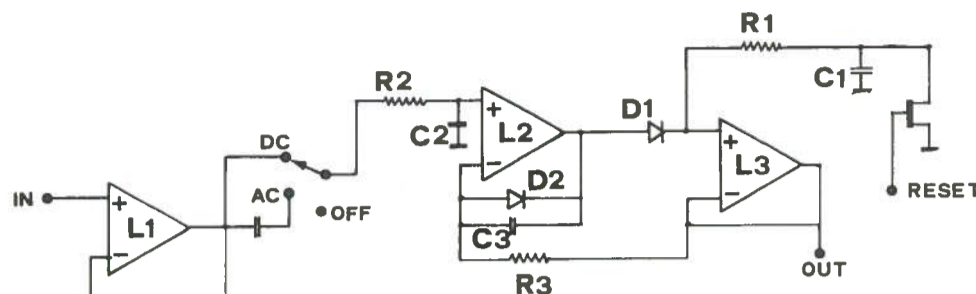


FIG. 9 - Schema del circuito di memorizzazione analogica.

l'amplificatore esterno e il ML, inoltre pilota in bassa impedenza i discriminatori di soglia fissa FT, di soglia inferiore LT e quella per i negativi TT e, attraverso un commutatore OFF-AC-DC, comanda l'ingresso positivo di L2.

Avendo L2 un elevato guadagno ed essendo leggermente sbilanciato con tensione positiva alla sua uscita, in assenza di segnale i due operazionali si comportano come un unico EF avente guadagno a loop aperto raddoppiato.

Un segnale positivo e di forma gaussiana applicato all'ingresso positivo di L2, viene trasferito con bassa impedenza in C durante la parte crescente. Raggiunto il valore massimo, non appena il segnale accenna a calare, una piccola differenza di tensione di valore negativo ai capi di D1 viene amplificata da L2 fino a conduzione di D2 e sconnette D1 lasciando C1 carico sulla alta impedenza di L3. Possiamo quindi dire che durante la fase crescente del segnale, L2 e L3 sono rigidamente legati in un unico loop che si rompe all'istante di picco.

Tramite il FET F12 il segnale di uscita di L2 viene inviato in un circuito differenziatore che mette in evidenza il transitorio a derivata negativa (PKD). A questo istante, se i vari consensi previsti danno esito sul gate di F4, si presenta un segnale di blocco che viene rimosso solo a fine ritardo o a conversione ultimata.

L'operazione di rimozione della carica avviene tramite un segnale di 600 nsec inviato sul gate di F10-F11 e, se la soglia fissa non è attivata da alcun segnale in ingresso, C1 rimane a massa tramite la bassa impedenza di F9.

La soglia fissa (FT), la soglia inferiore (LT), e la soglia sulla code negative (TT), sono accoppiate in alternata con l'uscita di L1.

A monte e a valle delle capacità di accoppiamento vi sono dei FET inseriti come interruttori paralleli che si chiudono durante il tempo di blocco, al fine di migliorare la stabilità delle soglie alle cadenze elevate.

Il discriminatore di soglia superiore (UT) è collegato all'uscita di L2 al fine di evitare discordanze d'ampiezza in presenza di livelli in continua, infatti in questo modo è più facile eliminare segnali sovrapposti a livelli in continua.

Le soglie (LT), (UT) servono a delimitare l'intervallo di ampiezza da accettare, mentre la soglia (TT) serve a impedire l'accettazione di segnali sovrapposti a code negative di segnali precedenti ed è

disinseribile mediante commutatore. Con il commutatore "OFF-AC-DC" nella posizione OFF si blocca la rivelazione di picco e quindi l'accettazione di segnali, mentre continuano a funzionare regolarmente le soglie (FT) e (LT). Dal connettore d'uscita (LT) posto nel pannello posteriore si può avere una indicazione del rate di conteggio anche a misura ferma.

A causa della risoluzione necessaria per un corretto funzionamento del sistema, si sono dovute minimizzare le possibili distorsioni sui segnali allungati; per ottenere tali risultati è stata dedicata particolare attenzione ai seguenti punti:

- minimizzazione della velocità di perdita di carica in C1;
- stabilità in frequenza nella maglia di reazione dello Stretcher;
- rimozione rapida (0.6 $\mu\text{sec.}$) della carica da C1 a fine evento;
- minimizzazione dei disturbi prodotti dai transistori sull'ingresso positivo di L2;
- riduzione degli errori di memorizzazione legati a fluttuazioni nella rivelazione di picco.

Per la risoluzione di questi problemi è stata posta cura particolare nella progettazione e realizzazione degli operazionali L1 ed L2. In Fig. 10 è riportato lo schema e in Tabella II le

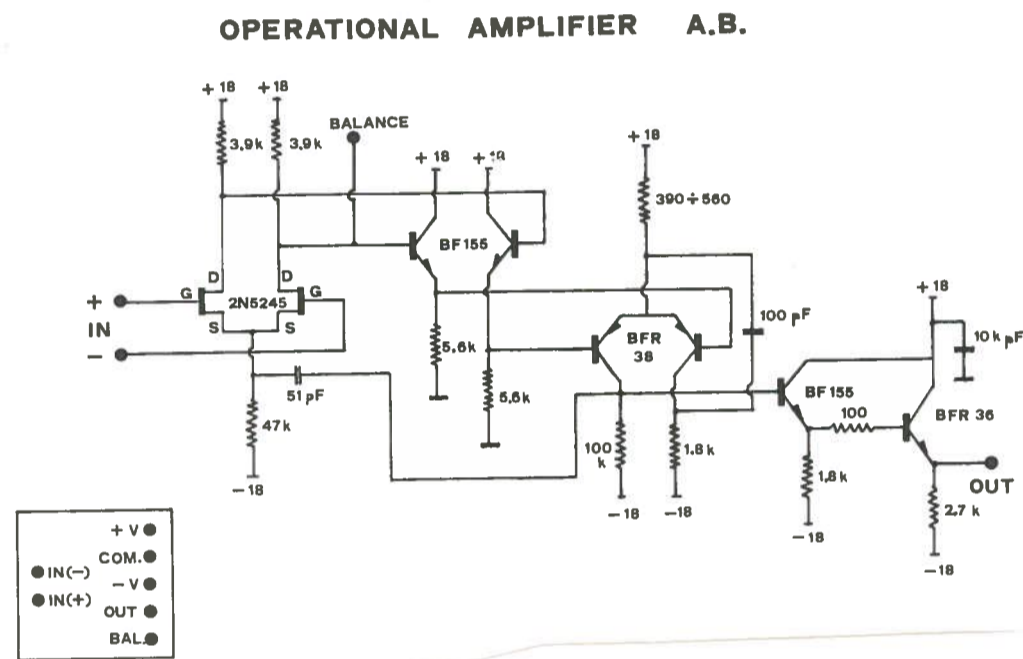


FIG. 10 - Schema dell'amplificatore operazionale.

TABELLA II - Amplificatore Operazionale AB.

Amplificazione (in continua)	$\sim 2 \times 10^3$
Slew rate	$2 \times 10^3 \text{ V}/\mu\text{s}$
Amplificazione per segnali con 0.5 μs di shaping-time	~ 130
Ritardo di propagazione	3 ns
Rapporto di reiezione del modo comune:	
in continua	65 dB
a 2 μs di s.t.	52 dB

caratteristiche più salienti del dispositivo.

Se l'ampiezza del segnale d'ingresso è compresa tra le soglie (LT) ed (UT), all'istante di picco viene generato un segnale di start per il temporizzatore DELAY (vedi Fig. 11) Coincidence Dealy; la durata

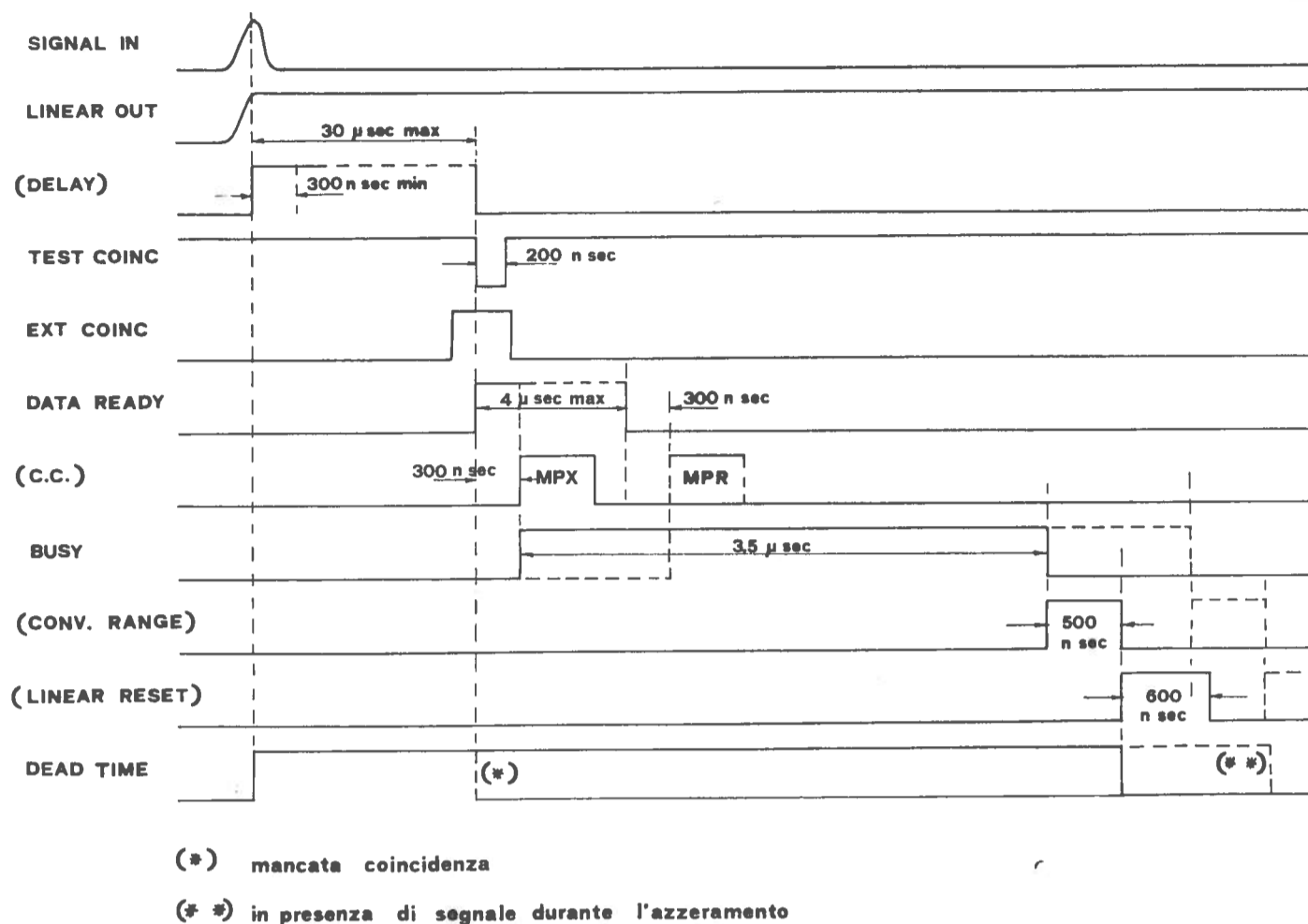


FIG. 11 - Sviluppo temporale dei segnali di colloquio e dei segnali interni (tra parentesi).

di questo tempo è regolabile dall'esterno. Alla fine di questo tempo viene avviato un secondo temporizzatore Tar che genera il segnale di DR (DATA READY) la cui durata è anch'essa regolabile (WIDTH).

Il segnale di DR non viene generato nei seguenti casi:

- 1) il rigetto su code è attivato e il segnale d'ingresso capita su una coda negativa;
- 2) la capacità di memorizzazione è in stato di azzeramento rapido;
- 3) manca la coincidenza e si lavora in COINC.ON.

Le prime due condizioni hanno lo scopo di evitare l'acquisizione di impulsi distorti. L'azzeramento rapido avviene normalmente a fine conversione prodotto dalla transizione L--H del segnale di BUSY. Inoltre si può verificare nei seguenti casi:

- 1) con la transizione L--H del segnale DISABLE;
- 2) se alla fine dell'azzeramento rapido è attivata la (LT);
- 3) se manca la coincidenza e si lavora in COINC.ON;
- 4) se 300 nsec. dopo la fine del DR il MdC non risponde con BUSY;
- 5) scatta la (UT).

La bistabile di Tempo Morto (DT) viene azionata dal segnale di PKD e viene azzerata dai segnali di:

- 1) fine conversione e/o DISABLE;
- 2) fine soglia (LT) per segnali che hanno fatto scattare la (UT).

La durata del DT misura quindi il tempo durante il quale il ML rimane inattivo come conseguenza dell'analisi dei segnali analogici e non comprende quindi il Tempo Morto dei segnali di BUSY per i segnali di altri ML.

La parte logica del ML ha la funzione di generare tre segnali: il DR, l'azzeramento rapido e il Tempo Morto. In Fig. 11 sono riportate le forme dei segnali in alcune parti del circuito e le relative sequenze temporali.

Gli autori ringraziano F. Brandolini per l'interessamento a questo lavoro, e tutti i colleghi ricercatori per la pazienza manifestata durante la messa in opera del sistema presso i LNL.