



**Studio di fattibilità di un TDC tollerante alle radiazioni per
la camera a deriva di SuperB**

L. Iafolla, P. Ciambrone, G. Felici

INFN-Laboratori Nazionali di Frascati, via E. Fermi 40, 00044 Frascati, Italy

Abstract

Nell'ambito delle attività di sviluppo della camera a deriva dell'esperimento SuperB è stato fatto uno studio di fattibilità di un TDC con risoluzione dell'ordine del ns per le misure dei tempi di deriva degli elettroni. L'elettronica di front-end (di cui il TDC fa parte) verrà installata nella piattaforma posizionata sopra al rivelatore per contenere la lunghezza dei cavi e non degradare eccessivamente il rapporto segnale/rumore: l'intero sistema deve quindi essere tollerante a una radiazione di background che al momento è stimata dell'ordine del kRad/anno. Fino a pochi anni fa i suddetti requisiti avrebbero portato alla realizzazione di un circuito dedicato (ASIC) con i conseguenti costi e tempi di sviluppo poiché i dispositivi FPGA disponibili erano o basati su SRAM, e quindi incompatibili con il background di radiazioni previsto, o non avevano le prestazioni sufficienti. Le più moderne ed efficienti FPGA prodotte dalla ACTEL e basate su memorie di tipo FLASH (e quindi più resistenti alla radiazione) hanno apportato una notevole semplificazione e riduzione di costi nello sviluppo di applicazioni che devono funzionare in presenza di moderate dosi di radiazione. In questo contesto lo studio di fattibilità del TDC, basato sulla tecnica "4xOversampling" e implementata su ACTEL ProAsic3, ha dimostrato che è possibile implementare fino a 32 canali con relativo sistema di readout. Infine, per mitigare ulteriormente gli effetti causati dalla radiazione, è stata elaborata una innovativa logica decisionale che consente una notevole semplificazione nella realizzazione del circuito stampato.

Introduzione

L'elettronica di acquisizione e front-end per la camera a deriva di SuperB è progettata per estrarre e processare i segnali da circa 8000 fili (sense wire). Le misure da eseguire sono le seguenti:

- misura del tempo di deriva degli elettroni verso i fili sensibili (sense wires) allo scopo di tracciare le traiettorie delle particelle cariche (per poter misurare il momento delle particelle cariche, "tracking");
- misura della perdita di energia per unità di lunghezza, dE/dx (identificazione della particella rivelata);
- estrazione delle informazioni utili per il sistema di trigger (primitive di trigger).

Relativamente alla misura della perdita di energia saranno considerate due opzioni: la prima prevede una misura della carica integrata sui fili sensibili; la seconda è basata sul conteggio dei cluster di elettroni primari (campionamento della forma d'onda). Mentre nella seconda opzione è incorporata la possibilità di misurare i tempi di deriva dalla forma d'onda campionata, la prima opzione necessita di un ADC per la misura della carica integrata e di un TDC per la misura del tempo di deriva degli elettroni.

In questo documento sono esposti i requisiti e le soluzioni proposte per il TDC: l'aspetto peculiare è legato al fatto che esso sarà installato in prossimità del rivelatore e per questo dovrà essere tollerante alle radiazioni cui sarà esposto.

1.1 *Requisiti del TDC*

I requisiti principali del TDC per le misure di "tracking" sulla camera a deriva di SuperB sono i seguenti:

- risoluzione ≤ 1 ns;
- basso costo di produzione;
- possibilità di implementare molti canali;
- tolleranza agli effetti delle radiazioni.

Un TDC con i requisiti accennati può essere realizzato utilizzando la tecnica dell'interpolazione lineare combinata con la tecnica dell'4xOversampling (vedi [1]). Tecnologie FPGA di tipo SRAM consentono facilmente di ottenere la risoluzione richiesta e mettono a disposizione tutte le risorse necessarie per l'implementazione del sistema di acquisizione e readout. Sfortunatamente le FPGA SRAM-based sono molto sensibili agli effetti delle radiazioni che possono determinare la commutazione dei bit di programmazione del dispositivo. In commercio si possono trovare famiglie di dispositivi FPGA di tipo SRAM (es. VirtexQ) la cui architettura è stata progettata per renderli tolleranti alle radiazioni; sfortunatamente questi dispositivi hanno costi proibitivi e non possono essere presi in considerazione. Altre soluzioni proposte in letteratura prevedono l'uso di tecniche avanzate quali (vedi [2,3,4,5]): tripla ridondanza hardware, scrubbing, codici a correzione di errore; anche queste tecniche sembrano avere costi e tempi di progettazione e realizzazione non adeguati.

Soluzioni più realistiche sono basate sull'uso di tecnologie FPGA di tipo flash: per questi dispositivi possono essere trascurate le possibilità che si verifichino gli eventi SEU (Single Event Upset) o SET (Single Event Transient) [2] sulla memoria di programmazione.

L'inconveniente è che queste tecnologie hanno prestazioni e risorse decisamente più limitate rispetto alle FPGA di tipo SRAM.

La fattibilità di un TDC rad-tol basato sulla tecnica 4xOversampling è tuttora in studio: il dispositivo scelto è una Actel ProAsic3.

1.2 Specifiche dei segnali da misurare

I segnali di “start” e di “stop” del TDC saranno generati a partire dalla radiofrequenza (RF) dell’acceleratore e dagli impulsi in uscita dal rivelatore. La RF di SuperB ha una frequenza pari a 54 MHz: questo segnale sarà il riferimento del TDC (start). Internamente alla FPGA sarà generato il clock di riferimento del TDC a partire dalla RF: visto che la risoluzione richiesta è di almeno 1 ns e si vuole utilizzare la tecnica 4xOversampling, il multiplo ideale per eseguire la misura è 270 MHz (54·5 MHz). A partire da questa frequenza si otterrà una risoluzione pari a $1/(4 \cdot 270) \mu s = 0.926 \text{ ns}$.

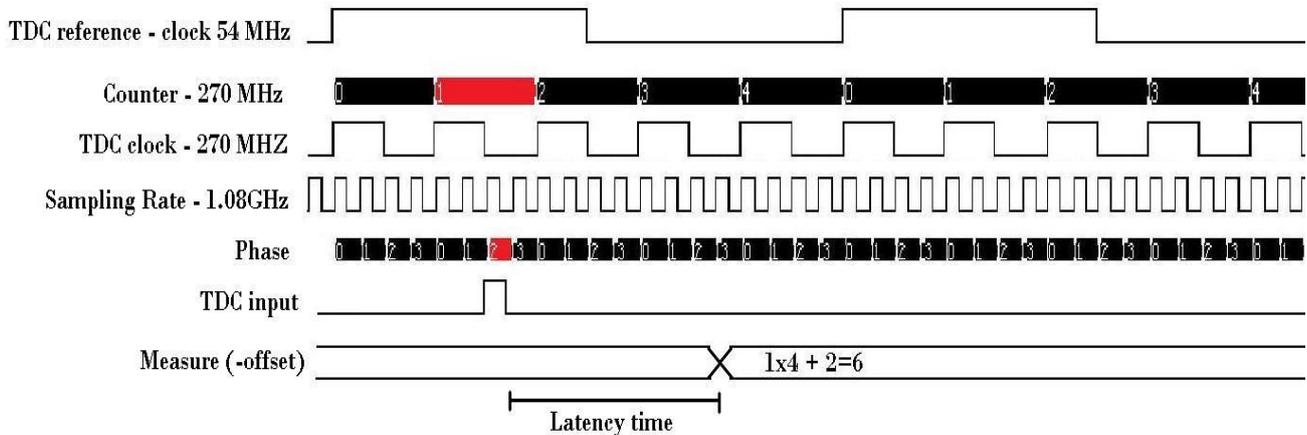


Figura 1. In questo grafico sono rappresentati tutti i segnali più importanti per il TDC della DCH di SuperB. Il primo segnale dall’alto è la RF dell’acceleratore: i suoi fronti positivi sono il riferimento (start) delle misure. Il secondo segnale è il valore di un contatore sincronizzato al clock del TDC (terzo segnale) e azzerato ad ogni fronte positivo dalla RF. Il quarto segnale è un clock fittizio che corrisponde alla frequenza di campionamento del TDC ($54 \cdot 5 \cdot 4 \text{ MHz} = 1.08 \text{ GHz}$); ad ogni fronte positivo di questo segnale corrisponde una delle quattro fasi del clock del TDC (quinto segnale). Il sesto segnale è l’ingresso del TDC ovvero lo stop: esso individua il valore del contatore e la fase evidenziati in rosso; la misura finale (ultimo segnale) è data dopo un tempo di latenza.

I segnali in uscita dal rivelatore saranno opportunamente discriminati e formati secondo le seguenti temporizzazioni:

- minima larghezza degli impulsi: 3 ns;
- massima larghezza degli impulsi: 8 ns;
- tempo minimo tra due impulsi: 3 ns;
- numero massimo di impulsi da misurare per ciclo di RF: 1 o 4 (ancora non è stato stabilito).

In Figura 1 è illustrato il metodo con cui è eseguita la misura.

1.3 4xOversampling tollerante a SEU e SET

La tecnica di 4xOversampling di per se non è tollerante alle radiazioni. Supponiamo che l'effetto delle radiazioni produca delle commutazioni singole (dovute a SET o SEU) nel flusso di bit in uscita dallo stadio di campionamento come illustrato in Tabella 1. Se non si adottano particolari accorgimenti i SET/SEU produrranno falsi eventi (ovvero misure di segnali che effettivamente non sono stati generati dal rivelatore). Una soluzione potrebbe consistere nel triplo-ridondare gli ingressi e le relative logiche decisionali: questa soluzione comporta grande dispendio di pin di ingresso della FPGA, richiede particolari accorgimenti per la sincronizzazione dei tre segnali replicati da misurare e quindi comporta maggiori difficoltà di progettazione del PCB che ospiterà il TDC. In alternativa si potrebbe utilizzare un solo pin di ingresso della FPGA per ogni canale e triplo-ridondare solo la logica interna che esegue il 4xOversampling. Anche in questo caso però alcuni problemi potrebbero sorgere nell'eseguire il "routing" del segnale da campionare per cui lo "skew" del segnale potrebbe rendere molto complessa l'implementazione della logica decisionale d'uscita. Per rendersi conto di ciò basta pensare che, a causa dello skew, i tre moduli potrebbero avere tre uscite diverse senza il verificarsi di alcun SET/SEU.

Nel prossimo paragrafo è presentata una soluzione più efficiente che prevede l'uso di un solo pin della FPGA per canale di TDC (semplificazione del PCB) ed una sola logica di campionamento del segnale (semplificazione del routing e riduzione dello skew): essa sfrutta la conoscenza a priori delle proprietà dei segnali da campionare per implementare una logica decisionale "ad hoc".

1.3.1 Metodo dell'esclusione delle commutazioni singole

Definiamo, a partire dalle specifiche date nel paragrafo 1.2 e dal fatto che ad ogni bit corrisponde un tempo di circa 1 ns, le transizioni positive del segnale di ingresso con la seguente sequenza di sei bit: "000111". Queste transizioni individuano gli istanti rispetto ai quali devono essere eseguite le misure (STOP); altre sequenze di 6 bit non corrispondono a transizioni positive o non sono coerenti con le specifiche assegnate.

Tutti i SET/SEU che non determinano la commutazione di almeno uno dei 6 bit della sequenza precedente possono essere sempre riconosciuti e i falsi eventi da essi determinati possono essere scartati. Per fare questo è sufficiente che la logica decisionale che analizza l'uscita dallo stadio di campionamento sia insensibile alle commutazioni dei due seguenti tipi: "11011" o "00100".

...-00**1**0-0001-1111-1000-0011-1**0**11-1000-0000-**1**011-1000-0000-**10**11-1100-...

Tabella 1. Il flusso di bit in uscita dallo stadio di ingresso è frammentato a blocchi di quattro bit che sono i quattro campioni ottenuti ogni ciclo di clock con la tecnica 4xOversampling. I campioni evidenziati sono esempi di commutazione singola dovuta alle radiazioni.

I SET/SEU che determinano la commutazione di uno dei 6 bit relativi ad una transizione positiva non sempre possono essere riconosciuti (vedi Tabella 3): questi casi particolari non produrranno falsi eventi ma inficeranno la misura ottenuta.

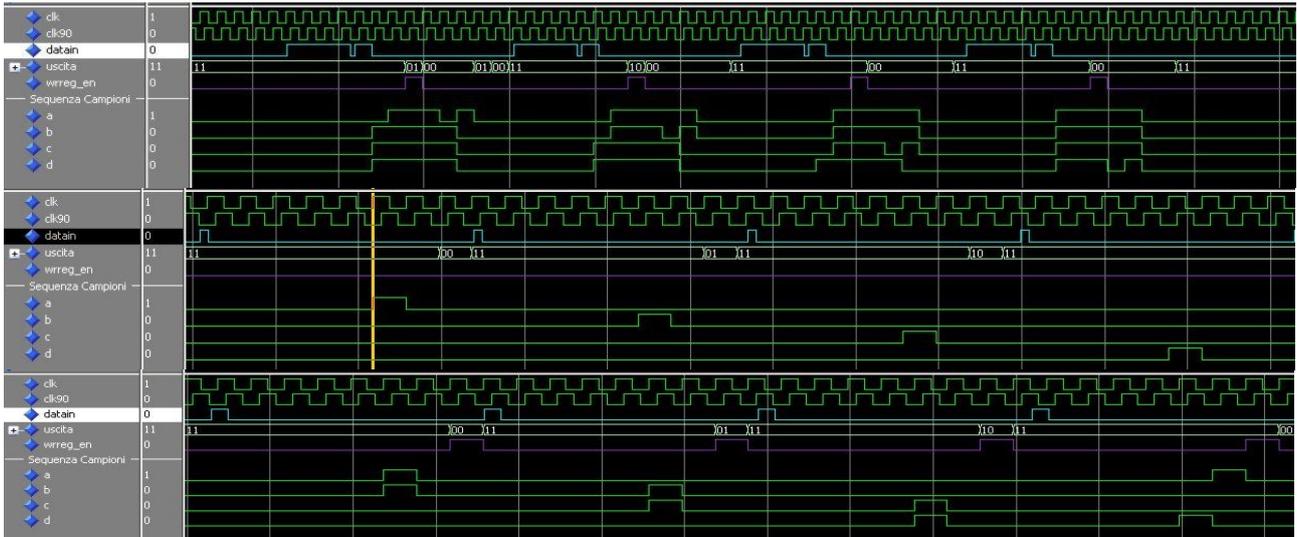


Figura 2. Simulazioni “post place and route” della logica decisionale rad-hard per il TDC 4xOversampling. I segnali “datain” e “uscita” sono l’ingresso e l’uscita del TDC; “wrreg_en” segnale la presenza di un dato valido; a,b,c,d sono i quattro campioni in uscita dallo stadio di ingresso. La prima simulazione dimostra che la logica decisionale è tollerante ai SEU del tipo 1-1-0-1-1; la seconda è quella relativa ai SEU del tipo 0-0-1-0-0; la terza simulazione è relativa ad impulsi lunghi due unità.

La logica decisionale che elabora i campioni fornendo le misure e scartando i SET/SEU è rappresentata in Figura 3. Le logiche combinatorie individuate da “Logic, F0, F1, F2, F3” corrispondono alle seguenti funzioni dei quattro campioni A,B,C,D in uscita dallo stadio di ingresso:

$$\text{Logic} = C + D + (A \cdot B);$$

$$F0 = \bar{A} \cdot \bar{B};$$

$$F1 = \bar{B} \cdot \bar{C} \cdot D;$$

$$F2 = \bar{A} \cdot \bar{C};$$

$$F3 = \bar{A} \cdot B.$$

I circuiti così progettati non sono tolleranti alle radiazioni ed hanno molti “single point of failure”. Per rendere il sistema tollerante agli errori è necessario utilizzare la tecnica della tripla ridondanza.

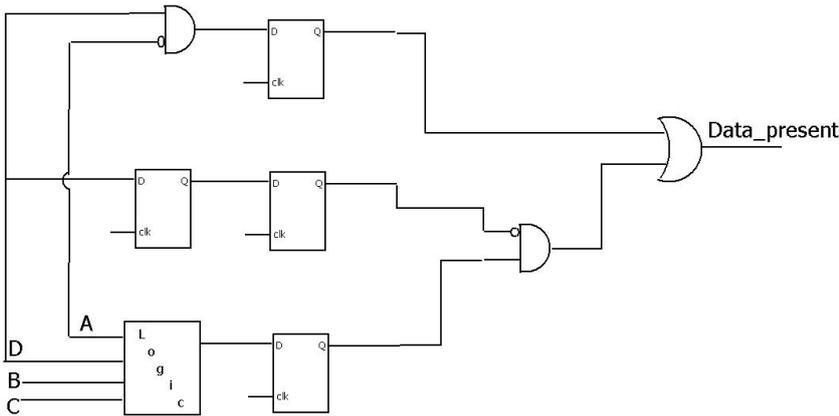
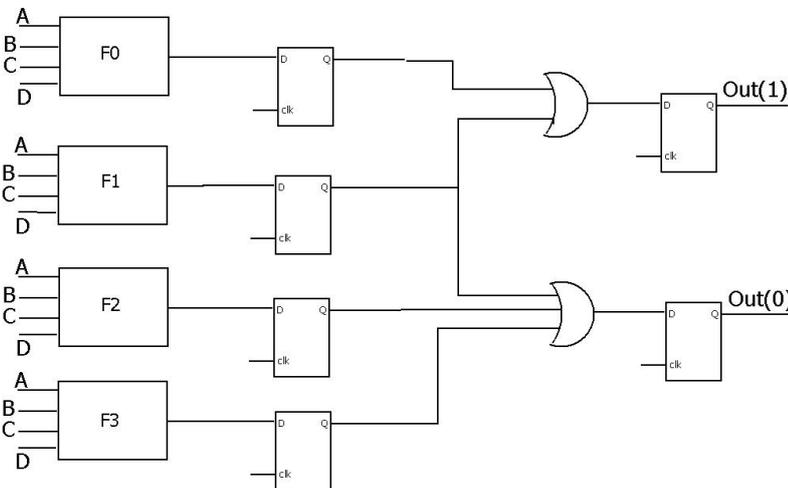


Figura 3. Questi due schemi implementano la logica decisionale del TDC. A,B,C e D sono i quattro campioni in uscita dallo stadio di campionamento. Il primo circuito genera il segnale (Data_present) che indica la presenza di un impulso in ingresso al TDC. Il secondo circuito genera i due bit che costituiscono la parte meno significativa della misura. Entrambi i circuiti sono pipeline per supportare alte frequenze di clock. Ognuno di questi circuiti deve essere implementato in tripla ridondanza per evitare la presenza di “single point failure”.



Le simulazioni in Figura 2 dimostrano che la logica implementata non è sensibile a SET/SEU di tipo 0-0-1-0-0 e 1-1-0-1-1 mentre misura senza difficoltà impulsi lunghi almeno 2 unità.

Anche il contatore del TDC che esegue la misura a bassa risoluzione (vedi Figura 1) è soggetto alla radiazione. Per questo motivo esso è stato triplo ridondato e la sua uscita, a 3 bit, è stata codificata con un codice ridondante a 6 bit. Il codice è costruito a partire dai tre bit B_i del contatore a 5 stati; i tre bit C_i supplementari sono calcolati secondo la regola della parità: in riferimento alla Tabella 2 si ha che C_0 è la parità della prima riga, C_1 della prima colonna, C_2 della diagonale che contiene tutte le C.

B_0	B_1	C_0	Tabella 2
B_2	C_2	*	
C_1	*	*	

La misura finale avrà 12 bit: 6 per il contatore a 5 stati e $3 \cdot 2 = 6$ per la parte meno significativa della misura. Questi dati possono essere memorizzati in questa forma ridondante in una memoria RAM per poi essere decodificati nel momento della lettura.

1.3.2 Calcolo dell'efficienza della logica decisionale

Calcoliamo ora la probabilità che un SET/SEU possa inficiare una misura elaborata dalla logica decisionale implementata e poi la confrontiamo con la probabilità che il SET/SEU stesso possa verificarsi. Come vedremo la logica sviluppata è in grado di riconoscere più della metà dei SET/SEU e, come già detto, elimina tutte le false transizioni positive (stop) determinate da essi.

Definiamo con P_E la probabilità che un bit sia commutato a causa di un SEU/SET: questa è definita nell'intervallo $0 \leq P_E \leq 1$. Con P_T definiamo la probabilità che ad un bit sia associata una transizione positiva del segnale: per come è stata definita la transizione positiva ("000111") questa probabilità è $P_T < 1/6$; di fatto essa dipende dalla frequenza di conteggio del TDC. La probabilità che uno dei bit relativi ad una transizione positiva commuti a causa di un SEU/SET è $6 \cdot P_E$ mentre la probabilità che esso non venga riconosciuto dalla logica decisionale è $3/6$ (vedi Tabella 3). A questo punto abbiamo tutti gli elementi per calcolare la probabilità P_N che un SET/SEU possa inficiare una misura:

$$P_N = P_T \cdot 6 \cdot P_E \cdot \frac{3}{6} = 3 \cdot P_T P_E < \frac{P_E}{2}.$$

L'ultima disuguaglianza è stata ottenuta tenendo conto delle condizioni su P_T ($P_T < 1/6$) La relazione precedente dimostra che, anche nel caso di massima frequenza di conteggio del TDC, il numero di errori dovuti a SEU/SET viene comunque ridotto della metà.

	Sequenza campionata	Sequenza riconosciuta dalla logica implementata	
	...000111...	...000111...	Nessun SET/SEU
1	...100111...	...000111...	La sequenza campionata è riconosciuta correttamente
2	...010111...	...000111... o ...011111...	La sequenza campionata può essere riconosciuta correttamente
3	...001111...	...001111...	La sequenza campionata non può essere riconosciuta correttamente
4	...000011...	...000011...	La sequenza campionata non può essere riconosciuta correttamente
5	...000101...	...000001... o ...000111...	La sequenza campionata può essere riconosciuta correttamente
6	...000110...	...000111...	La sequenza campionata è riconosciuta correttamente

Tabella 3. La sequenza di sei bit relativi ad una transizione positiva può essere modificata dal verificarsi di un SET/SEU. Due delle sei sequenze alterate dal SEU/SET (la 1 e la 6) sono riconosciute correttamente dalla logica decisionale. Due sequenze non vengono mai riconosciute correttamente (la 3 e la 4) e le relative misure sono affette da errore. Le restanti due sequenze (la 2 e la 5) non possono essere riconosciute entrambi nel modo corretto: o una o l'altra a seconda della logica decisionale implementata.

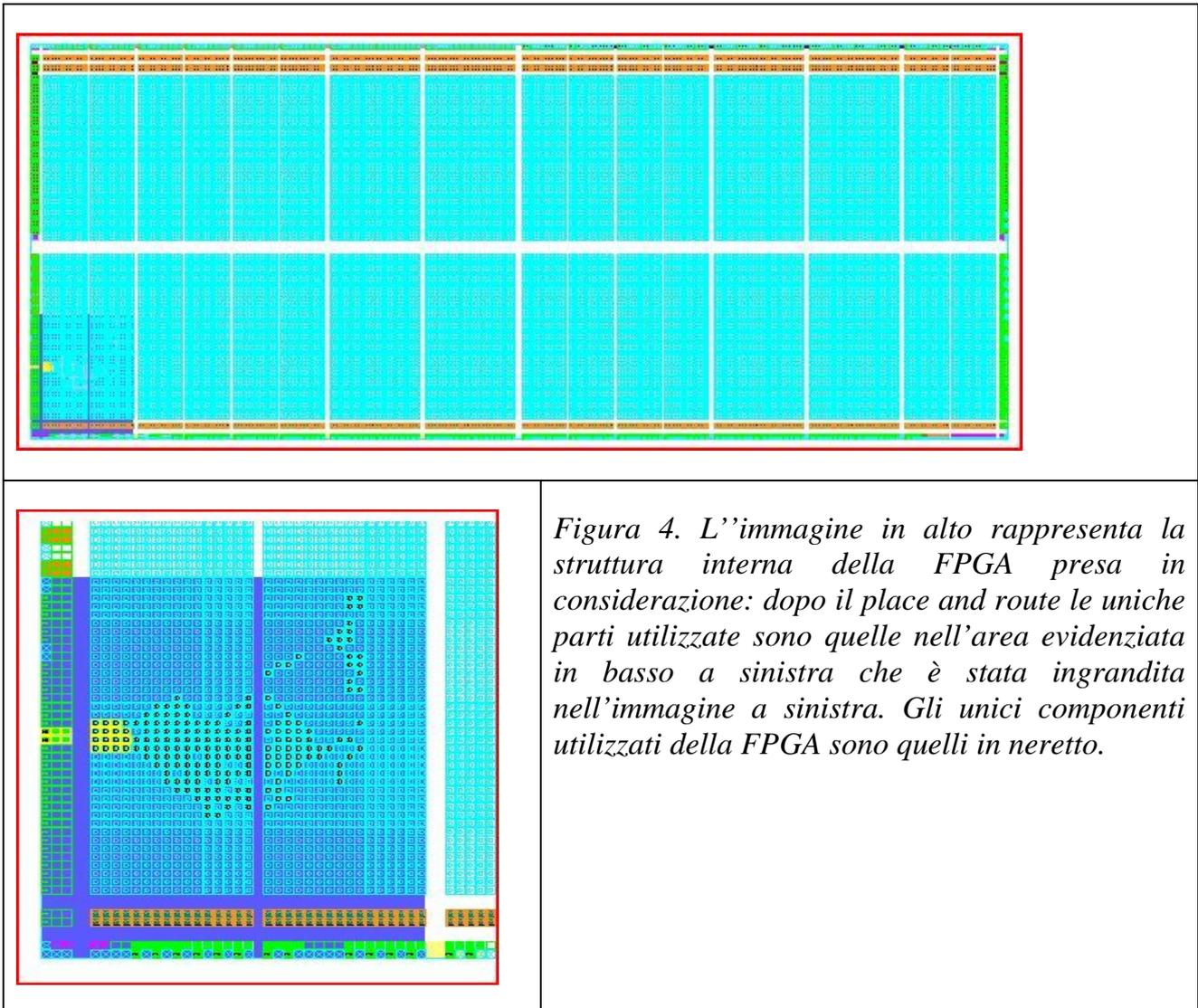


Figura 4. L'immagine in alto rappresenta la struttura interna della FPGA presa in considerazione: dopo il place and route le uniche parti utilizzate sono quelle nell'area evidenziata in basso a sinistra che è stata ingrandita nell'immagine a sinistra. Gli unici componenti utilizzati della FPGA sono quelli in neretto.

Conclusioni

Il sistema descritto è stato simulato per una Actel ProAsic3. Le simulazioni hanno dato esito positivo e sono riportate in Figura 2. Anche la quantità di risorse necessaria è stata valutata e sembra plausibile poter implementare 32 canali del TDC per ogni FPGA.

La tecnica proposta sembra poter offrire una soluzione molto efficiente in termini di costi di progettazione e implementazione sia dell'HDL di programmazione delle FPGA che del circuito stampato.

Gli sviluppi futuri prevedono test hardware con l'uso di una "evaluation board" e successivamente test sotto l'effetto della radiazione.

Bibliografia

1. L. Iafolla et al., “TDC e sistema di acquisizione per il rivelatore HET di KLOE-2,” INFN-12-07/LNF, Maggio 2012.
2. N. Battezzati, L. Sterpone, M. Violante, “Reconfigurable Field Programmable Gate Arrays for Mission-Critical Applications”, Springer 2011.
3. “Xilinx single event effects 1° consortium report Virtex-II static SEU characterization”, January 2004, Editor Gary M. Swift.
4. B. Bridgford, C. Carmichael and C. W. Tseng, “Single-Event Upset Mitigation Selection Guide”, Xilinx 2008.
5. “Single-Event Effects in FPGAs”, Actel 2007.